



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

고해상도 인공 망막 구현을 위한
실리콘 나노와이어 기반의 광 검출
회로를 이용한 시신경 자극 기법

Retinal Neural Stimulation Method Using
Silicon Nanowire-based Photodetection
Circuits for the Realization of
High Resolution Retinal Prosthesis

2015년 8월

서울대학교 대학원

전기·컴퓨터 공학부

정 석 원

고해상도 인공 망막 구현을 위한
실리콘 나노와이어 기반의 광 검출
회로를 이용한 시신경 자극 기법

Retinal Neural Stimulation Method Using
Silicon Nanowire-based Photodetection
Circuits for the Realization of
High Resolution Retinal Prosthesis

지도교수 조 동 일

이 논문을 공학박사 학위논문으로 제출함
2015년 8월

서울대학교 대학원
전기·컴퓨터공학부
정 석 원

정석원의 박사 학위논문을 인준함
2015년 8월

위 원 장	<u>전 국 진</u>	(인)
부위원장	<u>조 동 일</u>	(인)
위 원	<u>서 중 모</u>	(인)
위 원	<u>구 용 숙</u>	(인)
위 원	<u>고 형 호</u>	(인)

국문초록

인간의 눈에 들어온 빛 정보는 망막에서 전기신호로 변환되어 시신경을 통해 뇌로 전달되어 영상을 인식하게 된다. 그러나 시세포가 손상된 경우에는 다른 신경세포들의 기능이 남아있더라도 빛을 인지할 수 없어 결국 볼 수 없게 된다. 인공 망막 시스템(retinal prosthetic system)은 이러한 망막 손상으로 인해 시각 장애를 겪고 있는 장애인의 시력 회복을 위해 망막 세포 내에 인위적으로 미세 전극 어레이(micro electrode array, MEA)가 집적된 망막 자극기를 이식하고 여기에 전기 자극 신호를 인가하여 망막 세포에 인위적인 전기 자극을 유발시킴으로써 망막 시세포 손상으로 시력을 잃은 사람에게 영상을 인식할 수 있도록 해주는 장치이다.

본 논문에서는 영상인식을 위한 광 검출기가 내장된 완전한 안구 이식형의 고해상도 인공 망막 시스템 구현을 위해 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로와 미세 전극 어레이가 집적된 고해상도 망막 자극기와 광 검출 기반의 망막 신경 자극 기법을 제안한다. 제안하는 망막 자극기는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로와 미세 전극 어레이가 $N \times N$ matrix 형태로 집적되어 있으며, 망막 세포에 이식이 용이하도록 유연한 형태로 제작된다. 각 픽셀에는 1개의 실리콘 나노와이어 광 검출기와 2개의 실리콘 나노와이어 FET(field effect transistor)로 구성되는 광 검출 및 자극 신호 변조 회로를 내장하고 있으며, 신호처리 칩에서 생성된 펄스 형태의 기준 자극 신호(reference stimulation signal)가 각 픽셀에 전달되고, 각 픽셀에서는 기준 자극 신호를 빛의 세기에 비례하는 진폭을 가지는 자극 신호로 변조하여 미세 전극에 전달하여 망막 신경을 자극한다.

실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 구성하는 전압 분배기 및 전류 구동기 회로를 제작하기 위한 기본 소자로서 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET, 그리고 미세 전극을 제작하여 특성을 평가하였다. 제작된 실리콘 나노와이어 광 검출기는 빛에 대한 감도가 최대 1,936에 이르고, 응답도의 경우 400 nm ~ 800 nm의 파장 범위에서 $10^4 \sim 10^5$ A/W에 이를 정도로 매우 우수한 광학적 성능을 보였다. 그리고 실리콘 나노와이어 FET는 실리콘 나노와이어의 개수, 실리콘 나노와이어의 길이, 그리고 FET 구동 전압을 설계 파라미터로 하여 실리콘 나노와이어 FET의 특성을 조사하였으며, 10^3 이상의 on-off ratio와 5 V 구동전압에서 최대 225 μ A의 전류 레벨을 보였다. 고밀도화에 따른 전극의 소형화에도 불구하고 충분한 전류 주입 용량을 확보하기 위한 방법으로 원통형의 Au 전극의 표면에 전주도금공정으로 5,000 Å 두께의 nano-porous한 Pt-black 층을 형성함으로써 넓은 표면적을 가진 고밀도 미세 전극 제작이 가능한 나노 3D 미세 전극을 제작하였다.

실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET 소자를 제작하여 망막 자극기의 전압 분배기 및 전류 구동기 회로를 구성하고 각각의 회로의 동작을 조사함으로써 본 논문에서 제안하는 광 검출 및 자극 신호 변조의 원리가 잘 적용됨을 확인하였다. 제안하는 망막 자극기의 고해상도 망막 시스템으로의 적용 가능성 검토를 위해 32×32의 고해상도 망막 자극기를 설계, 제작하였다. 제작된 망막 자극기에는 약 40 μ m 두께의 매우 얇은 flexible한 폴리이미드 필름 내에 단위 픽셀의 크기가 110 μ m × 110 μ m인 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 집적되었다.

제안하는 망막 자극기 및 망막 신경 자극 기법의 유효성을 평가

하기 위해 *in-vitro* 동물 실험을 실시하였다. *In-vitro* 동물실험에서는 빛의 세기에 따른 자극 신호의 변조를 통해 망막 신경으로의 주입 전하량의 조절이 가능하며, 실험 결과 약 10 nC 이상의 주입 전하량에서 망막 신경의 유효 자극이 일어남을 관찰할 수 있었으며, 이를 통해 빛의 검출 및 자극 신호 변조를 통한 망막 신경의 자극이 효과적으로 잘 이루어짐을 확인할 수 있었다.

주요어 : 인공 망막 시스템, 실리콘 나노와이어, 광 검출기, 고해상도,
미세 전극 어레이, 자극 신호 변조

학 번 : 2006-30858

목 차

제 1 장 서론	1
제 1 절 연구 배경	1
제 2 절 고해상도 인공망막 시스템의 구현	5
제 3 절 연구 동기	16
제 4 절 논문 내용 요약 및 논문의 구성	18
제 2 장 본론	21
제 1 절 실리콘 나노와이어 광 검출기가 내장된 고해상도 망막 자극기	21
1. 광 검출기가 내장된 고해상도 인공 망막 시스템의 구성	21
2. 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로의 동작 원리 및 망막 신경 자극 기법	23
제 2 절 실리콘 나노와이어 기반의 광 검출 회로가 내장된 망막 자극기의 설계	29
1. 내부 광 검출기를 이용하는 방식의 망막 자극기의 설계	29
2. 내부 광 검출기와 외부 카메라를 선택적으로 이용할 수 있는 방식의 망막 자극기의 설계	44
제 3 절 망막 자극기 각 구성 요소별 소자 제작 및 특성 평가	52
1. 실리콘 나노와이어의 제작	52
2. 실리콘 나노와이어 광 검출기 제작 및 특성 평가	71
3. 실리콘 나노와이어 FET 제작 및 특성 평가	135
4. 고밀도 미세 전극을 위한 나노 3D 전극 제작	160

제 4 절 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로 제작 및 특성 평가	166
1. 전압 분배기 동작 시험	166
2. 전류 구동기 동작 시험	174
제 5 절 실리콘 나노와이어 광 검출기가 내장된 32×32 고해상도 망막 자극기의 설계 및 제작	182
1. 32x32 고해상도 망막 자극기의 설계	182
2. 32x32 고해상도 망막 자극기의 제작	186
제 6 절 <i>In-vitro</i> 동물 실험을 통한 망막 자극기의 유효성 평가	202
1. <i>In-vitro</i> 동물 실험 장치 셋업 및 망막 신경 자극 실험	202
2. 자극 신호의 분석 및 망막 자극의 유효성 평가	210
제 3 장 결론	222
제 1 절 결과 요약	222
제 2 절 향후 계획	225
참고문헌	226
Abstract	237

표 목 차

[표 2-1]	전압 분배기의 출력 전압 V_o 가 최대 스윙 값을 갖기 위한 조건	32
[표 2-2]	그림2-6 ~ 2-8의 시뮬레이션 조건	36
[표 2-3]	실리콘 나노와이어 광 검출기 소자별 특성 요약	111
[표 2-4]	실리콘 나노와이어 광 검출기의 형태 변환 후 특성 비교	120
[표 2-5]	실리콘 나노와이어 광 검출기 소자별 사양 ...	126
[표 2-6]	Monochromator의 파장별 출력	127
[표 2-7]	실리콘 나노와이어 FET의 설계 파라미터	145
[표 2-8]	실리콘 나노와이어 개수별 FET 특성 요약 ..	154
[표 2-9]	실리콘 나노와이어 광 검출기 소자별 특성 요약	156
[표 2-10]	구동전압별 실리콘 나노와이어 FET 특성 요약	158
[표 2-11]	전압 분배기 구성에 사용된 실리콘 나노와이어 FET 소자들의 특성표	168
[표 2-12]	32×32 고해상도 망막 자극기 제작을 위한 마스크 소요 내역	185

그 립 목 차

[그림 1-1]	눈과 망막의 구조	2
[그림 1-2]	외부 카메라를 이용하는 방식의 인공 망막 시스템	4
[그림 1-3]	인공 망막 시스템 구성요소별 주요 기술요소 및 소자간 interconnection 개념도	5
[그림 1-4]	3차원 미세 전극 제작 예	7
[그림 1-5]	미세 전극과의 1:1 배선 방법	8
[그림 1-6]	픽셀 스위치를 이용한 망막 자극기 연구 사례	10
[그림 1-7]	카메라 내장형 망막 자극기 개념도	11
[그림 1-8]	광 검출기 내장형 실리콘 인공 망막 칩 연구 사례	14
[그림 1-9]	광 검출기 내장형 인공 망막 시스템 연구 사례	15
[그림 2-1]	본 논문에서 제안하는 방식의 광 검출기 내장형 고해상도 인공 망막 시스템의 구성도	22
[그림 2-2]	광 검출기 내장형 고해상도 망막 자극기의 구성 및 망막 신경 자극 기법	24
[그림 2-3]	단위 픽셀의 광 검출 및 자극 신호 변조 회로	26
[그림 2-4]	NWFET1이 ON 상태일 때의 전압 분배기의 등가 회로	31
[그림 2-5]	전압 분배기 출력(V_O)과 NWFET2의 출력 전류와의 관계	31

[그림 2-6]	R_{NWPD} , R_{NWFETI} 과 전압 분배기 출력(V_O)과의 관계(Case I)	37
[그림 2-7]	R_{NWPD} , R_{NWFETI} 과 전압 분배기 출력(V_O)과의 관계(Case II)	38
[그림 2-8]	R_{NWPD} , R_{NWFETI} 과 전압 분배기 출력(V_O)과의 관계(Case III)	39
[그림 2-9]	실리콘 나노와이어 FET의 주요 성능 파라미터	43
[그림 2-10]	32×32 인공 망막 시스템에서 영상 정보와 함께 디스플레이되는 문자 및 그래픽 정보	45
[그림 2-11]	내부 광 검출기와 외부 카메라를 모두 이용할 수 있는 망막 자극기의 구성도	47
[그림 2-12]	이용 모드별 회로의 동작	50
[그림 2-13]	VLS 공법으로 성장된 실리콘 나노와이어 ·	53
[그림 2-14]	Bottom-up 방식에 의한 나노와이어 정렬 방법	54
[그림 2-15]	Top-down 방식의 실리콘 나노와이어 제조 방법	56
[그림 2-16]	본 논문에 의한 실리콘 나노와이어 제조 공정도	59
[그림 2-17]	그림 2-16(e), (f)의 확대도	61
[그림 2-18]	실리콘 나노와이어 굵기와 산화막 두께와의 관계도	64
[그림 2-19]	실리콘 나노와이어 제조 결과	67
[그림 2-20]	실리콘 DRIE 공정에서의 scallop 및 TMAH 식각공정 결과	70

[그림 2-21]	실리콘 나노와이어 광 검출기의 동작 모델	72
[그림 2-22]	나노와이어 광 검출기에서의 광전도 과정에 있어 서의 표면 준위의 영향	76
[그림 2-23]	실리콘 나노와이어 광 검출기의 구조	77
[그림 2-24]	Rigid한 형태의 실리콘 나노와이어 광 검출기 제 조 공정도	79
[그림 2-25]	Rigid한 형태로 제작된 실리콘 나노와이어 광 검 출기	82
[그림 2-26]	Flexible한 형태의 실리콘 나노와이어 광 검출기 제조 공정도	83
[그림 2-27]	Flexible한 형태로 제작된 실리콘 나노와이어 광 검출기	84
[그림 2-28]	빛의 세기(조도)의 정의	86
[그림 2-29]	NWPD device(rigid type) #1의 전기적, 광학적 특성	90
[그림 2-30]	NWPD device(rigid type) #2의 전기적, 광학적 특성	95
[그림 2-31]	NWPD device(rigid type) #3의 전기적, 광학적 특성	98
[그림 2-32]	NWPD device(rigid type) #4의 전기적, 광학적 특성	101
[그림 2-33]	NWPD device(rigid type) #5의 전기적, 광학적 특성	104
[그림 2-34]	NWPD device(rigid type) #6의 전기적, 광학적 특성	107

[그림 2-35]	NWPD device #1의 형태 변환(rigid→flexible)후 전기적, 광학적 특성	113
[그림 2-36]	NWPD device #3의 형태 변환(rigid→flexible)후 전기적, 광학적 특성	115
[그림 2-37]	NWPD device #4의 형태 변환(rigid→flexible)후 전기적, 광학적 특성	117
[그림 2-38]	NWPD device #6의 형태 변환(rigid→flexible)후 전기적, 광학적 특성	118
[그림 2-39]	Flexible 실리콘 나노와이어 광 검출기의 굽힘 시험	122
[그림 2-40]	Hamamatsu사의 APD의 응답도 그래프	124
[그림 2-41]	Monochromator를 이용한 파장별 빛 조사에 의 한 photocurrent 측정(Device #1)	128
[그림 2-42]	Monochromator를 이용한 파장별 빛 조사에 의 한 photocurrent 측정(Device #2~#8)	129
[그림 2-43]	소자별, 파장별 응답도 계산 결과	133
[그림 2-44]	반도체 재료별 빛의 감쇠 상수	134
[그림 2-45]	실리콘 나노와이어 굽기별 광 검출기의 응답도 비교	134
[그림 2-46]	실리콘 나노와이어 FET의 구조	135
[그림 2-47]	실리콘 나노와이어 FET 제조 공정도	140
[그림 2-48]	실리콘 나노와이어 FET 제작을 위한 마스크 설계	145
[그림 2-49]	실리콘 나노와이어 제조 결과(SiN_x 이용시)	147
[그림 2-50]	실리콘 나노와이어 FET 제조 결과	149

[그림 2-51]	실리콘 나노와이어 FET 특성 측정	153
[그림 2-52]	실리콘 나노와이어 개수별 FET 특성	154
[그림 2-53]	실리콘 나노와이어 길이별 FET 특성	156
[그림 2-54]	구동전압별 실리콘 나노와이어 FET 특성 ·	158
[그림 2-55]	고밀도 미세 전극용 나노 3D 전극 제조 공정도	161
[그림 2-56]	고밀도 미세 전극용 나노 3D 전극 제조 결과	163
[그림 2-57]	전압 분배기 구성에 사용된 실리콘 나노와이어 광 검출기 소자 및 실리콘 나노와이어 FET 소 자의 특성 곡선	167
[그림 2-58]	전압 분배기 동작 시험	171
[그림 2-59]	전류 구동기 동작 시험을 위한 측정 셋업 ..	174
[그림 2-60]	NWFET2의 스위칭 특성	176
[그림 2-61]	전류 구동기 동작 시험(스위칭 특성)	178
[그림 2-62]	전류 구동기 동작 시험(PBS 용액에서의 펄스 전 달 특성)	181
[그림 2-63]	32×32 고해상도 망막 자극기 설계도	183
[그림 2-64]	32×32 고해상도 망막 자극기 제조 공정도	188
[그림 2-65]	제작된 망막 자극기의 적용 방법	194
[그림 2-66]	32×32 고해상도 망막 자극기 주요 공정 결과	197
[그림 2-67]	<i>In-vitro</i> 동물 실험 셋업	204
[그림 2-68]	실리콘 나노와이어 광 검출기에 빛을 조사하는 모습	206
[그림 2-69]	광량 증가에 따른 자극 신호 변조 파형	207

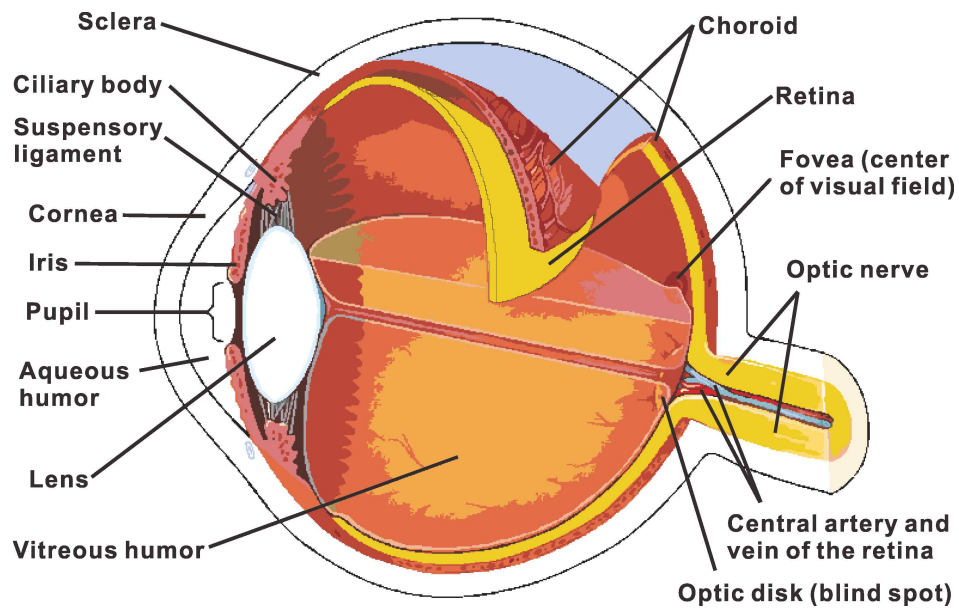
[그림 2-70]	망막 자극에 의한 반응 신호 기록	209
[그림 2-71]	시간에 따른 전압으로 기록된 신호처리전 신경 신호	211
[그림 2-72]	2차 butterworth 타입의 고역 통과 필터 처리된 신경 신호	212
[그림 2-73]	신경 스파이크로 간주할 수 있는 데이터 추출 과 정	213
[그림 2-74]	Offline sorter의 UI	214
[그림 2-75]	Artifact 제거 후 클러스터화된 신경 신호 스파 이크	216
[그림 2-76]	일련의 과정을 거쳐서 작성한 PSTH 예시	217
[그림 2-77]	<i>In-vitro</i> 동물 실험 분석 결과(Patch #1)	220
[그림 2-78]	<i>In-vitro</i> 동물 실험 분석 결과(Patch #2)	221

제 1 장 서 론

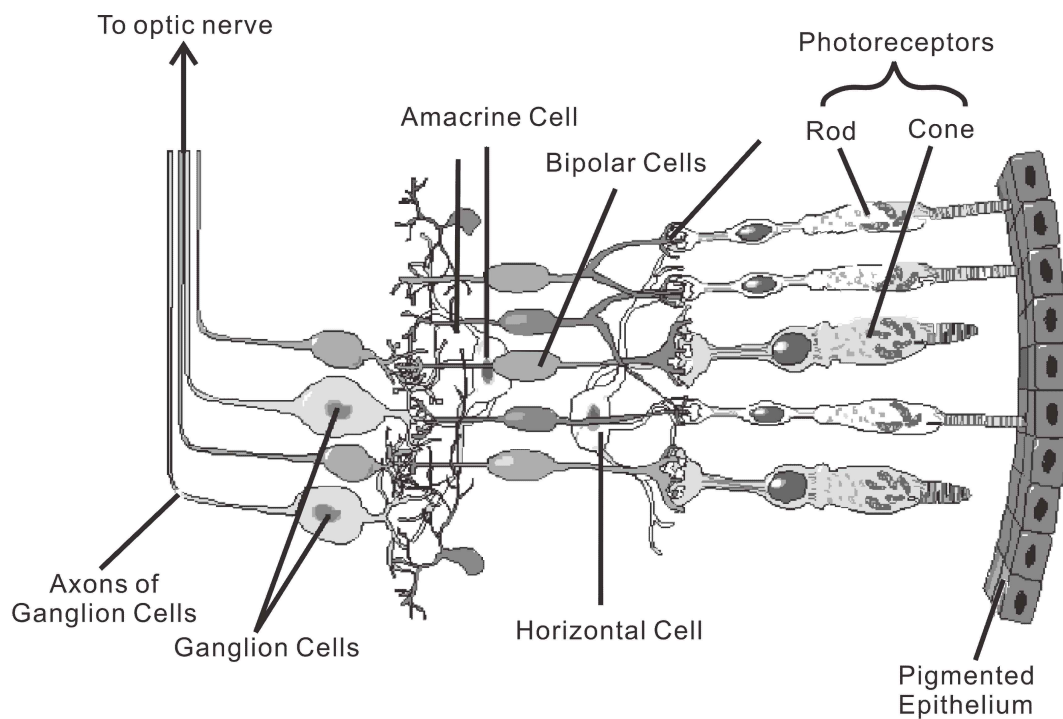
제 1 절 연구 배경

그림 1-1은 인간의 눈과 망막 단면의 구조로서, 인간의 눈에 들어온 빛 정보는 망막에서 전기신호로 변환되어 시신경을 통해 뇌로 전달되어 영상을 인식하게 된다. 그림1 망막은 rod cell, cone cell로 구성되는 시세포(photoreceptor), 양극세포(bipolar cell), 신경질세포(ganglion cell), 수평세포(horizontal cell), 그리고 아마크린세포(amacrine cell)로 구성되어 있으며, 이중 시세포는 외부에서 들어온 빛을 생체 전기신호로 변환하는 역할을 한다[1]. 그러나 시세포가 손상된 경우에는 다른 신경세포들의 기능이 남아있더라도 빛을 인지할 수 없어 결국 볼 수 없게 되는 결과를 초래한다.

인간은 외부정보 획득에 있어 거의 절대적으로 시각에 의지하고 있기 때문에 시각전달계에 병변이 생기면 심각한 장애가 초래되고 생활에 큰 지장이 발생한다. 성인에서 발생하는 망막변성질환 중 실명원인의 약 30% 정도를 차지하는 망막색소변성(retinitis pigmentosa, RP)과 연령 관련 황반변성(age-related macular degeneration, AMD)[2]은 시세포의 손상을 유발하는 난치성 망막질환으로 이를 방치할 경우 병의 진행과 함께 망막의 전 층이 손상되어 영구적인 시각 손상을 초래할 수 있다.



(a) 눈의 구조.



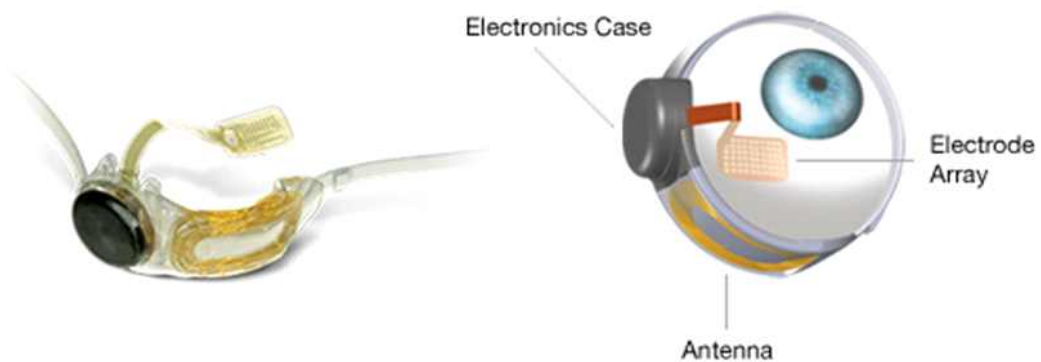
(b) 망막의 단면 구조.

그림 1-1. 눈과 망막의 구조.

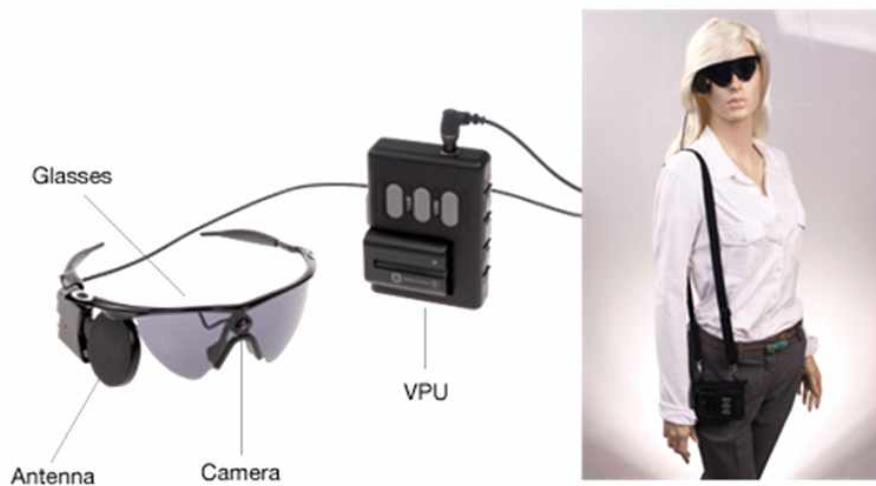
인공 망막 시스템(retinal prosthetic system)은 망막 손상으로 인해 시각 장애를 겪고 있는 장애인의 시력 회복을 위해 망막 세포 내에 인위적으로 미세 전극 어레이(micro electrode array, MEA)가 집적된 망막 자극기를 이식하고, 이식된 망막 자극기의 미세 전극 어레이에 전기 자극 신호를 인가하여 망막 세포에 인위적인 전기 자극을 유발시킴으로써 이러한 전기 자극 신호가 대뇌에 전달되어 망막 손상으로 시력을 잃은 사람도 영상을 인식할 수 있도록 해주는 장치이다. 그림 1-2는 영상 획득을 위한 외부 카메라와, 취득된 영상 정보를 처리하여 자극 신호를 생성한 후 무선 데이터 전송 기술을 이용하여 인체 내부에 이식된 미세 전극 어레이(electrode array, MEA)에 신호를 전달하는 장치 등으로 구성되는 인공 망막 시스템의 한 예를 보여주고 있다[3].

망막 시세포의 기능 손실로 시력을 잃은 사람에게 있어서 최고의 인공 망막은 사용하기 편리하고, 고화질로 볼 수 있고, 자신의 안구를 통해 보는 것을 가능하게 해주는 시스템일 것이다. 정상인의 경우 영상 정보를 획득하는 과정에 있어서, 안구 운동, 즉 안구 회전을 통해 자연스럽게 원하는 곳을 주시함으로써 영상 정보를 획득한다. 그렇지만 그림 1-2와 같은 외부 카메라를 이용하는 인공 망막 시스템을 이용할 경우, 안구 운동이 아닌 카메라가 장착된 머리 전체를 움직여 영상정보를 획득해야 하기 때문에 빠른 영상 정보의 획득이 어렵고, 영상 정보 획득 과정에서의 안구 운동에 대한 의존성이 없어져 시각 장애인들에게서 흔히 볼 수 있는, 안구 움직임의 제어가 불완전하여 안구가 초점을 잃고 돌아가는 안구진탕의 증상이 생기는 것을 피할 수 없을 것이다. 그렇지만 만약 안구에 이식되는 망막 자극기에 카메라와 같은 영상 정보를 획득할 수 있는 소자가 내장된다면 영상 정보 획득 과정이 정상인처럼 안구의 운동을 통해 이뤄질 수 있다. 그렇게 된다면 망막 시스템을 착용한 모습을 다른 사람이 눈치 채지 못하게 되고, 겉으로 보기에 보통 사람들과 구별되지 않기 때문에 사용자에게는 정신 건강 및 복지 증진 측면에서 큰 혜택을 가져다줄 수 있다. 따라서 본 논문에서는 이러한 이점을 가져다 줄 수 있는 영상 정보 획득 소자가 내장된 완전한 안구 이식형 고해

상도 인공 망막 시스템을 구현하기 위한 가장 효과적인 방법으로서, 광 검출 회로와 미세 전극이 동일 픽셀 내에 함께 집적되는 고해상도 망막 자극기와 광 검출 회로를 이용한 망막 신경 자극 기법을 제안하고자 한다.



(a) 안구 이식 장치.



(b) 외부 카메라 및 제어 장치.

그림 1-2. 외부 카메라를 이용하는 방식의 인공 망막 시스템
(Second Sight 社의 Argus II System[3]).

제 2 절 고해상도 인공망막 시스템의 구현

인공 망막 시스템은 일반적으로 그림 1-3에 나타난 바와 같이 크게 영상 정보 획득(영상 인식) 장치(image sensing device), 신호 처리 장치(signal processor) 및 미세 전극 어레이(micro electrode array, MEA)로 구성된다.

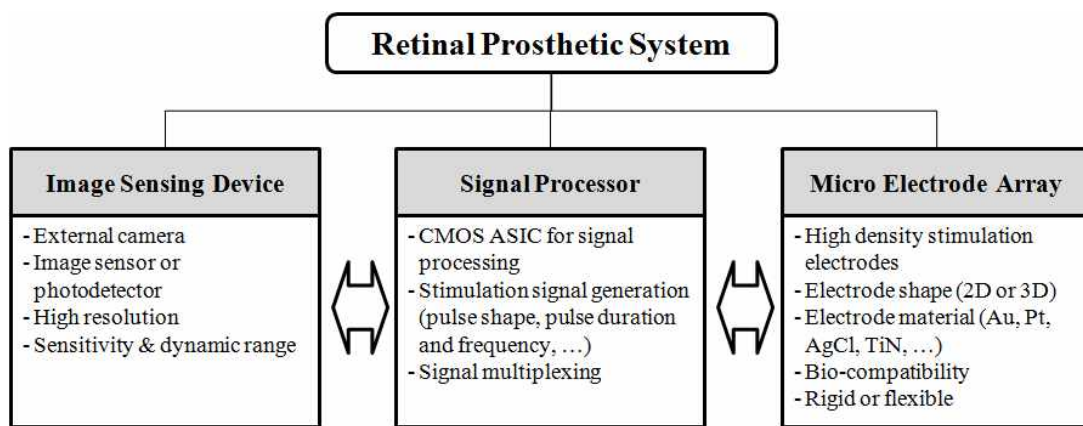
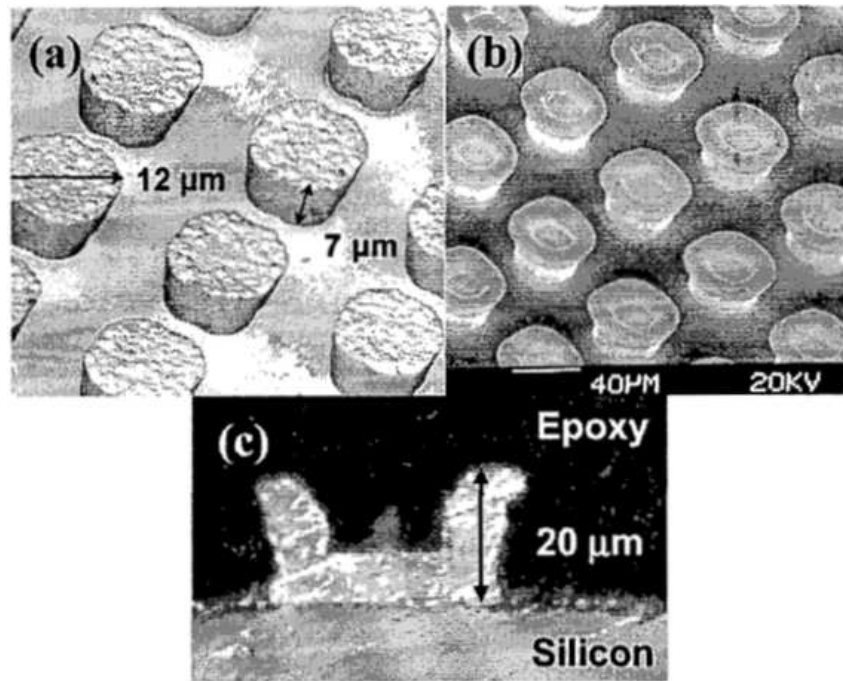


그림 1-3. 인공 망막 시스템 구성요소별 주요 기술 요소 및 소자간 interconnection 개념도.

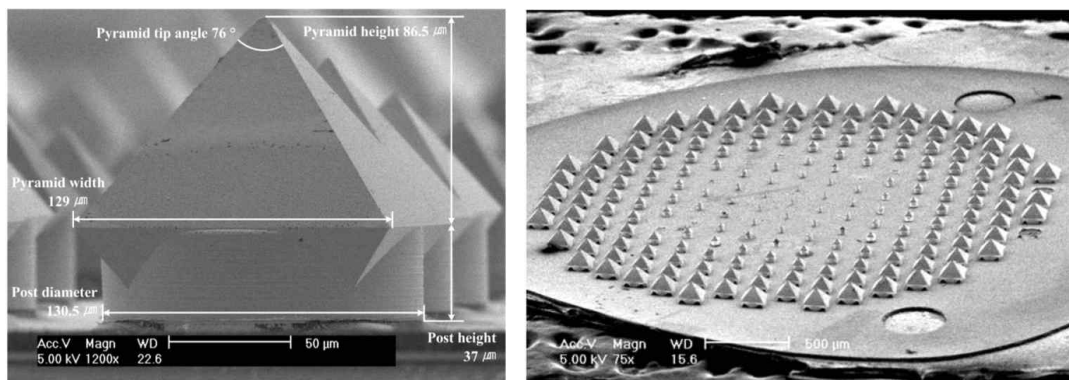
영상 정보 획득 장치는 카메라의 이미지 센서(image sensor)처럼 영상 정보를 전기 신호로 변환하는 장치로서, 외부 카메라를 이용하는 방법[4]과 망막 자극기 소자 내부에 광 검출기를 내장하는 방법[5-7] 등이 있으며, 광 검출기 어레이의 해상도(resolution), 감도(sensitivity) 및 동적 영역(dynamic range)이 중요한 세부 기술 내용이다. 신호 처리 장치는 영상 정보 획득 장치로부터 취득된 영상 신호를 망막 세포 자극을 위한 전기 자극 신호로 변환시켜주는 장치로서, 인식된 영상 정보를 바탕으로 망막 시세포를 자극하기 위한 자극 신호를 생성하여 MEA에 신호를 전달하는 기능을 담당한다. MEA는 안구에 이식되어 망막 세포와 직접 접촉하고 있어, 신호 발생 장치로부터 생성된 전기 자극 신호가 망막 세포에 직접 전달되어 망막 세포를 자극하는 소자이다. 미세 전극 어

레이는 유연한 기판 위에 미세 전극을 2차원으로 배열한 소자로서 고해상도 구현을 위한 고밀도 전극 제작, 전극의 모양 및 재료, 생체 적합성, 최대 전류 주입 용량, 유연성 확보 등이 중요한 기술 내용이다. 그러나 고해상도 인공 망막 시스템을 구현하는데 있어서 시스템을 구성하는 각 구성 요소들의 기술적인 요구 사항들을 충족시키는 것도 중요하지만, 고해상도화에 따라 처리해야할 정보가 많아지고 신호선의 수가 증가함에 따라 이들 구성소자들 간의 신호 전달을 위한 전기적인 연결(electrical interconnection)이 고해상도 인공 망막 시스템을 구현할 수 있느냐 없느냐를 결정하는 중요한 문제로 대두된다.

인공 망막 시스템에 관한 종래의 연구를 통해 고해상도 시스템을 구현하기 위한 접근 방법을 살펴보고자 한다. 먼저 외부 카메라를 이용하는 시스템에서는 고해상도 카메라를 이용할 수 있기 때문에 고해상도 망막 시스템 구현의 관건은 고밀도 미세 전극의 제작 여부이다. 미세 전극을 고밀도화 하기 위해서는 제한된 면적에 많은 수의 전극을 집적하는 것이 필요한데, 이럴 경우 전극의 크기가 작아지는 단점이 있다. 전극의 크기가 작아지면 망막세포와의 접촉 면적이 작기 때문에 접촉 저항이 크게 되고 이것은 결국 전류 주입 용량의 감소로 이어져 망막을 효과적으로 자극할 수 없게 된다. 이러한 문제를 해결하기 위해 제한된 면적에서 넓은 표면적을 확보하기 위해 그림 1-4와 같은 3차원 형태의 미세 전극을 제작하는 방법들이 개발되었으며[8-9], 2차원 전극과 3차원 전극의 유효 표면적에 따른 PBS(Phosphate Buffered Saline) 용액에서의 interface impedance 및 전류 주입용량이 비교, 조사되었다[10].



(a) 원통형 전극[8].



(b) 화살촉 전극[9].

그림 1-4. 3차원 미세 전극 제작 예.

그림 1-4와 같이 3차원 형태의 전극 제조 방법을 이용하여 고밀도의 미세 전극을 제작하였다 하더라도 외부 카메라로부터 취득된 영상으로부터 생성한 자극 신호를 각각의 전극에 신호를 전달해주기 위한 복잡한 배선 공정이 필요하다. 그림 1-5는 제작된 각각의 미세 전극에 신호선

을 연결하는 배선 방법 개념도로서, 만약 10×10 정도의 배열을 가진 전극 어레이를 제작할 경우 각각의 전극에 신호 전달을 하기 위한 배선 수는 100개나 필요하다. 만약 배열의 수가 20×20 인 경우에는 400개, 32×32 인 경우에는 총 1,024개의 배선 수가 필요로 하는 등 어레이의 개수가 늘어날수록 필요한 배선의 수가 기하급수적으로 늘어나기 때문에 배선 문제를 해결하지 않는다면 고해상도 망막 자극기 구현은 어려울 것이다.

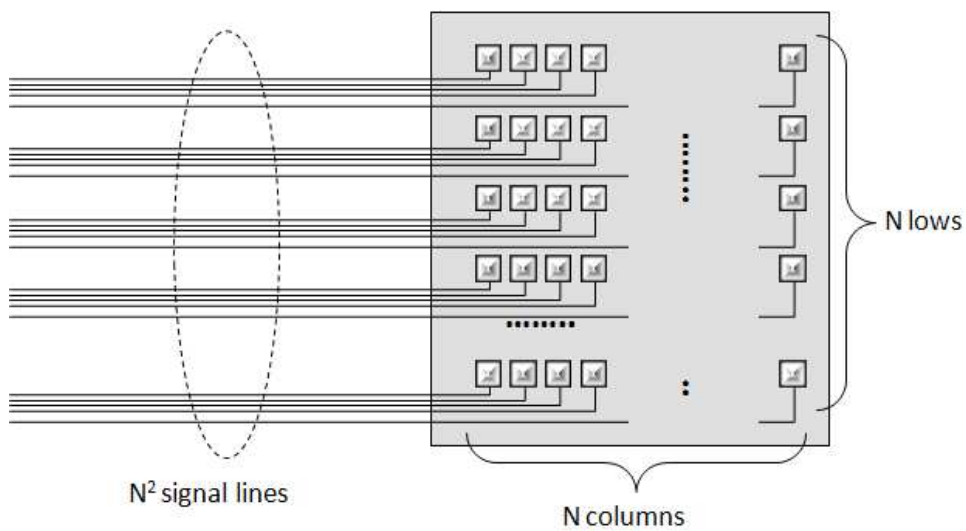
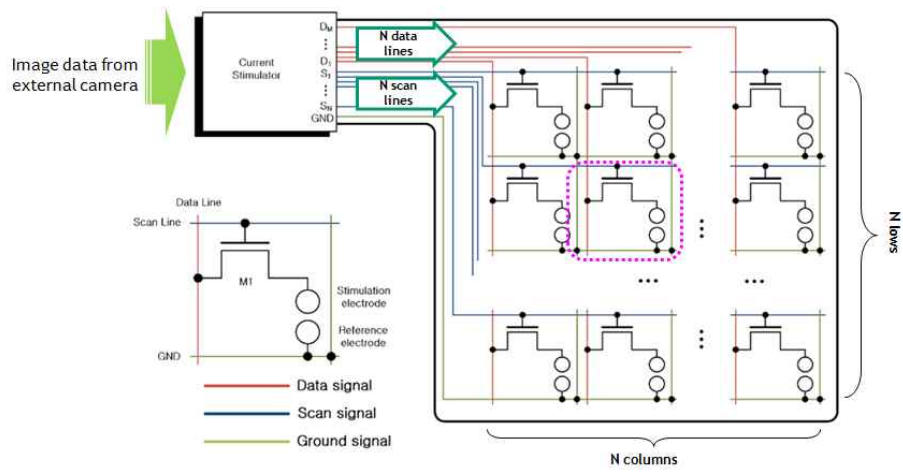


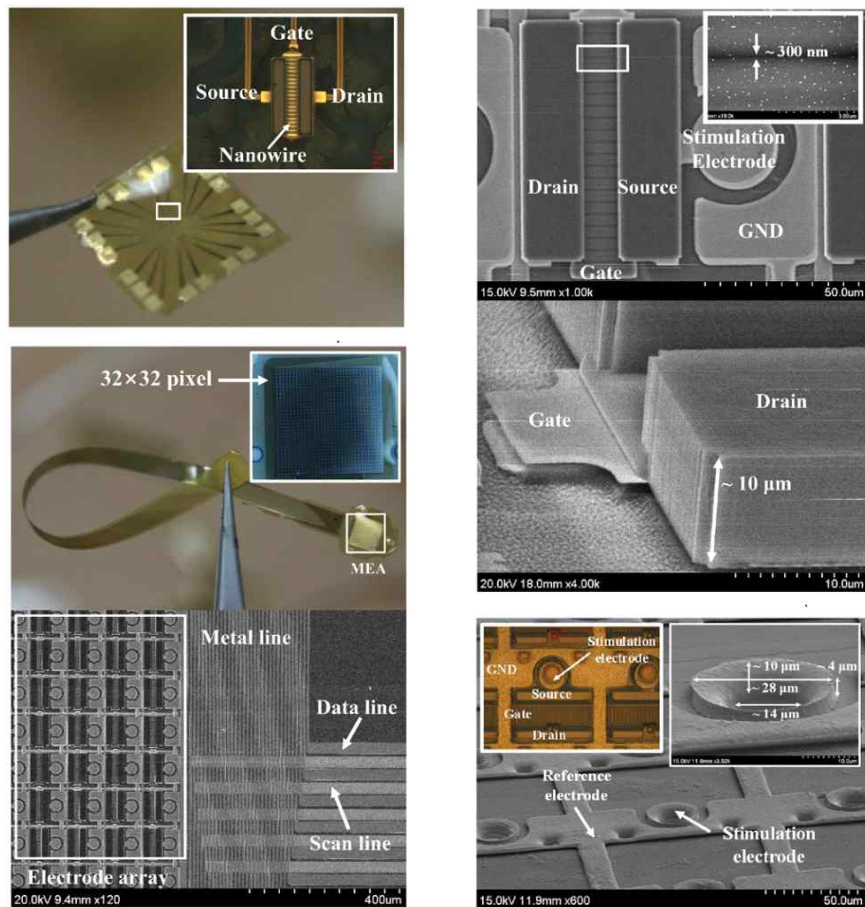
그림 1-5. 미세 전극과의 1:1 배선 방법.

앞의 문제점을 해결하기 위해 고밀도 미세 전극에 배선수를 크게 늘리지 않고도 효과적으로 자극 신호를 전달할 수 있도록 각 픽셀 단위로 미세 전극과 함께 픽셀 스위치를 함께 집적하는 방법이 연구되었다[11, 12]. 픽셀 스위치로는 실리콘 나노와이어 FET(filed effect transistor)를 이용하였으며, 유연한 기판상에 3차원 원통형 미세 전극과 집적된 32×32 의 고해상도 망막 자극기를 제작하였다. 이 방법을 이용할 경우 행(row)과 열(column)이 교차하는 부분에 해당 픽셀을 active 상태로 전환할 수 있는, 즉 해당 픽셀을 선택할 수 있는 스위치를 내장하고 있기 때문에 신호선의 전극과 연결하는 신호선의 수를 크게 줄일 수 있다.

만약 $N \times N$ 의 해상도를 가진 전극 어레이를 이용할 경우에 $2 \times N$ 개의 신호선 만이 필요하다. 예를 들어 32×32 해상도를 가질 경우 1:1 연결 방식에서는 1,024개의 신호선이 필요한데 반해 픽셀 스위치가 내장된 시스템에서는 64개의 신호선만 필요하기 때문에 배선의 수를 획기적으로 줄일 수 있다. 따라서 고해상도 인공 망막 시스템을 구현하는데 매우 효과적임을 알 수 있다. 다만 외부 카메라를 이용하는데 있어서의 불편함은 여전히 존재하며, 획득된 영상 신호로부터 생성한 고용량의 자극 신호를 안구 내부에 이식된 디바이스로 전송하는 문제, 그리고 고밀도로 배열된 각 픽셀의 전극에 자극 신호를 순차적으로 전달하는 등의 비교적 복잡한 과정이 요구된다.



(a) 픽셀스위치를 이용한 배선도.



(b) 망막 자극기 제작 결과.

그림 1-6. 픽셀 스위치를 이용한 망막 자극기 연구 사례[11].

다음으로 외부 카메라를 이용하지 않고 안구에 이식되는 망막 자극기 내부에 영상인식용 카메라 및 광 검출기를 갖춘 고해상도 인공 망막 시스템 구현 방법에 대하여 살펴보도록 한다.

그림 1-7은 안구 내부에 카메라를 같이 이식하는 인공 망막 시스템의 예를 보여주는 그림이다[13]. 그림의 경우처럼 카메라와 미세 전극 어레이가 서로 격리되어 설치될 경우, 즉 카메라는 수정체 부분에 이식되고 미세 전극은 망막 세포에 이식된다. 이럴 경우 카메라에서의 영상 신호로부터 생성한 자극 신호를 미세 전극에 전달하기 위한 신호선이 필요한데, 앞에서 살펴본 바와 같이 고밀도 미세 전극을 제작하였다 하더라도 1:1 연결 방식으로는 고해상도에 한계가 있기 때문에 미세 전극 어레이에 픽셀 스위치를 내장하는 것이 고해상도를 구현하기 위한 필수적인 방법이 된다. 안구 내부에 카메라가 이식되어 있기 때문에 정상인처럼 안구 운동을 통한 영상 인식이 가능하게 된다. 다만 본 시스템의 경우 카메라와 미세 전극을 안구의 두 부분에 나누어 수술해야 하므로 수술 과정이 비교적 복잡해질 것이라는 것을 예측할 수 있다.

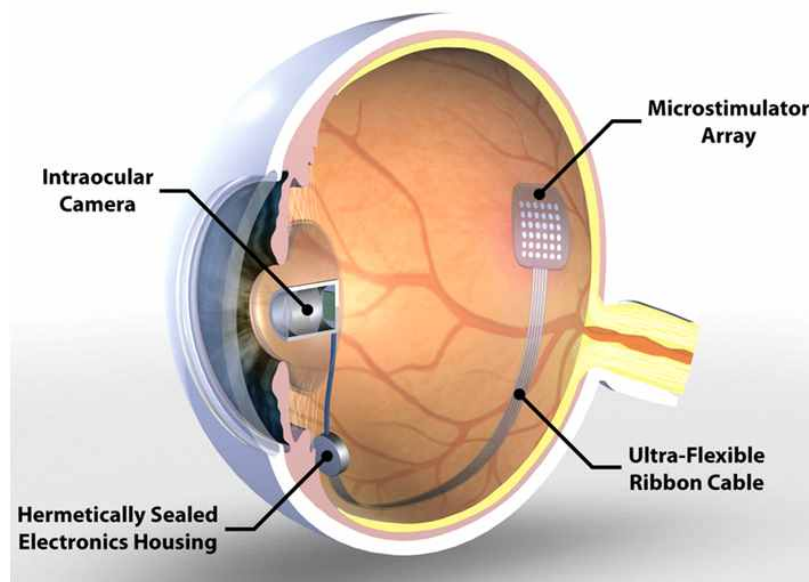
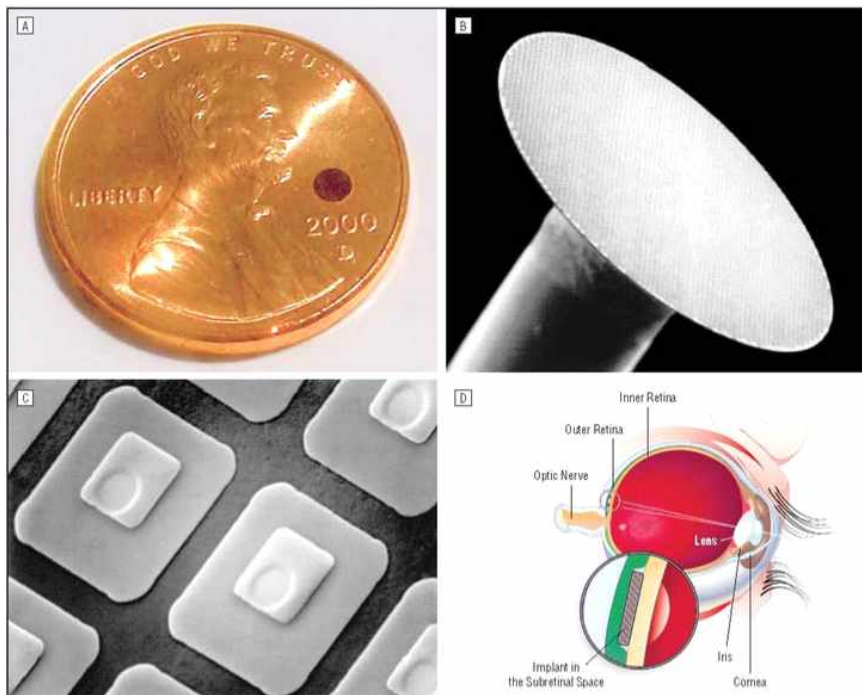


그림 1-7. 카메라 내장형 망막 자극기 개념도[12].

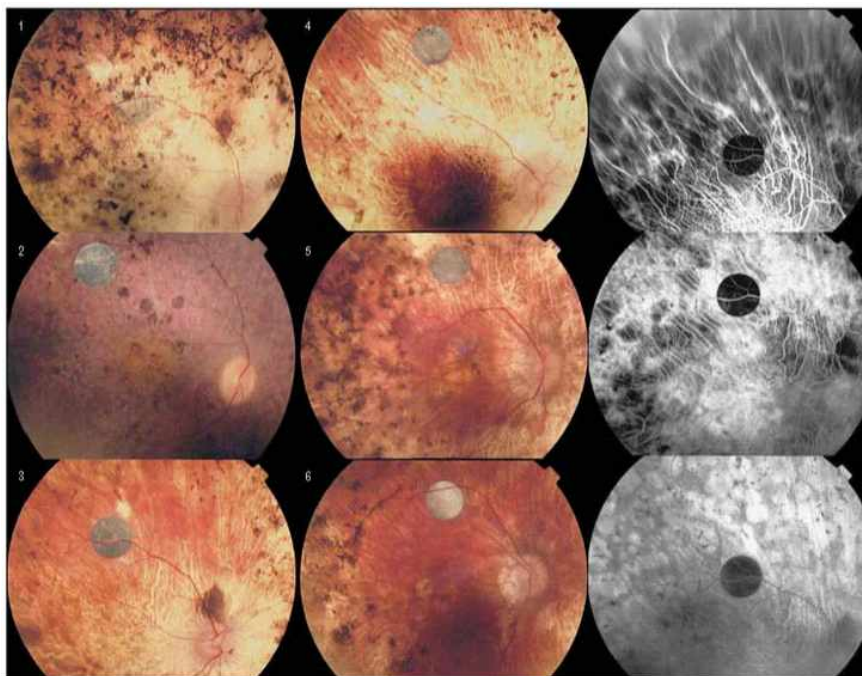
한편 카메라를 이용하지 않고 미세 전극과 광 검출기를 같은 픽셀에 집적하여 제작함으로써 영상 인식과 자극 신호 생성을 통한 시세포 자극이 동시에 이루어지는 망막 자극기에 대한 연구들도 수행되었다[5-7]. [5]에서는 그림 1-8에 나타낸 바와 같은 artificial silicon retina(ASR)라 명명한 디바이스로서, 직경은 2 mm, 두께는 약 25 μm 의 얇은 실리콘 기판 상에 $20 \times 20 \mu\text{m}$ 크기의 픽셀에 포토다이오드와 $9 \times 9 \mu\text{m}$ 크기의 iridium oxide 미세 전극이 집적된 형태로 픽셀 수는 약 5,000개에 이르는 고해상도 망막 자극기를 제작하였다. 실리콘 포토다이오드를 이용하여 조사된 빛을 받아 전력을 생산하고 동시에 자극 신호를 생성하여 망막을 자극하는 자가 발전용 망막 자극기의 개념을 구현한 연구 사례로서, 외부 전력이 필요 없는 독립적인 자가 발전형 시스템으로서 궁극적인 인공 망막의 전형을 보여주는 시스템이라고 할 수 있다. 그러나 각 픽셀에서는 800 lm/ft^2 (약 8600 lux)의 강한 빛에도 약 8~12 nA 정도의 미약한 전류 생성에 그쳐 자가 발전형 망막 시스템으로 사용할 정도의 충분한 전력을 생산하지 못함으로써 아직은 미완의 기술로 남아 있다.

앞의 연구 사례에서 보듯이 작은 면적에서 실리콘 포토다이오드를 이용하여 생산할 수 있는 전력이 크지 않기 때문에 인공 망막 시스템에서는 보통 외부 전력을 이용하는 것이 일반적이다. [6, 7]에서는 그림 1-9와 같이 전력원으로서 외부 전원을 사용하는 방식의 인공 망막 시스템을 개발하였으며, 표준화된 CMOS(complementary metal oxide semiconductor) 공정을 이용하여 실리콘 포토다이오드 기반의 망막 자극기 칩을 제작하였다. 영상 인식을 위한 실리콘 포토다이오드 광 검출기와 미세 전극이 동일 픽셀 내에 함께 집적되어 있다. 자극기 칩의 크기는 $3.0 \times 3.1 \text{ mm}$, 단위 픽셀의 크기는 $72 \times 72 \mu\text{m}$ 이며 약 1,500 개의 픽셀이 집적되어 있다. 각 픽셀에는 $15 \times 30 \mu\text{m}$ 크기의 실리콘 포토다이오드와 $50 \times 50 \mu\text{m}$ 크기의 TiN 전극이 집적되어 있으며, 픽셀 단위로 포토다이오드로 빛을 검출하고 빛의 세기에 따른 자극 신호의 변조 회로를 갖추고 있어 픽셀 단위의 자극 신호 생성 및 미세 전극을 통한 시세포 자극이 가능한 시스템이다.

이상과 같이 픽셀 내에 광 검출기와 미세 전극이 함께 집적된 시스템은 픽셀 단위의 빛 검출을 통한 자극 신호 생성 및 미세 전극으로의 신호 전달이 동시에 이루어지기 때문에 미세 전극의 수가 크게 증가하더라도 전기적인 연결 문제가 쉽게 해결되기 때문에 고해상도 망막 시스템 구현에 매우 효과적이다.

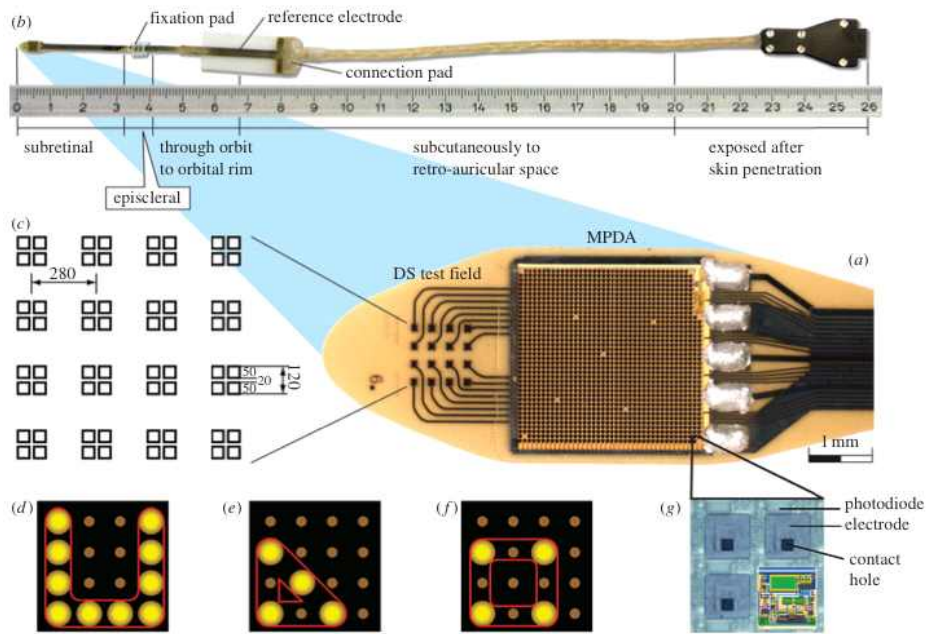


(a) ASR(Artificial Silicon Retina) 칩의 모습.

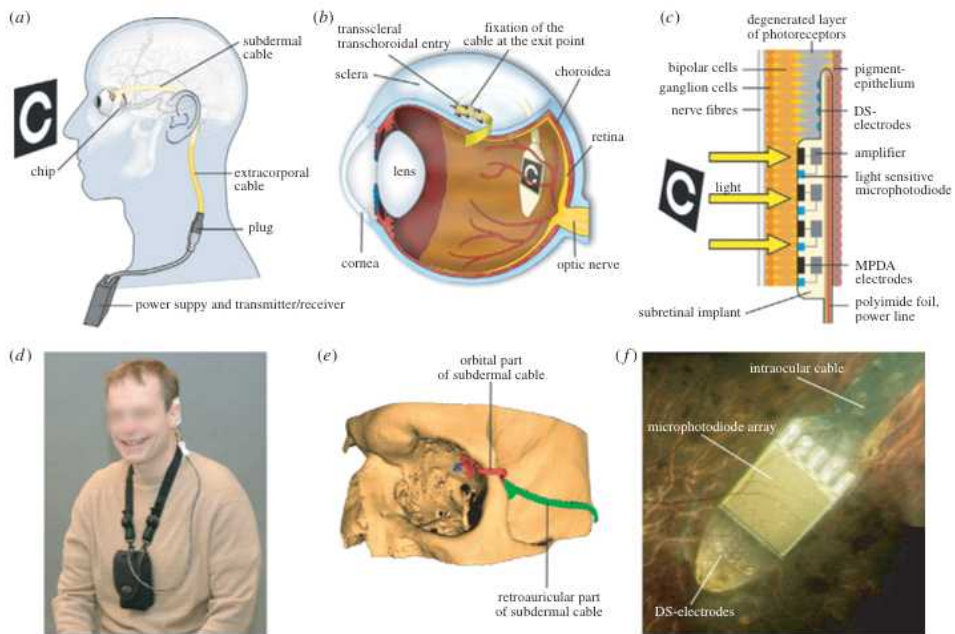


(b) 칩 이식 및 시간 경과에 따른 추이 관찰.

그림 1-8. 광 검출기 내장형 실리콘 인공 망막 칩 연구 사례[5].



(a) 제작된 망막 자극기.



(b) 자극기 이식.

그림 1-9. 광 검출기 내장형 인공 망막 시스템 연구 사례[6, 7].

제 3 절 연구 동기

시력을 잃은 환자에게 있어서 가장 바람직한 인공 망막 시스템은 외형적으로는 보통 사람과 구별되지 않고, 기능적으로는 환자에게 고해상도 이미지를 제공함으로써 사물을 확실히 구별할 수 있도록 도움을 주는 시스템이다. 이를 위한 가장 적합한 시스템은 카메라 기능이 내장된 완전 이식형 고해상도 망막 시스템이며, 앞에서 살펴본 바와 같이 광 검출기와 미세 전극이 동일 픽셀 내에 집적된 형태가 고해상도에 따른 미세 전극의 수가 크게 증가하더라도 망막 시스템을 구성하는 요소들간의 전기적인 연결이 쉽기 이루어지기 때문에 고해상도 망막 시스템 구현에 있어 유리하게 된다. 이러한 점에서 그림 1-9에 소개한 광 검출기가 내장된 CMOS 칩 기반의 인공 망막 시스템[6, 7]이 현재로서는 가장 기술적으로 진보한 방법으로 볼 수 있다.

그럼에도 불구하고 그림 1-9의 인공 망막 시스템은 몇 가지 단점 및 문제점을 안고 있다. 먼저 CMOS 공정에 의존하다 보니 미세 전극의 재료를 다양하게 할 수 없고, 무엇보다도 고해상도에 따른 미세 전극의 고밀도화로 전극의 표면적을 크게 할 수 없다. 미세 전극의 표면적이 작으면 전류 주입 용량의 한계로 효과적으로 망막을 자극할 수 없게 된다 [10]. 그리고 제기할 수 있는 또 하나의 문제점은 그림 1-9에서 보듯이 rigid한 CMOS 칩을 FPCB (flexible printed circuit board) 위에 붙여서 제작한 것이기 때문에 전체적인 소자는 flexible한 형태를 가지고 있지만 망막 시세포에 이식되는 부분은 약간 두툼하고 단차가 있기 때문에 subretinal implant[14, 15] 수술의 경우 자극기를 공막(sclera)의 일부를 절개한 후 망막 시세포까지 자극기 소자를 밀어 넣을 때 부드럽게 삽입하기 어려우며, 그리고 미세 전극 어레이 부분이 flat하기 때문에 곡면의 안구와 밀착되기 어려운 구조이다. 또한 칩을 FPCB에 접착한 후 칩과의 전기적인 연결을 위해 납땜을 했는데, 우선 납땜 부분을 전기적으로 절연하기 위한 과정이 필요하며, 사진에서 보듯이 납땜 부분이 약간 돌출되어 있기 때문에 납땜 부분에 인접한 미세 전극 또한 망막 세포와

접촉하기 어렵다. 그리고 무엇보다도 우려스러운 것은 미세 전극이 CMOS 칩상에 형성되어 있기 때문에, 즉 칩이 망막 세포에 직접 맞는 형태로 이식되기 때문에 칩의 구동시 발열이 과할 경우 망막 세포가 괴사할 위험이 존재한다는 점이다. 이러한 점들은 이 시스템을 인간의 망막에 이식하여 수년간(또는 영구적으로) 사용하는데 주저하게 만드는 요인이 된다.

이러한 문제점들을 해결하기 위해서는 비교적 전력 소모가 많은 신호 처리 및 자극 신호를 생성하는 기능을 담당하는 회로는 망막 시세포와 직접 닿지 않고 멀리 떨어진 위치에 이식되고, 망막 시세포에는 미세 전극 이외에는 발열이 거의 없는 소자만 접촉하도록 하는 것이 필요하다. 또한 망막에 이식되는 디바이스는 수술 과정에서 이식이 용이하도록 얇고 유연한(flexible) 형태로 제작되는 것이 바람직하다. 실리콘 나노와이어는 높은 surface-to-volume ratio로 인해 매우 민감한 특성을 가지고 있어 고감도 광 검출기[17-28]나 전계 효과 트랜지스터(field effect transistor, FET)[29-31]로서 많이 이용되고 있으며, 특히 유연한 소자를 만들 수 있는 장점이 있다. 따라서 실리콘 나노와이어 광 검출기와 FET의 기능을 잘 조합하면 유연한 기관 위에 특수한 기능을 수행할 수 있는 회로 구현이 가능하고, 이를 망막 자극기에 응용한다면 영상 인식과 망막 자극을 동시에 이룰 수 있는 고해상도 인공 망막 시스템 구현이 가능할 것이라 생각하였다. 이를 위해 본 논문에서는 시스템 구성의 기본 소자인 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET의 제작과 이들 소자를 조합한 망막 자극기 회로 구성을 통해 실리콘 나노와이어 광 검출 회로 기반의 망막 신경 자극 기법을 찾고자 한다.

제 4 절 논문 내용 요약 및 논문의 구성

본 논문에서는 고해상도 인공 망막 시스템 구현을 위해 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로와 미세 전극 어레이(micro electrode array, MEA)가 집적된 고해상도 망막 자극기와 광 검출 기반의 망막 신경 자극 기법을 제안한다. 제안하는 망막 자극기는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로와 미세 전극 어레이가 $N \times N$ matrix 형태로 집적되어 있으며, 망막 세포에 이식이 용이하도록 유연한 형태로 제작된다. 각 픽셀에는 1개의 실리콘 나노와이어 광 검출기와 2개의 실리콘 나노와이어 FET로 구성되는 광 검출 및 자극 신호 변조 회로를 내장하고 있다. 실리콘 나노와이어 기반 광 검출 및 자극 신호 변조 회로는 전압 분배기와 전류 구동기로 기능이 나누어지며, 별도로 제작된 CMOS 칩에서 생성된 펄스 형태의 기준 자극 신호(reference stimulation signal)가 각 픽셀에 전달되고, 각 픽셀에서는 실리콘 나노와이어 광 검출기에서 검출된 빛의 세기에 따라 기준 자극 신호를 펄스 진폭 변조(pulse amplitude modulation, PAM)하여 미세 전극에 전달한다.

실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로를 구성하기 위해, 내부 전압 분배기 및 전류 구동기 구성의 기본 소자인 실리콘 나노와이어 광 검출기(silicon nanowire photodetector) 및 실리콘 나노와이어 FET(silicon nanowire FET), 미세 전극을 제작하여 각 소자들의 특성을 조사하였다. 그리고 제작된 나노와이어 광 검출기 및 FET 소자를 이용하여 전압 분배기 및 전류 구동기 회로를 구성한 후 개별회로의 동작 검증을 통해 망막 자극기 단위 픽셀을 구성하는 회로를 완성한 후 빛의 조사에 의한 자극 신호의 변조 성능을 평가함으로써 제안된 시스템의 동작을 검증하였다. 제안된 망막 자극기 및 망막 신경 자극 기법의 고해상도 인공 망막 적용을 위해 top-down 기반의 제조 공정을 이용하여 실리콘 나노와이어 기반의 광 검출 및 자극신호 변조 회로와 고밀도 미세 전극이 집적된 32×32 의 해상도를 가진 망막 자극기를 설계, 제작

하였다.

마지막으로 본 논문에서 제안하는 실리콘 나노와이어 기반의 광 검출 및 신호 변조 회로로 이루어지는 망막 자극기 및 망막 신경 자극 기법의 유효성을 평가하기 위해 rd1 mouse를 이용한 *in vitro* 동물 실험을 실시하였으며, 빛 자극에 의한 자극 신호 변조 및 망막 시세포 자극의 과정이 적절히 이루어지는지 평가하였다.

본 논문의 제1장 서론에 이어 제2장 이하의 본문의 구성은 다음과 같다.

2장 1절에서는 제안하는 고해상도 인공 망막을 위한 실리콘 나노와이어 기반의 광 검출 회로가 내장된 망막 자극기의 구성과 동작 원리, 망막 신경 자극 기법에 대하여 소개한다.

2장 2절에서는 실리콘 나노와이어 기반의 광 검출 회로가 내장된 망막 자극기 설계에 있어, 내부 광 검출기를 이용하는 방식의 망막 자극기와 내부 광 검출기와 외부 카메라를 선택적으로 이용할 수 있는 망막 자극기 설계를 설계한다.

2장 3절에서는 본 논문에서 제안하는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 구성하는 기본 소자로서 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET를 제작하여 전기적, 광학적 특성을 평가한다. 또한 고해상도 망막 자극기를 위한 고밀도 미세 전극 제작을 위한 나노 3D 미세 전극 제작 방법을 소개한다.

2장 4절에서는 제작된 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET 단위 소자들을 조합하여 전압 분배기 및 전류 구동기를 구성하고 각각의 회로의 동작을 조사함으로써 본 논문에서 제안하는 광 검출 및 자극 신호 변조의 원리를 검증한다.

2장 5절에서는 제안하는 망막 자극기의 고해상도 인공 망막 시스템으로의 적용을 위해 32×32의 고해상도 망막 자극기의 설계 및 제작 결과를 다룬다.

2장 6절에서는 제안하는 망막 자극기 및 망막 신경 자극 기법의 유효성을 평가하기 위한 *in-vitro* 동물 실험의 과정과 결과를 다룬다.

제3장은 결론 부분으로서 본 논문의 내용 및 결과를 요약하고 제안하는 방법 대한 전체적인 총평과 결론, 그리고 향후 계획을 소개한다.

제 2 장 본 론

제 1 절 실리콘 나노와이어 광 검출기가 내장된 고해상도 망막 자극기

본 논문에서는 외부 카메라를 이용하는 대신에 영상 인식이 가능하도록 망막 자극기 내부에 광 검출기가 내장된 고해상도 망막 자극기를 제안한다. 또한 영상 인식을 위한 고밀도 광 검출기 어레이를 갖추면서도 각 구성 요소들간의 전기적인 연결이 쉽게 이루어지는 고해상도 망막 자극기 구현 방법과 빛 자극에 의한 망막 시신경 자극 기법을 제안한다. 먼저 본 논문에서 제안하는 망막 자극기가 적용된 고해상도 인공 망막 시스템의 구성과 동작원리를 살펴본다.

1. 광 검출기가 내장된 고해상도 인공 망막 시스템의 구성

그림 2-1은 카메라의 기능을 대신하는 영상 인식용 광 검출기가 망막 자극기 내부에 집적되어 있는 고해상도 인공 망막 시스템의 전체적인 구성도이다. 본 시스템은 영상 인식 기능을 가진 완전 이식형 시스템으로서 모든 장치가 신체 내부에 모두 이식되기 때문에 외형적으로는 타인이 눈치 챌 수 없는 구조이다. 그림에서 보듯이 이식된 망막 자극기 시스템은 전력을 공급하고, 외부 기기와의 통신 및 망막 자극기 제어를 담당하는 전원 및 제어 장치(power & control unit), 망막 신경 자극을 위한 기준 자극 신호를 생성하는 신호 처리 장치(signal processor unit), 그리고 광 검출기와 미세 전극 어레이가 $N \times N$ matrix 형태로 집적된 망막 자극 장치(stimulator unit)로 이루어진다.

전원 및 제어장치에는 충전 배터리가 포함되어 있어 신체 외부 기기로부터의 무선 전력 전송을 통한 충전이 가능하며, 제어장치 역시 무선 데이터 통신을 통해 외부 기기로부터 망막 자극기 제어에 필요한 데이터

를 받게 된다. 신호 처리 장치는 빛의 세기와는 무관한 일정한 진폭(amplitude)을 가진 펄스 형태의 기준 자극 신호를 생성하여 망막 자극기의 각 픽셀에 전달해준다. 망막 자극 장치는, 전원 및 제어장치, 신호 처리 장치가 안구와 멀리 떨어진 위치에 이식되는 것과는 달리, 안구내에 직접 이식되는 장치로서 망막 신경 자극을 위한 고밀도 미세 전극 어레이가 집적되어 있어 망막 시세포와 직접 접촉하게 된다. 망막 자극 장치에는 픽셀 단위로 광 검출 및 자극 신호 변조 회로가 내장되어 있어 신호 처리 장치로부터 생성되어 전달된 기준 자극 신호를 빛의 세기에 비례하는 크기를 가진 자극 펄스로 변조하여 망막 시신경을 자극하게 된다. 한편 본 시스템은 많은 전력소모로 발열이 예상되는 전원 및 제어장치와 신호처리 장치는 과도한 열이 외부로 유출되지 않도록 패키징을 하여 안구와 멀리 떨어진 곳에 이식하고, 망막에는 발열의 가능성이 없는 망막 자극 장치만을 이식함으로써 발열에 의한 세포 괴사의 위험요인을 없앨 수 있다.

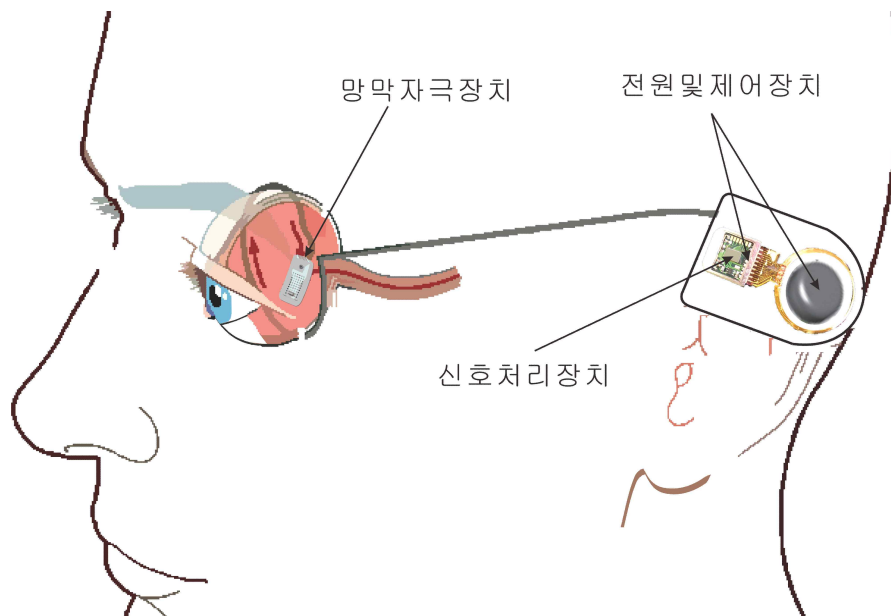


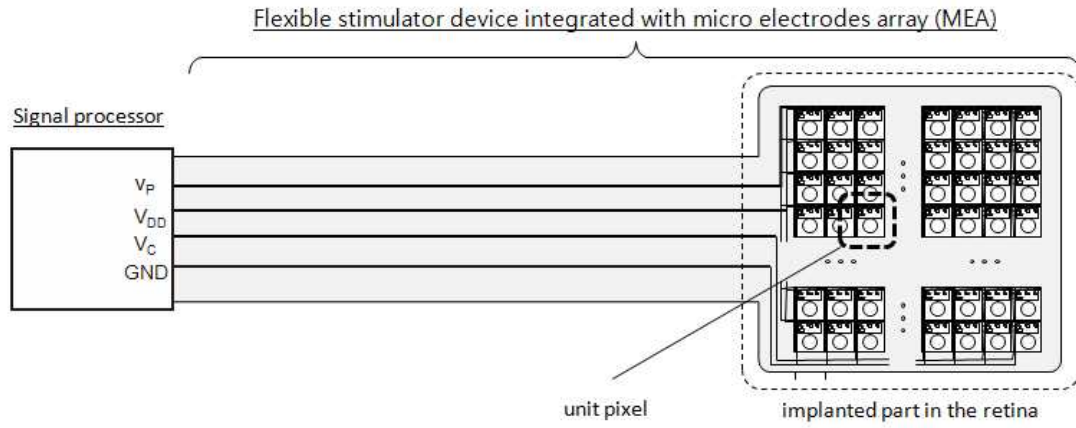
그림 2-1. 본 논문에서 제안하는 방식의 광 검출기가 내장된 고해상도 인공 망막 시스템의 구성도.

2. 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로의 동작 원리 및 망막 신경 자극 기법

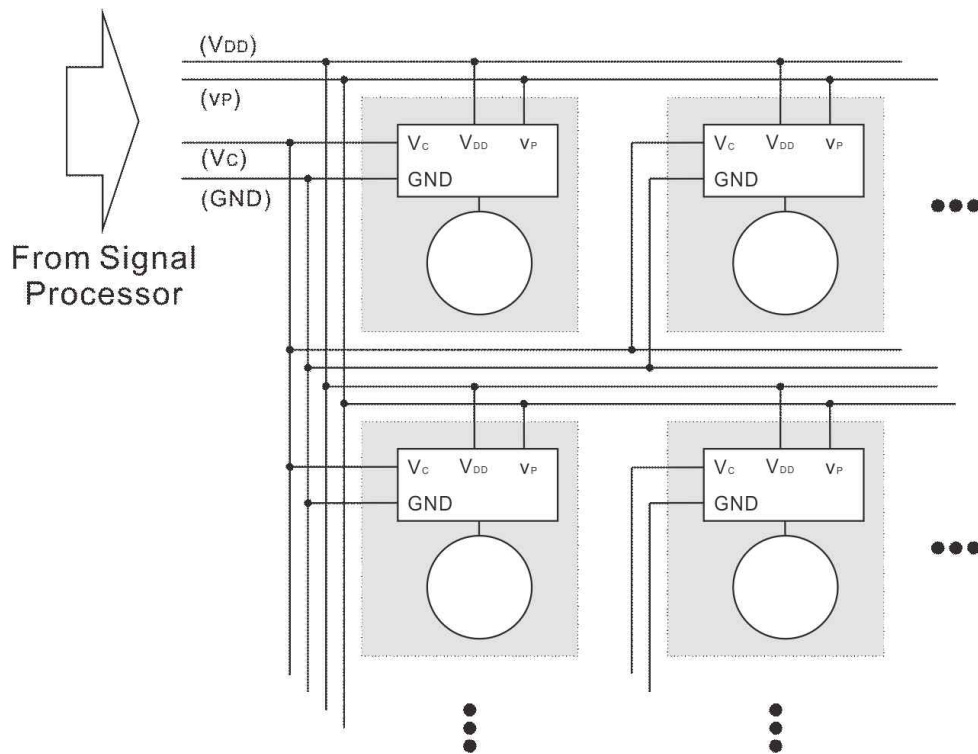
제안하는 시스템의 망막 자극기 구성과 단위 픽셀(unit pixel)에서의 광 검출 및 자극 신호 변조의 과정, 미세 전극으로의 자극 신호의 전달 과정을 좀 더 상세히 살펴보기로 한다. 그림 2-2(a)는 본 연구에서 제안하는 고해상도 망막을 위한 망막 자극기의 전체적인 구성을 보여준다. 본 망막 자극기는 신호 발생 장치와 망막 자극 장치가 유연한 기판 위에 형성된 도선에 의해 연결되며, 두 장치간의 전기적인 연결에 필요한 신호선은 전원(V_{DD}), 접지(GND), 기준 자극 신호(V_P) 그리고 기타 망막 자극기 제어를 위한 제어신호(V_C) 등 4개뿐인 아주 간단한 신호전달체계를 가지고 있다. 그림 2-2(b)는 이들 4개의 신호선이 망막 자극기 내부의 각 픽셀에 어떻게 연결되고 있는지를 보여주는 결선도로서, 각 픽셀에 전원과 접지를 공통적으로 공급하고, 기준 자극 신호와 제어 신호 역시 각 픽셀에 공통의 신호를 보낼 수 있도록 모두 공통 신호선으로 처리되었다. 이처럼 본 망막 자극기는 고해상도에 따른 해상도 및 픽셀 수 증가에도 불가하고 망막 자극기를 구성하는 신호처리 장치와 망막 자극 장치 사이에 연결해야 할 신호선의 수가 4개 밖에 되지 않기 때문에 구성요소들간의 전기적인 연결 문제가 쉽게 해결되기 때문에 고해상도 시스템을 구현하는데 매우 효과적이다.

그림 2-2(c)는 본 논문에서 제안하는 망막 자극기의 구성과 단위 픽셀의 block diagram, 회로의 동작 및 망막 신경 자극 과정을 보여주는 개념도이다. 그림에 묘사된 바와 같이 망막 자극기에 도달하는 영상 정보는 각 픽셀 단위에서 보면 그림 2-2(c)의 왼쪽의 그래프처럼 시간에 따라 세기가 일정하지 않게 조사되는 빛과 같다. 이러한 빛이 조사될 경우 각 픽셀에 집적되어 있는 광 검출 및 신호 변조 회로에서는 각 픽셀로 전달된 일정한 진폭의 기준 자극 신호를 빛의 세기에 비례하는 진폭을 가지도록 변조하는 역할을 수행하며, 변조된 자극 신호를 미세 전극에 전달해준다. 이러한 픽셀 단위의 빛 세기 검출 및 자극 신호 변조 과정을 통해 고밀도 미세 전극 어레이가 각기 다른 세기의 자극 신호로 망

막 시세포를 자극함으로써 영상 인식이 가능하게 된다.

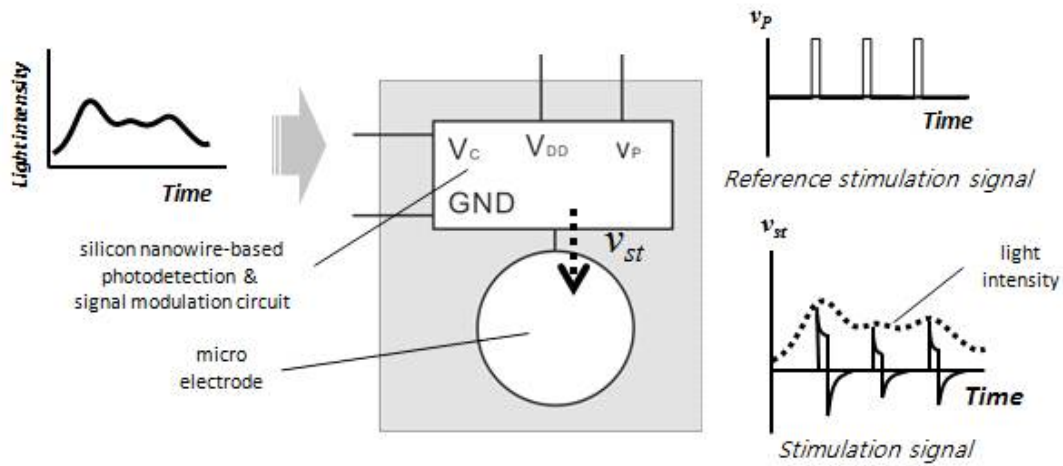


(a) 망막 자극기 구성도.



(b) 망막 자극기 결선도.

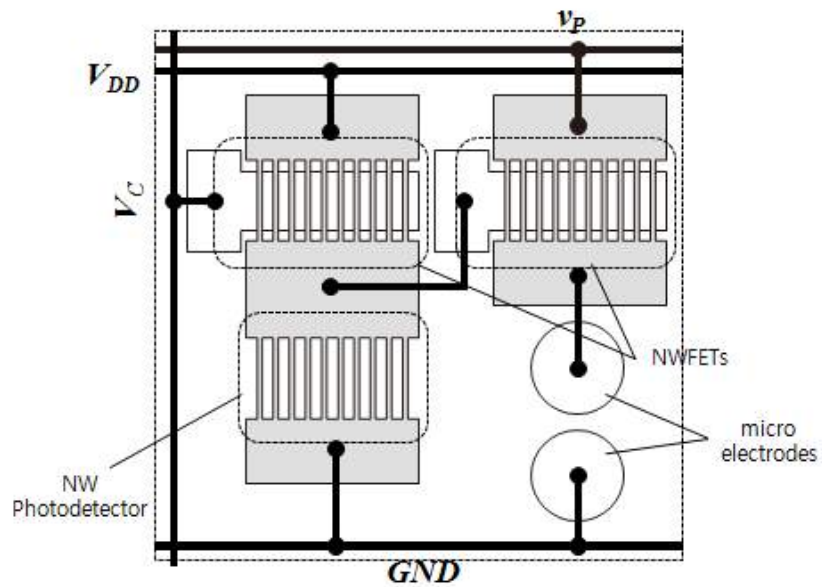
그림 2-2. 광 검출기 내장형 고해상도 망막 자극기의 구성 및 망막 신경 자극 기법.



(c) 단위 픽셀에서의 광 검출 및 신호 변조와 망막 시세포 자극 과정.
 그림 2-2. 광 검출기 내장형 고해상도 망막 자극기의 구성 및
 망막 신경 자극 기법.

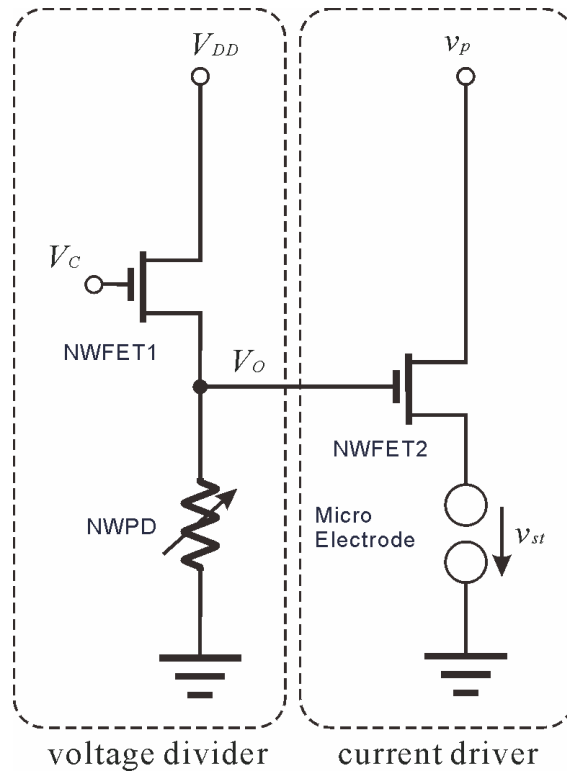
그림 2-3(a)는 그림 2-2(c)의 광 검출 및 자극 신호 변조 기능을 수행하기 위한 망막 자극기 단위 픽셀의 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로의 구성도로서, 실리콘 광 검출기와 실리콘 나노와이어 FET, 그리고 미세 전극으로 이루어지는 회로이다. 그림에서 보듯이 실리콘 나노와이어 광 검출기는 실리콘 나노와이어 어레이와 이들의 양단에 전극을 형성시킨 형태이며, 실리콘 나노와이어 FET는 실리콘 나노와이어 양단에 소스(source), 드레인(drain) 전극을 형성하고, 중앙부에 실리콘 나노와이어에는 산화막과 게이트(gate) 전극을 형성시킨 구조이다. 실리콘 나노와이어 광 검출기는 빛의 입사되면 실리콘 나노와이어 내부에 전자-정공쌍(electron-hole pair)이 생성되고, 이에 따라 다수캐리어의 농도 변화로 인해 나노와이어의 저항 값이 변하는 소자이다. 실리콘 나노와이어 FET는 게이트 전극에 전압을 인가함으로써 전계 효과에 의한 나노와이어의 저항 변화를 유도하여 나노와이어에 흐르는 전류를 제어하는 소자이다. 따라서 그림 2-3(a)의 실리콘 나노와이어 회로 구성도는 그림 2-3(b)의 등가 회로로 표현할 수 있다. 실리콘 나노와

이어 광 검출기(NWPD)는 가변저항으로, 실리콘 나노와이어 FET(NWFET)는 FET로 표현하였다. 회로의 왼쪽 부분은 나노와이어 FET(NWFET1)와 나노와이어 광 검출기가 직렬로 연결된 형태로 일종의 전압 분배기 회로이며, 회로의 오른쪽 부분은 나노와이어 FET(NWFET2)와 미세 전극으로 이루어지는 전류 구동기 회로이다. 전압 분배기의 출력 전압(V_O)은 전류 구동기 회로의 NWFET2의 게이트에 연결되어 출력 전류 레벨을 조절한다.



(a) 실리콘 나노와이어 기반의 단위 픽셀 구성도.

그림 2-3. 단위 픽셀의 광 검출 및 자극 신호 변조 회로.



(b) 단위 픽셀의 등가 회로.

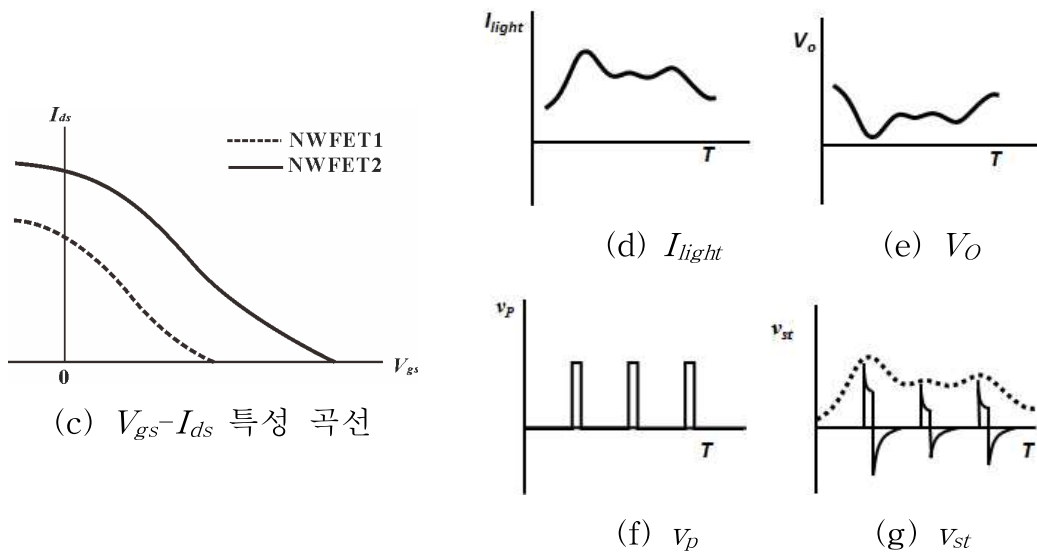


그림 2-3. 단위 픽셀의 광 검출 및 자극 신호 변조 회로.

그림 2-3의 회로의 동작을 자세히 살펴봄으로써 픽셀 단위의 광 검출 및 자극 신호 변조 원리를 설명한다. 먼저 좌측의 전압 분배기는 ‘dark’ 상태일 때 NWPD의 저항 값이 최대이기 때문에 V_O 는 최대가 되고, 이때 V_O 에 의해 구동되는 p-type 특성을 가지는 NWFET2는 ‘OFF’ 상태가 되어 NWFET2의 출력 전류가 제한된다. 한편 NWPD에 빛이 조사되면 NWPD의 저항 값은 작아지고 V_O 도 작아지게 된다. 작아진 V_O 에 의해 NWFET2는 ‘ON’ 상태가 되어 전류가 흐르게 되고, 조사된 빛의 크기가 강할수록 NWFET2의 출력전류는 커진다. 이런 과정으로 NWPD에 조사되는 빛의 세기에 따라 V_O 값과 NWFET2의 출력 전류 레벨이 조절된다.

그림 2-3(d)와 같은 패턴으로 세기(I_{light})가 일정치 않고 시간에 따라 변하는 빛이 NWPD에 조사되는 경우를 가정하면, V_O 는 그림 2-3(e)에 나타낸 바와 같이 빛의 세기 신호 패턴과는 반대 모양의 출력 패턴을 갖는다. NWFET2에 그림 2-3(f)에 나타낸 것과 같이 일정한 크기의 진폭을 가지는 기준 자극 신호(v_p)가 인가된다면 그림 2-3(e)의 V_O 의 패턴으로 NWFET2가 구동되면 NWFET2를 통해 미세 전극으로 전달되는 자극 신호(v_{st})의 패턴은 그림 2-3(g)의 형태를 갖게 되는데, 이는 기준 자극 신호의 각 펄스의 진폭이 빛의 신호에 비례하는 크기로 변조된 모습을 하게 되는 것이다. 즉 그림에서 보듯이 v_{st} 의 포락선(envelope)이 I_{light} 신호패턴을 잘 반영하게 된다. 이러한 과정을 통해 망막 자극기 각 픽셀에서의 광 검출에 의한 자극 신호 변조 및 망막 신경 자극이 이루어지게 된다.

다음 절에서 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로의 설계를 통해 회로를 구성하는 각각의 소자들의 요구조건들을 살펴보기로 한다.

제 2 절 실리콘 나노와이어 기반의 광 검출 회로가 내장된 망막 자극기의 설계

본 논문에서는 기본적으로 내부 광 검출기를 이용하는 방식의 망막 자극기를 제안하고 있으며, 이를 위한 방법으로 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로의 구성과 동작원리, 이를 이용한 망막 신경 자극 기법에 대하여 소개하였다. 그렇지만 만약 내부 광 검출기를 이용하는 것과 외부 카메라를 이용하는 것을 선택하여 사용하는 것이 가능하다면 인공 망막의 사용에 있어 부가적인 편리성 및 유용성을 가져다 줄 수 있을 것이다. 이를 위해 본 절에서는 먼저 본 논문에서 제안하는 원리에 기초한 내부 광 검출기를 이용하는 망막 자극기의 설계에 대해 다루고, 그 다음으로 내부 회로를 바꾸지 않으면서 그림 2-2에 나타낸 내부 광 검출기 이용방식에 의한 망막 자극기의 구성에서 신호선과 결선 방식을 약간 변경함으로써 내부 카메라와 외부카메라를 선택적으로 사용 가능한 망막 자극기의 설계에 대해 다룬다.

1. 내부 광 검출기를 이용하는 방식의 망막 자극기의 설계

본 논문에서 제안하는 내부 광 검출기를 이용하는 방식의 망막 자극기를 구성하는 그림 2-3(b)의 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로 설계에 있어, 회로가 효과적으로 동작하기 위한 회로를 구성하는 각 소자들의 요구 조건을 살펴 볼 필요가 있다. 이를 위해 회로를 구성하는 전압 분배기 회로와 전류 구동기 회로 각각에 대하여 고려해야 할 중요한 설계 요소를 살펴보고자 한다.

1.1 전압 분배기의 설계

그림 2-3(b) 좌측의 전압 분배기는 제어 전압 V_C 에 의해 NWFET1의 동작 상태의 저항 값, R_{NWFET1} 이 결정되며 이에 따라 전압분배기는 그림 2-4의 등가회로로 표현할 수 있으며, 전압분배기의 출력 전압은 다음 식으로 표현된다.

$$V_O = \frac{R_{NWP D}}{R_{NWFET1} + R_{NWP D}} \cdot V_{DD} \quad (1)$$

여기서, $R_{NWP D}$ 는 NWP D의 저항 값, R_{NWFET1} 은 NWFET1의 저항 값, V_{DD} 는 전압 분배기 구동 전압이다. V_O 의 적절한 스윙 범위(swing range)는 NWFET2의 스위칭 특성과 관계하여 설정할 수 있다. 그림 2-5는 V_O 와 NWFET2의 출력 전류와의 관계를 나타내는 그림이다. 그림에서 V_O 의 값이 V_{O_min} 으로 최소일 때, 즉 $R_{NWP D}$ 가 최소가 되는 ‘bright’ 상태일 때 NWFET2의 출력 전류는 최대가 되고, 반대로 V_O 의 값이 V_{O_max} 로 최대일 때, 즉 $R_{NWP D}$ 가 최대가 되는 ‘dark’ 상태일 때 NWFET2의 출력 전류는 최소가 된다. 바람직한 망막 자극을 위해서는 ‘dark’ 상태일 때 출력 전류는 0 A이어야 하고, ‘bright’ 상태일 때 망막 자극을 충분히 할 수 있도록 출력 전류는 가능한 커야 한다. 그러려면 V_O 의 최소값은 0 V에 가까울수록, 최대값은 V_{DD} 에 가까울수록 좋다. V_O 의 최소값이 0 V에 근접한 값을 가지기 위한 조건과 최대값이 V_{DD} 에 근접한 값을 가지기 위한 조건을 표 2-1에 나타내었다.

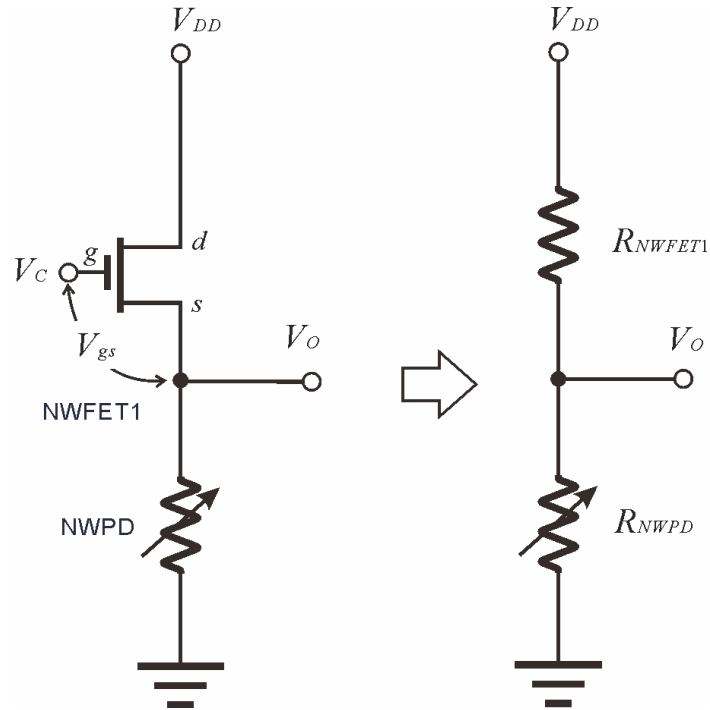


그림 2-4. NWFET1이 ON 상태일 때 전압 분배기의 등가회로.

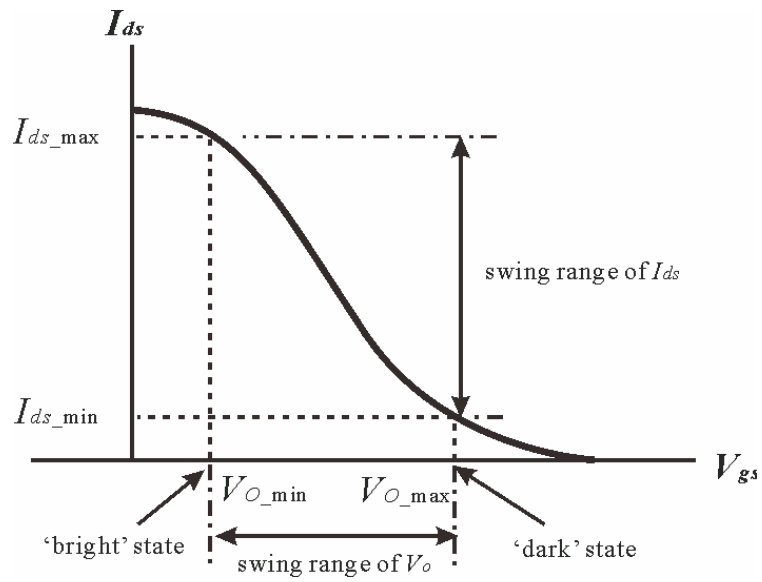


그림 2-5. 전압 분배기 출력과 NWFET2의 출력 전류와의 관계.

표 2-1. 전압 분배기의 출력 전압 V_O 가 최대 스윙 값을 갖기 위한 조건

전압 분배기 출력 전압, V_O	빛 세기	조 건
$\approx V_{DD}$ → NWFET2 최소 전류	dark	$R_{NWPD(\text{dark})} \gg R_{NWFET1}$
$\approx 0 V$ → NWFET2 최대 전류	bright (빛 밝기 최대) ¹⁾	$R_{NWPD(\text{bright})} \ll R_{NWFET1}$

‘Dark’ 상태에서 V_O 의 최대값이 V_{DD} 가 되기 위해서는 NWPD의 저항 값이 NWFET1의 저항 값보다 훨씬 커야하고, ‘bright’ 상태에서 V_O 의 최소값이 0 V가 되기 위해서는 NWPD의 저항 값이 NWFET1의 저항 값보다 훨씬 작아야 한다. 즉 $R_{NWPD(\text{dark})} \gg R_{NWFET1} \gg R_{NWPD(\text{bright})}$ 의 조건이 만족되면 최대의 스윙 범위를 갖는 전압 분배기가 된다. 이를 위해서는 dark 상태에서의 나노와이어 광 검출기의 저항 값, $R_{NWPD(\text{dark})}$ 는 가능한 큰 것이 좋은데, 이는 나노와이어가 도핑이 거의 되지 않은, 즉 intrinsic 한 특성을 가져야 함을 의미한다. 한편 bright 상태에서의 나노와이어 광 검출기의 저항 값, $R_{NWPD(\text{bright})}$ 은 가능한 작아야 하는데, 이는 빛에 대한 민감도가 높아 빛을 조사했을 때 나노와이어의 저항이 매우 낮아져야 함을 의미한다. 나노와이어 광 검출기의 민감도는 나노와이어의 굵기, 길이, 도핑 농도에 의해 결정되며, 다음 절에서 실리콘 나노와이어 광 검출기의 제작 및 특성 평가 부분에서 자세히 다루도록 한다.

다음으로 그림 2-3(a)의 광 검출 및 자극 신호 변조 회로에 이용된 NWFET의 조건에 대하여 살펴보고자 한다. 그림 2-3(a)의 회로에는 두 개의 NWFET가 이용되며, 전압 분배기에 이용된 NWFET1과 전류 구동기에 이용된 NWFET2의 요구 조건이 다르다. 먼저 전압 분배기에 사용된 NWFET1의 조건에 대해 살펴본다.

전압 분배기에서는 실리콘 나노와이어 광 검출기와의 저항 값의 비로 전압 분배기 출력 값이 결정되므로 출력 전류 레벨보다 NWFET1의 동

1) 망막 자극기의 사용 범위에서의 빛의 최대 밝기를 의미함.

작 상태의 저항 값, R_{NWFET1} 의 크기가 중요하다. R_{NWFET1} 의 값은 NWFET1의 게이트 전압(V_{gs})에 의해 조절되는데, 전압 분배기 제어전압, V_C 가 그 역할을 하게 되며 앞에서 살펴본 바와 같이 이상적인 전압 분배기가 되기 위한 조건, 즉 $R_{NWPD(dark)} \gg R_{NWFET1} \gg R_{NWPD(bright)}$ 이 만족 되도록 NWFET1의 제어 전압을 설정해야 한다.

빛의 세기에 따른 NWPD의 저항 값과 NWFET1의 동작 상태의 저항 값, 그리고 전압 분배기 출력 전압과의 상관관계를 알아보기 위해 간단한 컴퓨터 시뮬레이션을 수행하였다²⁾. 그림 2-6~2-8은 NWPD와 NWFET1의 저항 값을 임의의 세 가지 경우로 가정한 후 전압분배기의 출력 전압을 계산한 그래프이다. 각 시뮬레이션에서 설정한 NWPD 및 NWFET의 세 가지 조건을 표 2-2에 나타내었다. ‘Case I’은 ‘dark’ 상태에서의 NWPD의 저항 값과 $V_{gs} = 0\text{ V}$ 에서의 NWFET의 저항 값이 같은 경우, 즉 $R_{NWPD(dark)} = R_{NWFET1}(V_{gs} = 0\text{ V})$ 인 경우에 대한, ‘Case II’는 $R_{NWPD(dark)} > R_{NWFET1}(V_{gs} = 0\text{ V})$ 인 경우에 대한, 그리고 ‘Case III’는 $R_{NWPD(dark)} \gg R_{NWFET1}(V_{gs} = 0\text{ V})$ 인 경우에 대한 시뮬레이션 조건을 나타낸 것이다. 여기서 NWPD의 경우에는 ‘dark’ 상태에서부터 빛을 점점 강하게 조사할 때의 저항 값이 최대 100 MΩ(‘dark’ 상태일 때)에서 최소 0.1 MΩ(최대 밝기일 때)로 변한다고 가정하여 값을 설정하였고, NWFET에 있어서는, 세 가지 시뮬레이션에서의 스위칭 특성을 정의함에 있어 ‘ON’ 상태($V_{gs} = 0\text{ V}$)에서의 저항 값을 각각 100 MΩ, 10 MΩ, 5 kΩ 세 가지 경우로 설정하였고, ‘OFF’ 상태($V_{gs} > 2.5\text{ V}$)의 저항 값은 10 GΩ 이상의 충분히 큰 값을 갖도록 설정하였다.

그림 2-6은 표 2-2의 시뮬레이션 ‘Case I’에 사용된 NWFET1의 스위칭 특성과 전압 분배기 출력 전압의 시뮬레이션 결과이다. 그림 2-6(a)는 시뮬레이션에 사용된 NWFET1의 스위칭 특성 그래프로서, $R_{NWPD(dark)} = R_{NWFET1}(V_{gs} = 0\text{ V})$ 조건과 $R_{NWFET1(OFF)} > 10\text{ G}\Omega$ 의 조건이 만족되도록 게이트 전압(V_{gs})에 따른 출력 전류(I_{ds}) 관계를 설정한 것이다.

2) 본 시뮬레이션에서 사용된 수치들은 회로의 동작의 개념을 조사하기 위해 시뮬레이션을 위해 임의로 설정한 값일 뿐이며, 각 파라미터들의 값 자체는 큰 의미가 없다.

그림 2-6(b)는 제어 전압에 따른 전압 분배기 출력 전압을 각 R_{NWPD} 값별로 계산한 결과이다. 전압 분배기 공급 전압 $V_{DD} = 5\text{ V}$ 이다. 먼저 그 그래프에서 제어전압이 0 V 일 때의 경우를 살펴보면, ‘dark’ 상태에서, 즉 R_{NWPD} 이 $100\text{ M}\Omega$ 으로 최대일 때 전압 분배기의 출력 전압은 $2.5\text{ V}(=V_{DD}/2)$ 이며, 빛이 점점 밝아져 최대 밝기 상태일 때에는 거의 0 V 에 가까운 값이다. 즉 $V_C = 0\text{ V}$ 일 때의 전압 분배기 출력 전압의 스윙 범위(swing range)는 $0 \sim 2.5\text{ V}$ 이다. 그리고 V_C 가 증가할수록 출력 전압의 스윙 범위는 점차 줄어들고, $V_C > 2.5\text{ V}$ 에서는 나노와이어 광 검출기의 저항 변화에 관계없이 출력 전압이 거의 0 V 에 가깝게 된다. 즉 $V_C > 2.5\text{ V}$ 일 때에는 NWFET1이 ‘OFF’ 상태가 되어 회로에 흐르는 전류가 차단되므로 V_O 는 항상 0 V 가 된다. 한편 그림 2-6(b)의 작은 그래프는 ‘dark’ 상태일 때와 최대 밝기 상태일 때의 V_O 값의 차를 구하여 전압 분배기 출력 전압의 스윙 범위를 구한 그래프이다. $V_C = 0\text{ V}$ 일 때 최대 스윙 범위를 가지며 그 값은 2.5 V 로서 인가전압의 $1/2$ 수준이다.

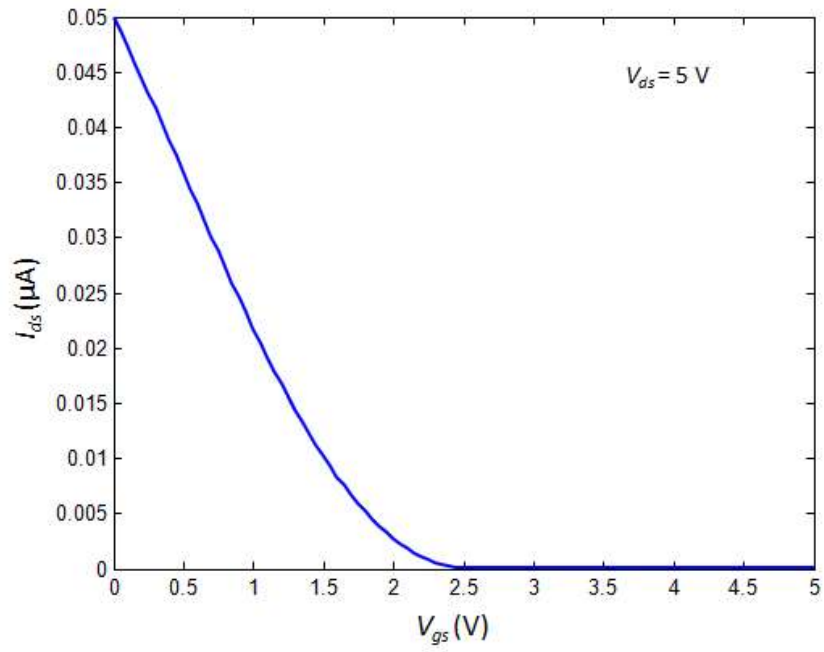
그림 2-7은 표 2-2의 ‘Case II’에 대한 시뮬레이션 결과로서, $R_{NWPD(\text{dark})} > R_{NWFET1}(V_{gs} = 0\text{ V})$ 인 경우(본 시뮬레이션에서는 10배 정도 큰 경우를 가정함)에 대한 것이다. 그림 2-7(a)는 시뮬레이션에 사용된 NWFET1의 스위칭 특성 그래프로서, $R_{NWPD(\text{dark})} = 10 \cdot R_{NWFET1}(V_{gs} = 0\text{ V})$ 조건과 $R_{NWFET1(\text{OFF})} > 10\text{ G}\Omega$ 의 조건이 만족되도록 게이트 전압(V_{gs})에 따른 출력 전류(I_{ds}) 관계를 설정한 것이다. 그림 2-7(b)는 제어 전압에 따른 전압 분배기 출력 전압을 R_{NWPD} 값별로 계산한 결과로서, $V_C = 0\text{ V}$ 일 때, ‘dark’ 상태(즉, $R_{NWPD(\text{dark})} = 100\text{ M}\Omega$)에서 V_O 의 값은 약 4.6 V 이며, 최대 밝기 상태(즉, $R_{NWPD(\text{bright})} = 0.1\text{ M}\Omega$)에서 V_O 의 값은 약 0.1 V 이다. 따라서 $V_C = 0\text{ V}$ 일 때의 전압 분배기 출력 전압의 스윙 범위는 $0.1 \sim 4.6\text{ V}$ 이다. 그리고 V_C 가 증가할수록 출력 전압의 스윙 범위는 점차 줄어들어 $V_C > 2.6\text{ V}$ 에서는 NWFET1이 ‘OFF’가 되어 나노와이어 광 검출기의 저항 변화에 관계없이 출력 전압이 거의 0 V 에 가까운 값이 된다. 그림 2-7(b)의 작은 그래프를 통해 $V_C = 0\text{ V}$ 일 때 전압 분배기의 출력 전압이 약 4.5 V 로서 최대 스윙 범위를 가지며 것을 볼 수

있으며, 이 것은 인가전압($V_{DD} = 5\text{ V}$)의 약 90%에 이르는 높은 값이다.

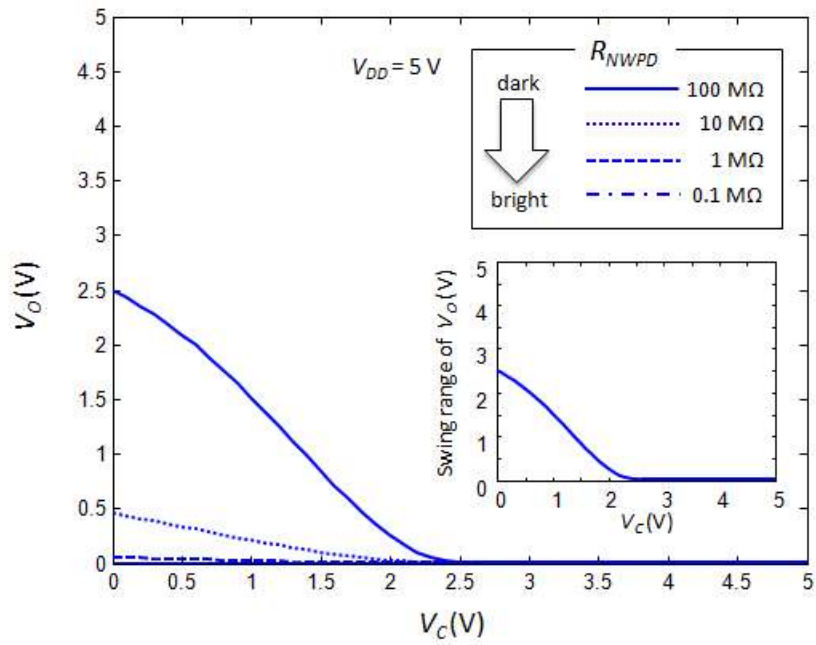
그림 2-8은 표 2-2의 ‘Case III’에 대한 시뮬레이션 결과로서, $R_{NWPD(\text{dark})} \gg R_{NWFET1(\text{ON})}$ 인 경우(본 시뮬레이션에서는 20,000배 정도 큰 경우를 가정함)에 대한 것이다. 그림 2-8(b)는 제어 전압에 따른 전압 분배기 출력 전압을 R_{NWPD} 값별로 계산한 결과이다. $V_C = 0\text{ V}$ 일 때의 경우를 살펴보면, ‘dark’ 상태에서는 V_O 의 값은 약 5 V로서 앞의 두 경우에 비해 출력 전압이 V_{DD} 에 거의 근접한 값이다. 반면 최대 밝기 상태에서 V_O 의 값은 약 4.8 V로서 앞의 그림 2-6, 2-7에서는 두 경우와 달리 0 V에 근접한 값이 아니다. 이는 NWPD에 아무리 센 빛을 조사해도 $R_{NWPD(\text{bright})}$ 이 $R_{NWFET1(\text{ON})}$ 보다 훨씬 크기 때문이다. 즉 이러한 조건에서는 전압 분배기의 출력 전압이 4.8 ~ 5.0 V로 매우 적은 스윙 범위를 가지기 때문에 전압 분배기로서 적합하지 않다. 그렇지만 V_C 의 값을 증가시키면 NWFET1이 ‘OFF’ 상태로 접어들어 따라 R_{NWFET1} 의 값도 증가하게 되고, V_O 의 스윙 범위가 점차 커진다. 그림 2-8(b)의 작은 그래프에서 보듯이, V_O 의 최대 스윙 범위는 약 4.7 V로 나타났는데, 앞의 두 경우와는 달리 제어 전압이 0 V가 아닌 2.5 V 근처에서 최대 스윙 범위를 나타내고 있다.

표 2-2. 그림 2-6 ~ 2-8의 시뮬레이션 조건

	NWPD 조건 (빛 밝기 증가에 따른 R_{NWPD} 값)	NWFET1 조건 (V_{gs} 에 따른 R_{NWFET1} 값)	비고
Case I	$R_{NWPD} = 100 \text{ M}\Omega$ (dark 상태)	$R_{NWFET1(\text{ON})} = 100 \text{ M}\Omega$ $(V_{gs} = 0 \text{ V})$ $R_{NWFET1(\text{OFF})} > 10 \text{ G}\Omega$ $(V_{gs} > 2.5 \text{ V})$	그림 2-6.
	$R_{NWPD} = 10 \text{ M}\Omega$ (빛 밝기 level 1)		
	$R_{NWPD} = 1 \text{ M}\Omega$ (빛 밝기 level 2)		
	$R_{NWPD} = 0.1 \text{ M}\Omega$ (빛 밝기 최대)		
Case II	$R_{NWPD} = 100 \text{ M}\Omega$ (dark 상태)	$R_{NWFET1(\text{ON})} = 10 \text{ M}\Omega$ $(V_{gs} = 0 \text{ V})$ $R_{NWFET1(\text{OFF})} > 10 \text{ G}\Omega$ $(V_{gs} > 2.5 \text{ V})$	그림 2-7.
	$R_{NWPD} = 10 \text{ M}\Omega$ (빛 밝기 level 1)		
	$R_{NWPD} = 1 \text{ M}\Omega$ (빛 밝기 level 2)		
	$R_{NWPD} = 0.1 \text{ M}\Omega$ (빛 밝기 최대)		
Case III	$R_{NWPD} = 100 \text{ M}\Omega$ (dark 상태)	$R_{NWFET1(\text{ON})} = 5 \text{ k}\Omega$ $(V_{gs} = 0 \text{ V})$ $R_{NWFET1(\text{OFF})} > 10 \text{ G}\Omega$ $(V_{gs} > 2.5 \text{ V})$	그림 2-8.
	$R_{NWPD} = 10 \text{ M}\Omega$ (빛 밝기 level 1)		
	$R_{NWPD} = 1 \text{ M}\Omega$ (빛 밝기 level 2)		
	$R_{NWPD} = 0.1 \text{ M}\Omega$ (빛 밝기 최대)		

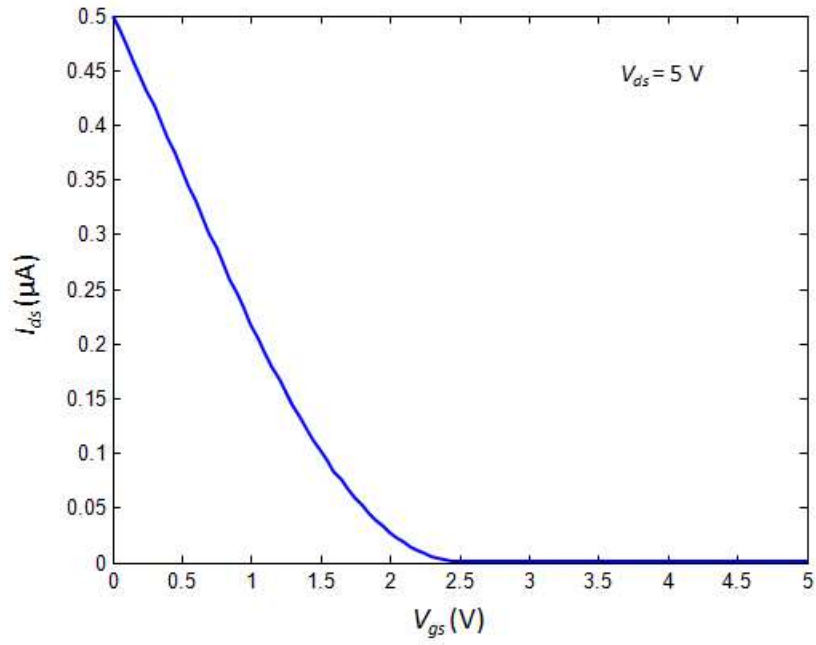


(a) NWFET1의 스위칭 특성.

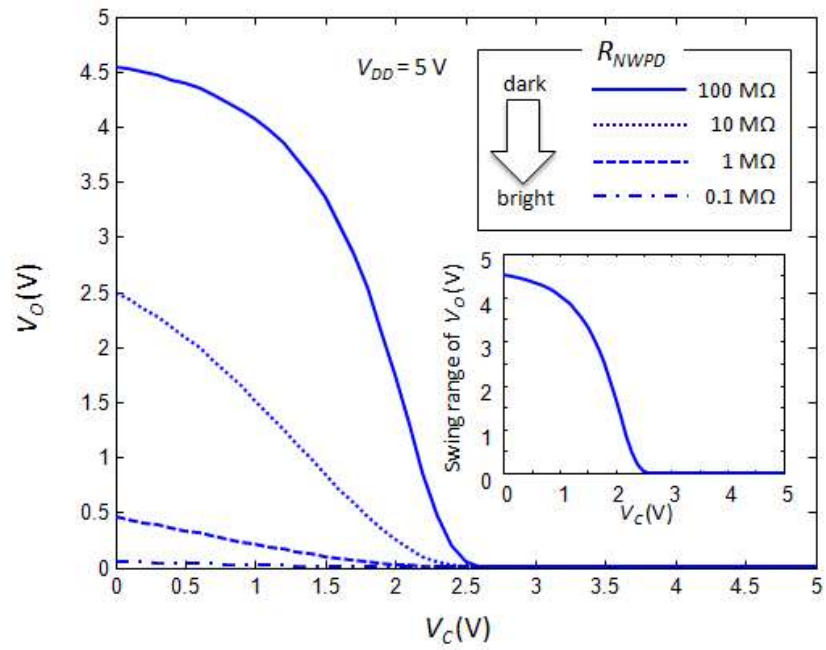


(b) 전압 분배기 출력 전압.

그림 2-6. R_{NWPD} , R_{NWFET1} 과 전압 분배기 출력 전압과의 관계
(Case I, $R_{NWPD(\text{dark})} = R_{NWFET1(\text{ON})}$).

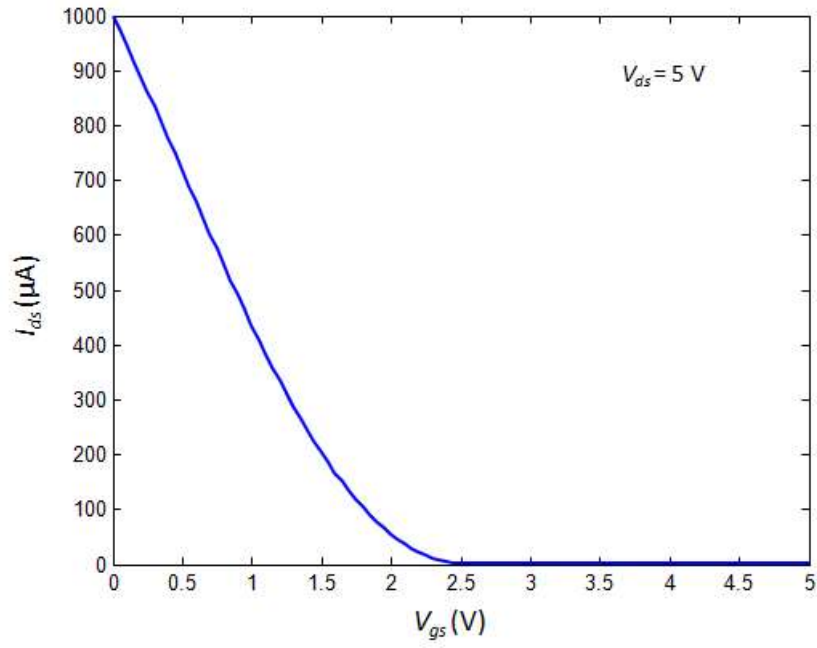


(a) NWFET1의 스위칭 특성.

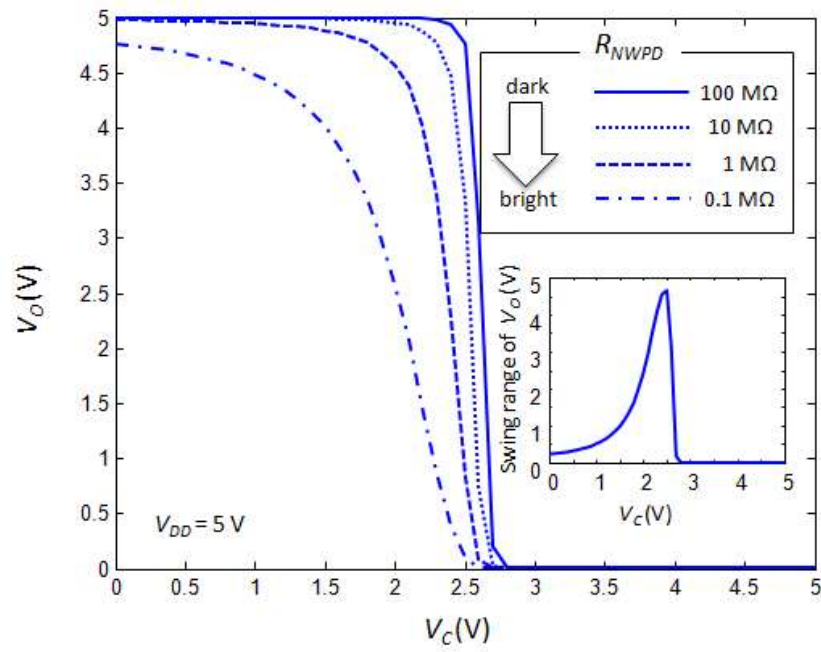


(b) 전압 분배기 출력 전압.

그림 2-7. $R_{N\text{WPD}}$, $R_{N\text{WFET1}}$ 과 전압 분배기 출력 전압과의 관계
(Case II, $R_{N\text{WPD}(\text{dark})} > R_{N\text{WFET1}(\text{ON})}$).



(a) NWFET1의 스위칭 특성.



(b) 전압 분배기 출력 전압.

그림 2-8. R_{NWPD} , R_{NWFET1} 과 전압 분배기 출력 전압과의 관계
(Case III , $R_{NWPD(\text{dark})} \gg R_{NWFET1(\text{ON})}$).

이상의 3가지 시뮬레이션 결과를 종합하면 전압 분배기 출력 전압이 최대의 출력 범위를 갖도록 하기 위한 NWPD 및 NWFET1가 가져야할 전기적인 특성의 조건을 정리할 수 있다. 앞의 시뮬레이션의 ‘Case I’의 경우, 즉 $R_{NWPD(\text{dark})} = R_{NWFET1(\text{ON})}$ 인 조건에서는 전압 분배기 출력 전압의 최소값은 거의 0 V에 가깝기 때문에 그림 2-5의 그래프에 나타낸 것처럼 NWFET2를 최대 출력 전류로 구동할 수 있어 바람직하지만, 출력 전압의 최대값이 $V_{DD}/2$ 를 넘을 수 없고, 출력 범위가 $0 \sim V_{DD}/2$ 로 제한되는 단점이 있다. ‘Case II’의 $R_{NWPD(\text{dark})} > R_{NWFET1(\text{ON})}$ 인 조건에서는 $V_C = 0$ V 일 때 전압 분배기 출력 전압의 최소값은 거의 0 V에 근접하고 최대값도 거의 V_{DD} 에 근접하기 때문에 넓은 스윙 범위를 갖는 전압 분배기 구현이 가능하다. ‘Case III’의 $R_{NWPD(\text{dark})} \gg R_{NWFET1(\text{ON})}$ 인 조건에서는 전압 분배기 최소 출력 전압은 거의 0 V에 근접하고 최대 출력 전압도 V_{DD} 에 근접한 값을 갖는다. 다만 전압 분배기 출력 전압의 최대 스윙 범위를 보이는 제어전압이 0 V가 아닌 2.5 V 근처라는 점이 ‘Case II’와 다르다. 이상의 결과를 통해서 전압 분배기가 NWFET2를 구동하기 위한 충분한 전압의 스윙 범위를 확보하기 위한 필요조건으로 $R_{NWPD(\text{dark})}$ 이 $R_{NWFET1(\text{ON})}$ 보다 훨씬 커야만 한다는 점을 들 수 있는데, $R_{NWPD(\text{dark})}$ 이 $R_{NWFET1(\text{ON})}$ 보다 N 배 크다고 가정했을 때 전압분배기 출력 전압은 $N/(N+1) \cdot V_{DD}$ 가 되고 N 값이 클수록 출력 전압은 V_{DD} 에 근접한 값이 된다는 사실을 통해서 확인할 수 있다.

한편 $R_{NWPD(\text{dark})}$ 와 $R_{NWFET1(\text{ON})}$ 의 저항 비율 이외의 또 하나의 필요조건으로 나노와이어 광 검출기의 감도를 들 수 있다. 만약 $R_{NWPD(\text{dark})}$ 를 $R_{NWFET1(\text{ON})}$ 보다 충분히 크게 두 소자의 초기 저항 비율을 잘 맞췄다하더라도 나노와이어 광 검출기의 빛에 대한 감도, 즉 빛의 조사에 따른 저항의 변화율이 크기 않다면 출력 전압의 스윙 범위는 크지 않게 된다. 따라서 시뮬레이션에서 설정한 것(최대 1,000 배의 저항 변화)처럼 빛의 조사시 저항의 변화가 가능한 크도록 나노와이어 광 검출기를 제작하는 것이 필수적이다.

1.2 전류 구동기의 설계

전류 구동기에 이용되는 NWFET2는 그림 2-5를 이용하여 설명한 바와 같이 전압 분배기와의 연동으로 출력 전류가 조절되어 미세 전극과 직접 연결되어 자극 전류를 전달해주는 소자이다. 전류 구동용 NWFET2에서 요구되는 주요한 요건을 살펴보기 위해서 NWFET의 스위칭 특성을 나타내는 $V_{gs}-I_{ds}$ 곡선(log scale)과 NWFET의 성능 파라미터를 그림 2-9에 나타내었다. $I_{on(max)}$ (maximum ON current)는 NWFET의 동작 전압 범위에서 최대 출력 전류를 의미하며, I_{off} 는 'OFF' 상태에서의 전류 레벨을 의미한다. On-off ratio는 $I_{on(max)}$ 와 I_{off} 의 비로 정의된다. 문턱 전압(threshold voltage, V_{th})은 NWFET가 'turn ON'되는 게이트 전압을 의미하며, subthreshold swing(SS)은 NWFET가 'turn ON'된 후 출력전류가 급격히 증가하게 되는데, 전압의 인가에 의한 전류의 변화가 가장 민감한 지점에서 전류를 10배 증가시키기 위해 필요한 게이트 전압의 증가(또는 감소) 값으로 정의되는 파라미터이다.

앞에서 열거한 NWFET의 주요 성능 파라미터 중에서 전류 구동기에 사용된 NWFET2에서 요구되는 주요한 요건을 살펴본다. 먼저 NWFET2의 $I_{on(max)}$ 는 가능한 충분히 커야하는데, 이것은 NWFET2의 'ON' 상태의 저항, 즉 $R_{NWFET2(ON)}$ 이 충분히 작아야함을 의미한다. 반대로 $I_{on(max)}$ 의 값이 작을 경우, 즉 $R_{NWFET2(ON)}$ 이 크면 NWFET2에서의 전압 강하(voltage drop)가 커서 NWFET2의 소스에 연결된 미세 전극에서의 전압은 낮아지게 되고 이로 인해 망막 시세포 충분한 자극 전류를 흘리기 어려워진다. 따라서 망막을 자극하기에 부족함이 없도록 $I_{on(max)}$ 는 충분히 큰 것이 바람직하다. 'OFF' 상태에서의 출력 전류를 의미하는 I_{off} 는 반대로 충분히 작은 것이 좋다. 즉 NWFET2가 'OFF'일 때 $R_{NWFET2(OFF)}$ 의 값이 충분히 크면 미세 전극으로 전류가 흐르는 것을 제한할 수 있어 필요 없는 망막 시세포 자극을 방지할 수 있다. On-off-ratio는 $I_{on(max)}$ 와 I_{off} 의 비율을 나타내며, on-off-ratio가 클수록 전류의 스윙 범위가 크게 된다.

문턱전압은 NWFET가 'OFF' 상태에서 'ON' 상태로 접어드는 시점

을 정의하는 파라미터이다. 그림 5-9에서 보듯이 $V_{gs} < V_{th}$ 에서 NWFET2가 'ON' 상태에 접어들면서 전류가 급격히 증가하기 시작하게 된다. 전류 구동기에 이용되는 NWFET2의 문턱전압은 너무 높지 않은 것이 좋은데, 전압 분배기의 출력 전압이 NWFET2의 게이트 전압으로 이용되는데 만약 문턱 전압이 너무 높으면 NWFET2의 'ON', 'OFF'를 제어하기 위해 필요한 전압 분배기의 출력 전의 스윙 범위가 커져야 하는데 이를 위해 전압 분배기 공급 전압을 높여야 하는 부담이 따르기 때문이다.

Subthreshold swing(SS) 값은 작을수록 NWFET의 민감도가 좋게 되는데, 작은 게이트 전압의 작은 변화로도 높은 범위의 전류 스윙이 가능하기 때문에 NWFET2를 구동함에 있어 유리함을 제공한다. 즉 NWFET2의 게이트에 연결된 전압 분배기의 출력 전압에 있어 스윙 범위가 작더라도 NWFET2의 높은 출력 전류의 스윙이 가능하게 된다.

그림 2-9에 표현되지 않은 NWFET의 성능 파라미터로서 아주 중요한 것이 있는데 바로 게이트 누설전류(I_g)이다. NWFET의 게이트는 나노와이어 표면에 게이트 산화막을 형성한 후 그 위에 게이트 전극을 형성한 것인데, 나노와이어의 표면상태, 게이트 산화막 및 게이트 전극의 품질에 의해 게이트 누설전류에 영향을 주게 된다. 게이트 누설 전류는 NWFET의 올바른 동작을 위해서 일정수준 이하가 되도록 소자를 제작해야 한다. 만약 누설 전류가 클 경우에는 NWFET2 구동시 높은 게이트 전압 인가에 의한 게이트 절연층 파괴로 과도한 게이트 누설 전류가 미세 전극으로 전달되어 망막 세포에 치명적인 영향을 줄 수 있다. 따라서 게이트 누설 전류를 억제할 수 있도록 소자 제조 공정에서 게이트 산화막의 품질을 높이고, 불순물 제거를 위한 세정작업 철저히 하는 등 세심한 주의와 함께 소자 제작 후 엄밀한 검사가 필요한 부분이다.

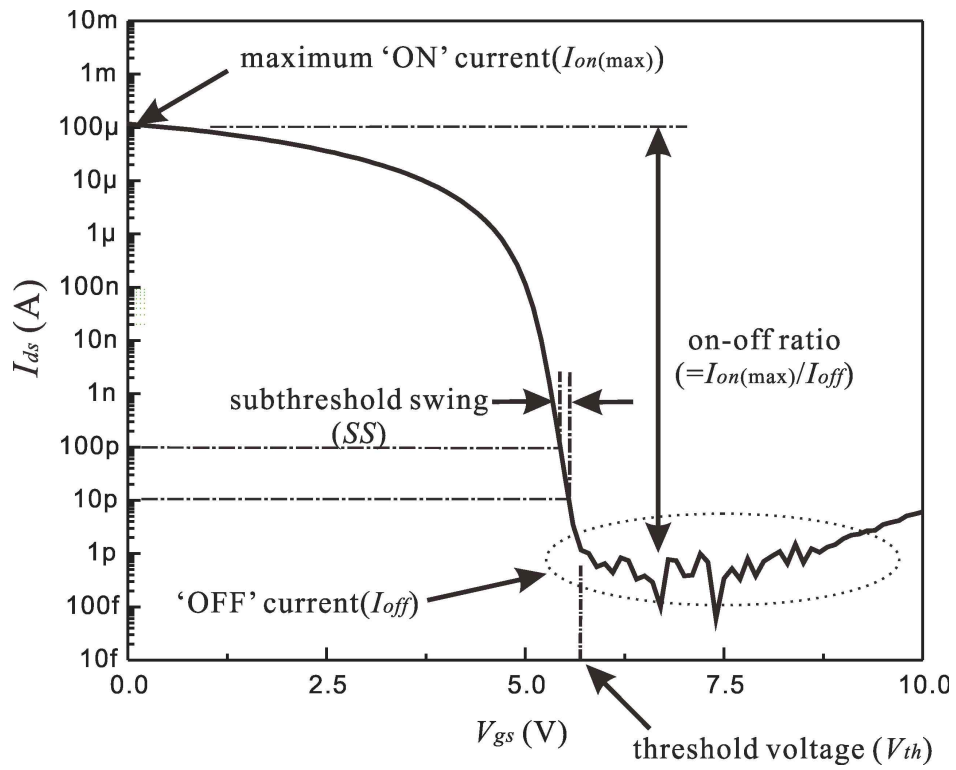


그림 2.9. 실리콘 나노와이어 FET의 주요 성능 파라미터.

2. 내부 광 검출기와 외부 카메라를 선택적으로 이용할 수 있는 방식의 망막 자극기의 설계

앞에서는 내부 광 검출기를 이용하는 방식의 망막 자극기에서의 실리 콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로 설계에 대하여 살펴보았다. 내부 광 검출기를 이용하는 망막 자극기 시스템에서는 외부 카메라가 필요 없기 때문에 일반인과 똑같이 안구 운동을 통해 영상을 인식할 수 있고, 모든 장치들이 인체 내부에 이식되어 있기 때문에 편리하다. 그러나 시각장애인들은 시력을 잃은 뒤에 영상 인식을 위한 안구의 운동이 필요 없기 때문에 자기도 모르는 사이에 안구를 점점 안 쓰게 되고 이로 인해 안구 근육의 퇴화로 인한 안구 진탕의 증상을 보이게 된다. 이러한 상태에 놓여있는 시각장애인들에게 광 검출기가 내장된 망막 자극기를 이식했다 하더라도 원활한 안구 운동이 어렵기 때문에 안구를 이용한 영상 인식의 과정이 매우 어려울 것이 예상된다. 이런 경우에는 오히려 외부 카메라를 이용하는 망막 시스템이 사용자들에게 더 효과적일 것이다. 만약 내부 광 검출기를 이용하는 방식과 외부 카메라를 이용하는 방식 두 가지가 모두 가능한 망막 시스템이라면, 인공 망막 이식 초기에는 주로 외부 카메라를 이용하고, 점차 내부 광 검출기를 사용하는 시간을 늘리면서 안구 근육의 회복 과정을 거치고, 완전한 안구의 운동이 가능해진 후에는 내부 광 검출기를 주로 이용한다면 사용자들에게 많은 편리함을 제공할 수 있을 것이다.

다른 한편으로는 내부 광 검출기를 이용하는 망막 시스템에서도 사용자에게 영상 이외의 부가적인 정보를 제공해 줄 수 있다면 좀 더 유용할 것이다. 가령 망막 시스템 구동을 위한 충전 배터리가 인체 내부에 이식되어 있는 경우 배터리의 전력이 거의 다 소모되어 충전이 필요한 경우에 사용자에게 충전이 필요하다는 사실을 알려주어야 한다. 이를 위한 가장 효과적인 방법은 망막에 이식된 미세 전극 어레이를 통해 문자 또는 그래픽의 형태로 배터리 관련 정보를 전달해주는 것이다. 배터리 정보 이외에도 휴대폰의 문자 정보를 망막 자극기를 통해 디스플레이해주는 기능도 가능할 것이다. 그리고 망막 자극기를 사용하는데 있어서 시

시스템의 각종 제어 및 환경 변수 설정 등의 작업을 사용자가 타인의 도움 없이 눈앞에 펼쳐지는 문자, 그래픽 정보를 보면서 쉽게 수행할 수 있을 것이다. 그림 2-10은 이러한 기능을 가정하여 32×32 해상도를 가진 인공 망막 시스템에서, 내부 광 검출기를 이용하여 인식된 영상과 외부 기기로부터 데이터 전송된 문자 및 그래픽 정보가 망막 자극기를 통해 동시에 디스플레이 되는 모습을 예측한 그림이다. 비교적 낮은 해상도이지만 사용자가 인지하기에는 충분할 정도의 문자 및 그래픽 정보가 전달될 수 있을 것이라는 것을 예측할 수 있다.



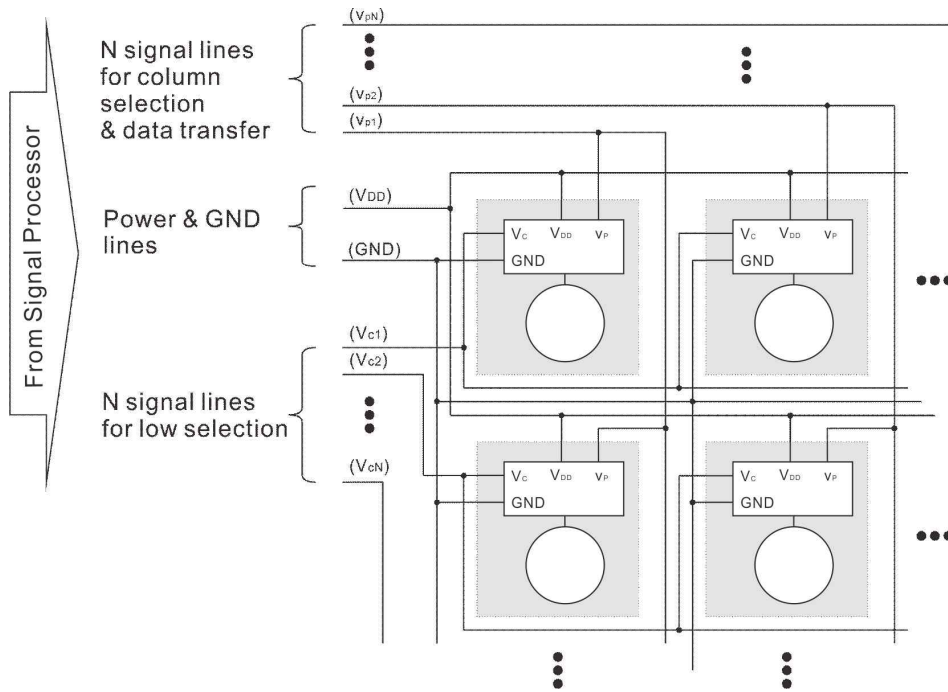
그림 2-10. 32×32 인공 망막 시스템에서 영상 정보와 함께 디스플레이 되는 문자 및 그래픽 정보

((상) 32×32 영상 원본, (하) 망막 자극에 의한 영상 인식 예측).

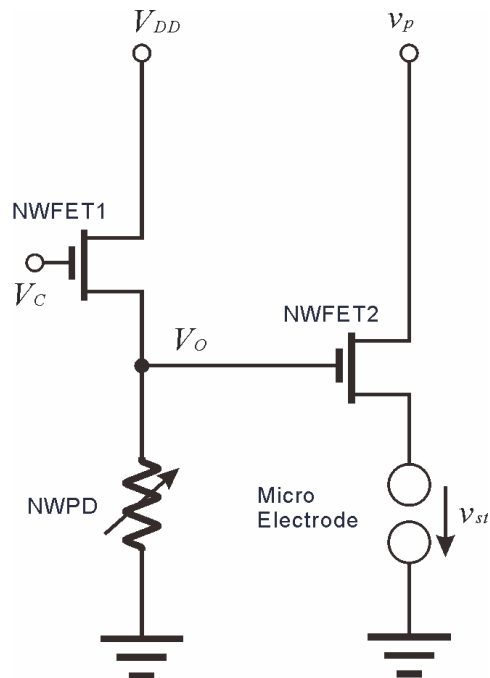
이와 같이 망막 시스템이 아무리 고해상도라 하더라도 불과 수천 개의 미세 전극이 집적된 것으로서 영상을 또렷하게 인식할 정도의 고화질을 제공할 수 없는 상황에서, ‘dot’ 형태의 문자 및 그래픽을 통한 정보 전달을 통해 영상 정보의 부족한 부분을 보완해줄 수 있다면 매우 효과적이고 편리한 시스템이 될 것이다.

내부 광 검출기를 이용하여 영상을 인식하는 방법, 외부카메라를 이용하여 영상을 인식하는 방법, 그리고 문자 및 그래픽 정보를 디스플레이할 수 있는 방법이 모두 가능한 망막 자극기를 구현하기 위해서는 앞에서 설계한 내부의 광 검출기를 이용할 수 있는 기능 이외에 외부로부터의 영상 및 데이터 신호를 자극기에 전송하여 디스플레이할 수 있는 기능이 함께 구비되어 있어야 한다. 본 논문에서는 앞에서 제안한 그림 2-2 및 2-3의 내부 광 검출기를 이용하는 망막 자극기 시스템의 신호선과 배선 방법을 바꿔줌으로써 이러한 기능을 가능하게 할 수 있는 방안을 제시하고자 한다.

그림 2-11은 내부 광 검출기를 이용하는 기능과 외부 카메라를 이용하는 기능이 가능하도록 그림 2-2의 망막 자극기 회로는 그대로 이용하면서 신호선의 내부 결선 방법을 변경한 것이다. 그림 2-11(a)의 결선도에서는 그림 2-2의 신호선과는 달리 matrix 구조의 망막 자극기 각 픽셀에 독립적인 자극 신호 전달이 가능하도록 하기 위해 행(row) 선택을 위한 N개의 신호선($V_{c1}, V_{c2}, \dots, V_{cN}$)과, 열(column) 선택을 위한 N개의 신호선($V_{p1}, V_{p2}, \dots, V_{pN}$)을 구비하고 있다. 여기서 열 선택용 신호선 $V_{p1}, V_{p2}, \dots, V_{pN}$ 의 사용에 있어 선택된 열에는 신호를 인가해주고, 선택되지 않은 열에는 신호를 인가하지 않음으로써 픽셀 선택 기능과 선택된 픽셀에 자극 신호를 전달하는 신호선의 역할을 동시에 수행한다. 그림 2-11(b)는 각 픽셀을 구성하는 회로도인데, 픽셀 내부의 회로는 그림 2-2의 시스템의 회로와 동일하다. 이러한 회로 구성을 가진 망막 자극기에서 내부 광 검출기 이용 모드에서의 회로 제어 방법과 외부 카메라 이용 모드에서의 회로 제어 방법에 대해 살펴보기로 한다.



(a) 망막 자극기 결선도.



(b) 단위 픽셀 회로도.

그림 2-11. 내부 광 검출기와 외부 카메라를 모두 이용할 수 있는 망막 자극기 구성도.

먼저 그림 2-12(a)는 내부 광 검출기 이용 모드에서의 회로의 제어 및 동작 상태를 나타내는 회로도이다. 그림 2-12(a)는 그림 2-3과 동일한 회로로서, 각 픽셀에는 신호 변조되지 않은 일정한 진폭을 가지는 기준 자극 신호가 각 픽셀로 전달되고, 내부의 광 검출 및 신호 변조 회로를 이용한 자극 신호 변조 및 망막 시신경 자극기 이루어진다. 여기서 전압 분배기 제어 전압 V_c 는 전압 분배기 출력 전압의 스윙 범위를 조절하는 역할로 이용한다.

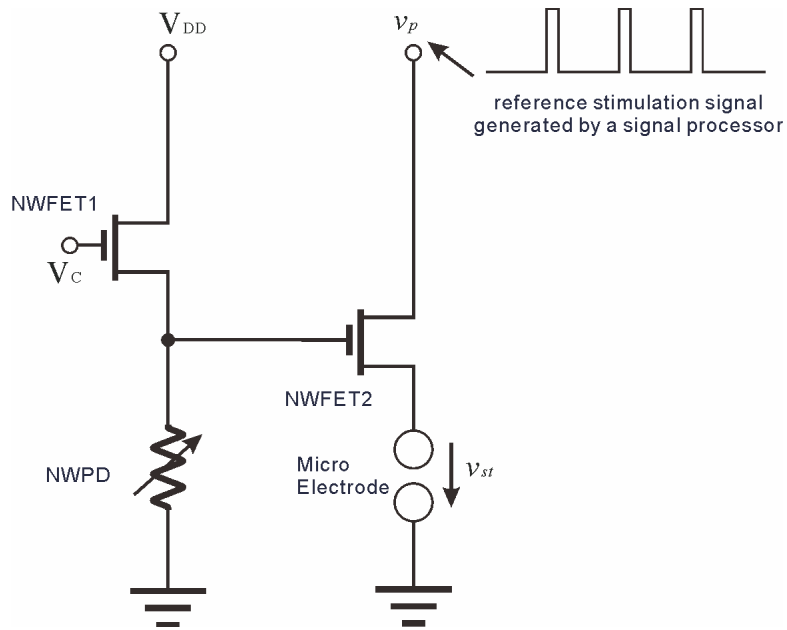
그림 2-12(b), (c)는 외부 카메라 이용 모드에서의 회로의 제어 및 동작 상태를 나타내는 회로도이다. 그림 2-12(b)는 망막 자극이 이루어지는 활성(active) 픽셀에서의 회로의 동작 상태이고, 그림 2-12(c)는 망막 자극이 이루어지지 않도록 ‘disable’ 상태에 있는 비활성(inactive) 픽셀의 동작 상태이다. 특히 유념해야 할 것은 외부 카메라 이용 모드에서는 내부 광 검출기의 동작을 불가능하게 하거나, 광 검출기가 동작하더라도 외부 카메라로부터의 영상 신호가 미세 전극으로 전달되는 것을 방해하지 않도록 해주어야 한다.

외부 카메라 이용 모드에서 자극하고자 하는 픽셀을 선택하는 방법을 설명한다. 먼저 행을 선택하기 위해 그림 2-12(b)와 같이 NWFET1이 ‘OFF’가 되도록 제어 전압을 인가한다. 그럼으로써 NWFET1이 ‘OFF’가 되면서 NWPD에는 전원이 공급되지 못하므로 비활성화되고 NWFET2의 게이트 전압은 0 V가 인가되기 때문에 ‘ON’ 상태가 된다. 이렇게 되면 선택된 행에 존재하는 모든 픽셀의 NWFET2는 ‘ON’ 상태가 되어 자극하고자 하는 행의 선택이 완료된다. 열의 선택은 열 단위의 자극 신호 $V_{p1}, V_{p2}, \dots, V_{pN}$ 에 의해 이루어지며, 자극하고자 하는 열에 신호를 인가 해주면 된다. 이렇게 행과 열을 선택하여 특정 픽셀을 선택하여 외부로부터 생성된 자극 신호를 미세 전극에 흘려줄 수 있게 된다. 여기서 특징적인 점은 픽셀을 선택하는 과정에서 NWFET1을 ‘OFF’ 상태로 만들어 주기 때문에 NWPD에 전원 공급이 제한되어 내부 광 검출기의 동작을 불가능하게 만들어줄 수 있게 된다.

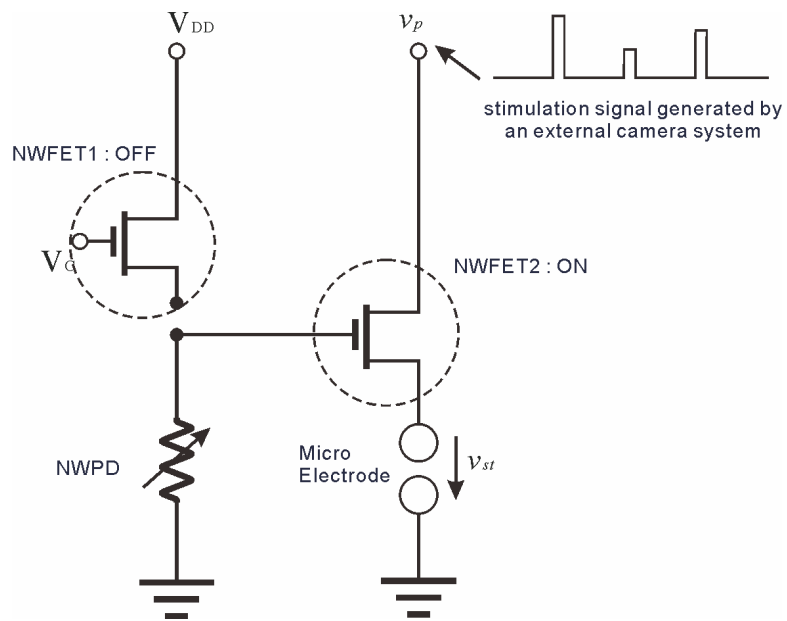
그림 2-12(c)는 그림 2-12(b)를 통해 선택된 행을 제외한 나머지 행

의 모든 픽셀에서 자극 신호가 미세 전극에 전달되지 않도록 하기 위한 방법으로, 그림과 같이 NWFET2를 모두 'OFF' 상태로 만들어 주면 미세 전극으로의 자극 신호의 전달을 막을 수 있다. 이를 위해서 그림 2-12(b)와는 달리 그림 2-12(c)에서는 NWFET1을 'ON' 상태가 되도록 제어 전압을 인가하되 빛의 세기에 관계없이 항상 $R_{NWFET1(ON)} \ll R_{NWPD}$ 의 조건이 만족 되도록 해준다. 이렇게 하면 빛의 조사에 의한 광 검출기의 저항변화에도 불구하고 전압 분배기 출력 전압을 'high' 상태, 즉 거의 V_{DD} 와 비슷한 값이 되도록 할 수 있으며, 이를 통해 전압 분배기 출력 전압에 의해 구동되는 NWFET2를 항상 'OFF' 상태로 만들 수 있게 된다. 따라서 미세 전극으로의 자극 신호의 전달을 막을 수 있다.

그림 2-12(c)의 회로의 동작을 위해서 요구되는 특성으로 빛의 세기에 관계없이 $R_{NWFET1(ON)} \ll R_{NWPD}$ 의 조건이 만족되는 소자의 조건은 앞의 전압 분배기 시뮬레이션 조건 중에서 'Case III'가 이에 해당된다. 즉 'Case III'에서는 제어 전압에 0 V를 인가하여 NWFET1이 'ON'이 되는 상태에서, 광 검출기에 아무리 센 빛을 쏘여주어도 광 검출기의 저항 값이 $R_{NWFET1(ON)}$ 보다 훨씬 크기 때문에 전압 분배기 출력이 항상 'high' 상태가 된다. 이렇게 되면 NWPD의 동작에 관계없이 NWFET2를 항상 'OFF'시킬 수 있다. 한편 이러한 소자 조건에서 그림 2-12(a)의 내부 광 검출기 이용 모드에서 사용하기 위해서는 제어 전압을 NWFET1이 'ON' 상태로 구동할 수 있도록 하되 그림 2-8(b)처럼 전압 분배기 스윙 범위가 충분한 상태로 만들어 주어야 광 검출 및 자극 신호 변조 기능이 발휘될 수 있음을 유의해야 한다.

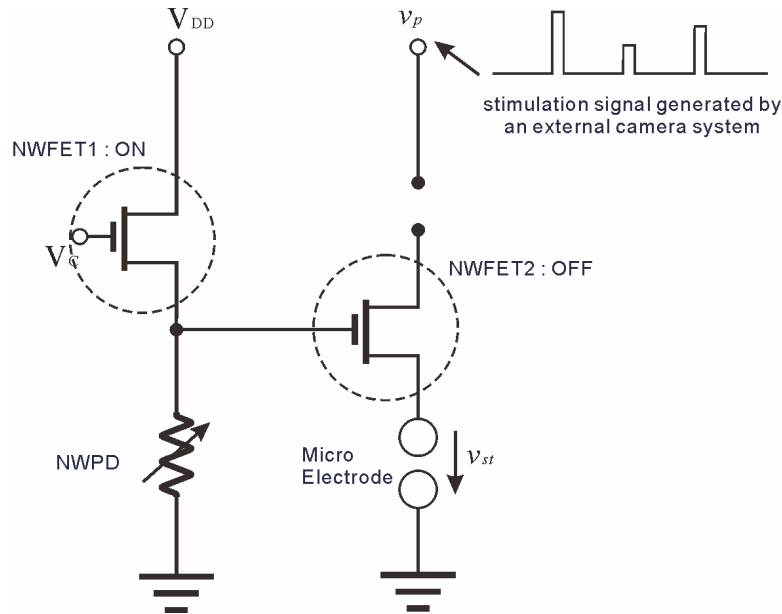


(a) 내부 광 검출기 모드.



(b) 외부 카메라 이용 모드 (active pixel).

그림 2-12. 이용 모드별 회로의 동작.



(c) 외부 카메라 이용 모드 (inactive pixel).

그림 2-12. 이용 모드별 회로의 동작.

이상을 통해 본 논문에서 제안하는 망막 자극기 시스템에서, 내부 광 검출기를 이용한 망막 신경 자극 기능과 외부 카메라 시스템으로부터의 영상 신호 전달을 통한 망막 신경 자극 기능이 선택적으로 사용 가능함을 보였다. 두 가지의 기능을 잘 조합하여 시스템을 사용하게 되면 사용자에게 다양한 혜택을 줄 수 있을 것이다. 가령 외부 카메라 이용 시 고성능 카메라를 사용할 수도 있고, 적외선 카메라를 사용함으로써 아주 어두운 환경에서 적외선 이미지를 이용한 망막 자극 방법도 가능할 것이다. 또한 카메라 이외에 휴대폰의 사진을 인공 망막에 전송하여 디스플레이 한다거나 휴대폰에 도착한 문자 메시지를 망막 자극기를 통해 문자 정보 정보를 디스플레이 할 수도 있을 것이다. 이렇게 두 가지 모드를 이용함으로써 다양한 혜택 및 편의성을 누릴 수 있을 것이다. 그럼에도 불구하고 내부 광 검출기를 이용함으로써 보통 사람들과 같은 안구 운동을 통해 보는 것이 가능하다는 점은 시각 장애인에게 있어서는 정상인과 같은 삶을 영위하게 할 수 있게 한다는 점에서 그 무엇과도 바꿀 수 없는 커다란 이점이 될 것이다.

제 3 절 망막 자극기 각 구성 요소별 소자 제작 및 특성 평가

앞 절에서 본 논문에서 제안하는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 내장된 망막 자극기 시스템의 구성과 동작 원리를 살펴보았다. 그리고 망막 자극기가 효과적으로 작동하기 위한 망막 자극기 회로 구성 요소별 요구 조건을 살펴보았다.

본 절에서는 실리콘 나노와이어 제작 방법과 제작 결과를 살펴보는 것 으로부터 시작하여, 망막 자극기를 구성하는 각 구성 요소별 이론적 배경과 소자의 성능과 관련된 주요 사항들을 살펴보고, 구성요소별로 소자를 제작한 후 특성을 평가함으로써 망막 자극기 구성요소로서의 요구조건을 충족시키는지 살펴볼 것이다.

1. 실리콘 나노와이어의 제작

나노와이어 소자의 제작 방식은 접근 방식에 따라 크게 두 가지로 분류할 수 있다. 하나는 나노와이어를 제작한 후 제작된 나노와이어를 다른 기판으로 전사한 후 전극 등을 제작하는 bottom-up 방식이다. 또 하나는 기존의 반도체 공정, 특히 극미세 사진 식각 공정 및 건식 식각 공정 등을 이용하여 나노와이어와 전극 등을 일괄 제작하는 top-down 방식이다.

먼저 bottom-up 방식의 경우 VLS (Vapor-Liquid Solid) 성장법 [32-39]이 대표적으로서, Si, ZnO, GaN, InP, metal 등 대부분의 반도체, 금속 물질의 나노와이어 성장에 이용되고 있으며 나노와이어 분야에서 가장 많이 연구되고 있는 방법이다. 그러나 이렇게 기판 위에 수직으로 성장된 나노와이어를 이용하여 소자를 제작하기 위해서는 별도의 기판으로 나노와이어를 옮기고 나노와이어 양단에 전극을 형성하는 과정이 필요하다. 나노와이어를 옮기는 과정에서 나노와이어를 효과적으로 정렬하기 위한 방법으로 그림 2-14에 나타난 바와 같이 Langmuir-Blodgett 법[40], 전기영동법(electrophoresis)[41, 42], flow assembly[43] 등이 이

용되고 있지만 bottom-up 방식은 기본적으로 원하는 정확한 위치에 나노와이어를 정렬시키기가 매우 어렵고 양산공정에 필수적인 대면적화가 거의 불가능하다는 단점을 가지고 있다.

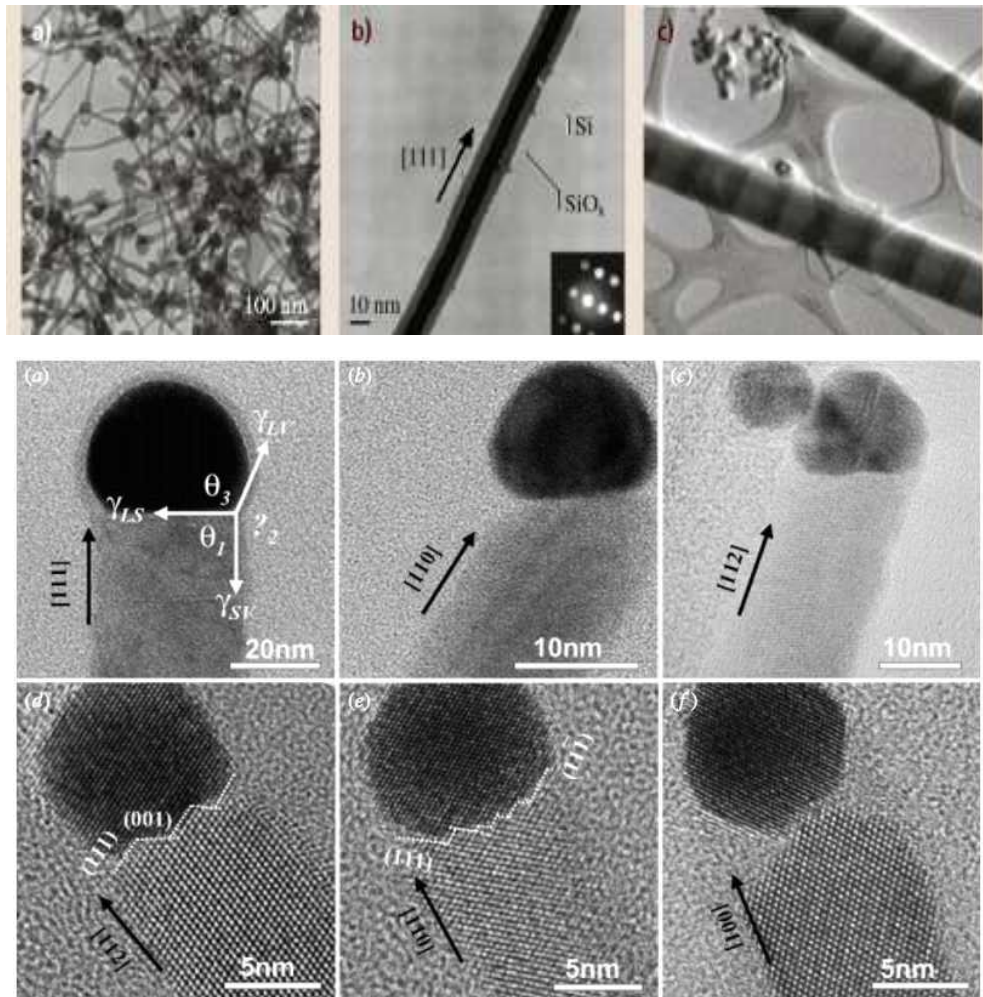
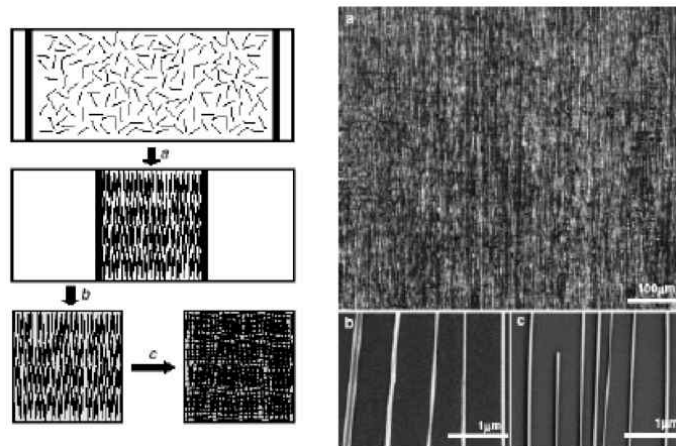
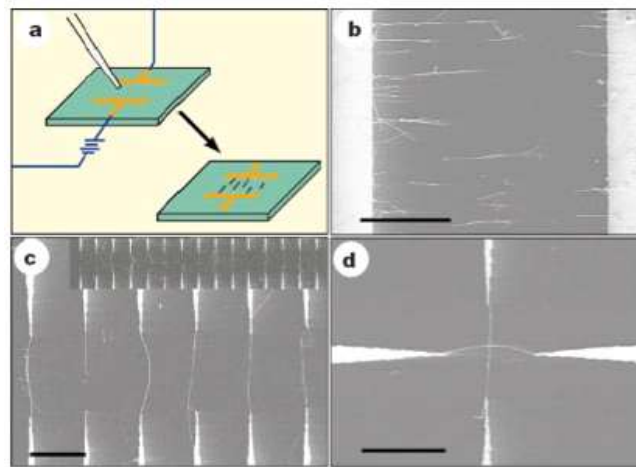


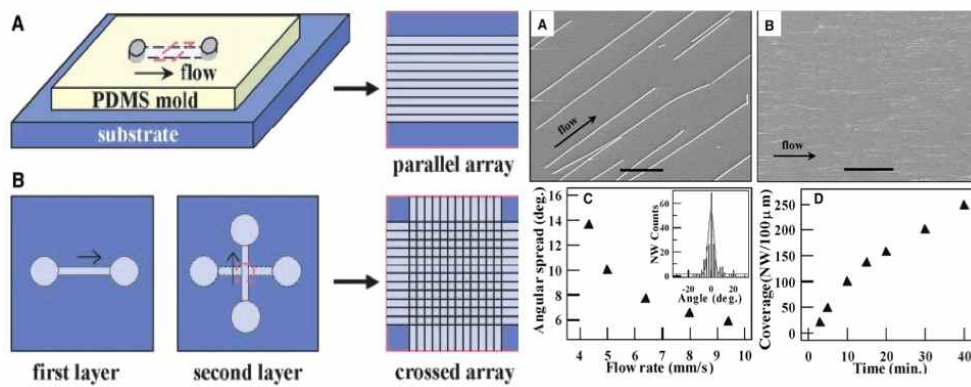
그림 2-13. VLS 공법으로 성장된 실리콘 나노와이어.



(a) Langmuir-Blodgett 법



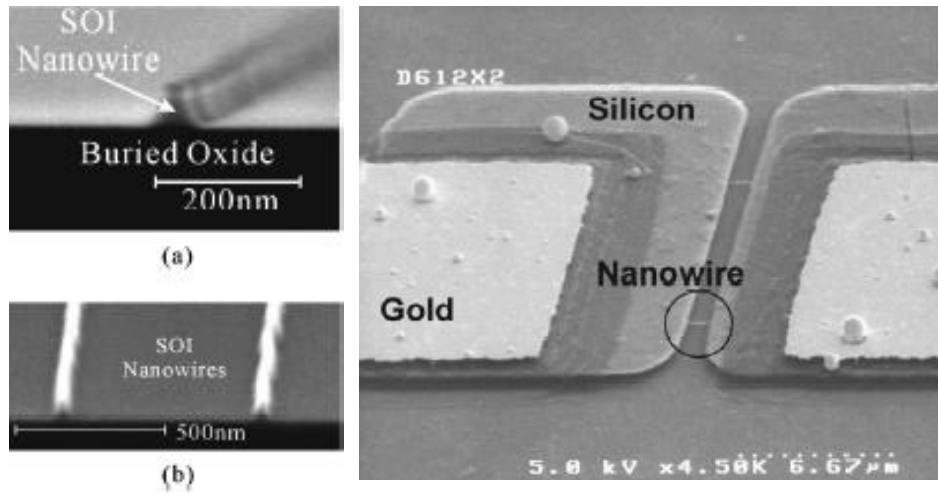
(b) 전기 영동법



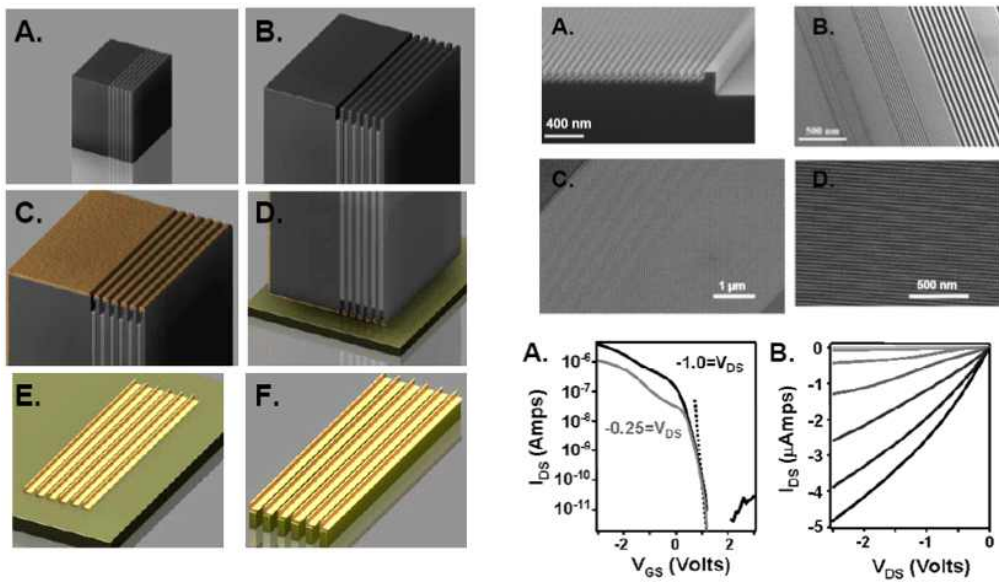
(c) Flow assembly 법

그림 2-14. 나노와이어 정렬 방법.

두 번째로 top-down 방식에서는 SOI(silicon on insulator) 등의 기판을 이용하여 반도체 사진 식각 공정 및 건식 식각 공정 등을 이용하여 기판을 직접 가공하여 나노와이어를 제작한다. 대표적인 방법으로는 그림 2-15(a)와 같이 e-beam lithography 등 극미세 패터닝 공정 등을 이용하여 나노 패터닝을 구현한 후 건식 식각 공정을 이용하여 실리콘을 식각하여 나노와이어를 제작한 후 추가적인 전극 형성 공정 등을 통해 소자를 제작하는 방법[44]과, 그림 2-15(b)와 같이 e-beam lithography 공정 대신 나노 스탬프를 이용하여 나노 패터닝을 형성함으로써 나노와이어 소자를 제작하는 방법[45, 46]이 있다. 앞의 두 방법이 나노 패터닝을 통해 나노와이어를 제작하는데 비해 그림 2-15(c)는 비교적 굵은 라인 패터닝을 형성하여 실리콘 구조물을 제작한 후 추가적인 실리콘 습식 식각 공정을 통해 구조물을 얇게 만드는 방법으로 나노와이어를 제작한다[47]. 이외에도 다양한 방식의 top-down 방식에 기초한 나노와이어 제작 방법이 이용되고 있으며, top-down 방식 가진 최고의 장점은 기판의 원하는 위치에 원하는 크기 및 길이의 나노와이어를 제작할 수 있다는 점이다. 그렇지만 top-down 방식의 나노와이어 제작 방법에 있어서, e-beam lithography와 같은 고가의 장비를 이용하는 경우에는 공정 속도가 매우 느려 상용화를 위한 양산공정에 적합하지 않고, 나노 스탬프를 이용하는 방식에서는 대면적 공정이 어렵고, 습식식각을 이용하는 방법에서는 100 nm 이하의 매우 얇은 나노와이어 제작이 어렵고 웨이퍼 전체에서의 공정 균일성 확보가 어려운 점 등 각각의 방식마다 나름대로의 단점 및 한계를 가지고 있다.

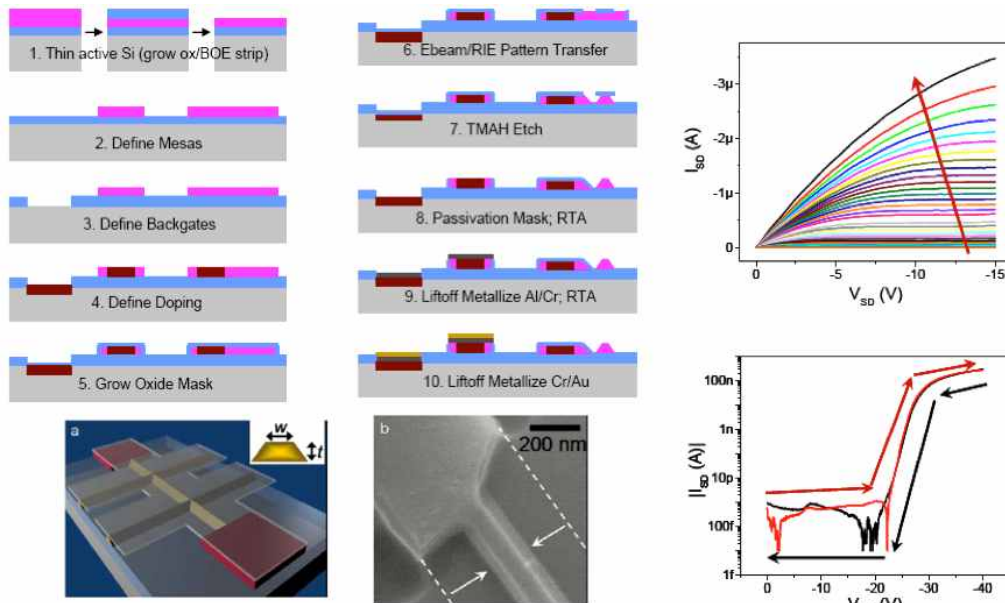


(a) E-beam lithography 이용



(b) 나노 스탬프 이용

그림 2-15. Top-down 방식의 실리콘 나노와이어 제작 방법.



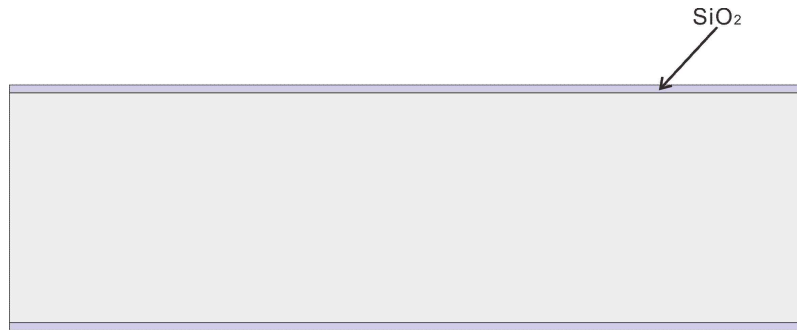
(c) Si 습식 식각 이용

그림 2-15. Top-down 방식의 실리콘 나노와이어 소자 제작 방법.

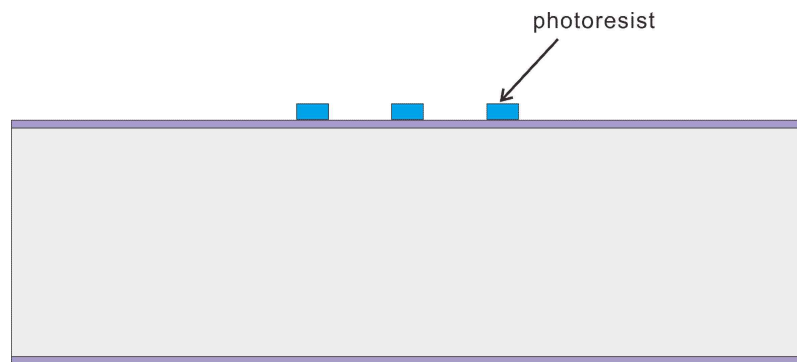
본 논문에서는 원하는 위치에 나노와이어의 개수, 굵기, 길이 등을 자유롭게 제작할 수 있는 top-down 방식의 실리콘 나노와이어 제작 방법을 이용하였으며, e-beam lithography를 이용하지 않고도 매우 미세한 나노와이어를 제작할 수 있는 독특한 방법을 이용하였다. 본 논문에서 이용한 실리콘 나노와이어의 제조 공정을 그림 2-16에 나타내었다[48].

실리콘 나노와이어의 제작 과정은 다음과 같다. 먼저 boron이 도핑 되어 있고 (100) 결정방향을 가진 실리콘 기판을 준비한 후 열 산화막 공정을 통해 일정 두께의 실리콘 산화막(SiO_2)을 증착한다(그림 2-16(a)). 그 위에 사진식각공정(photolithography)을 통해 일정한 선폭의 라인 패턴을 형성한 후(그림 2-16(b)) 표면으로 드러난 실리콘 산화막을 건식 식각 공정을 이용하여 식각한다(그림 2-16(c)). 이렇게 패터닝된 실리콘 산화막은 향후 실리콘 습식 식각 공정에서 식각 마스크(etch mask)로 이용된다. 그리고 실리콘 산화막 식각에 의해 표면으로 드러난 실리콘 기판의 표면을 건식 식각 공정을 통해 일정 깊이만큼 식각하여 직사각형의 column 구조를 형성한 후 포토레지스트(photoresist)를 제거한 후

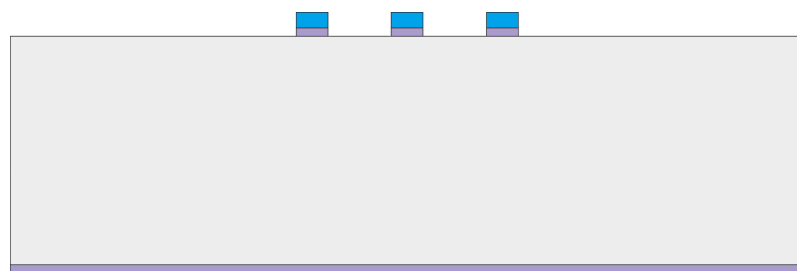
SPM(sulphuric peroxide mixture) 용액을 이용하여 기판을 세정한다(그림 2-16(d)). 실리콘 습식 식각을 위해 세정된 기판을 BOE(buffered oxide etch) 용액에 약 5초간 dipping하여 자연산화막(native oxide)을 제거한 후 약 80℃의 TMAH(tetra-methyl-ammonium-hydroxide) 용액을 이용하여 약 15초간 실리콘 비등방성 식각(anisotropic etch)을 실시한다. 습식 식각 공정이 완료되면 직사각형 형태의 실리콘 구조물은 실리콘의 결정방향에 따른 식각속도 차이에 따른 비등방성 식각 특성에 의해 그림 2-16(e)와 같이 실리콘의 (111) 결정면이 만나는 모래시계 형상의 실리콘 구조물이 형성된다(그림 2-17(a) 확대도 참조). 실리콘 습식 식각 공정이 완료되면 초기에 형성한 실리콘 산화막을 제거하고 SPM 세정 공정을 실시한 후 습식 산화막 형성 공정을 실시하면 표면으로 드러난 실리콘 영역이 모두 반응하여 산화막(SiO_2)이 형성되는 과정에서 모래시계 형상의 위쪽 삼각형 영역의 중앙부에 실리콘 나노와이어가 형성된다(그림 2-16(f), 그림 2-17(b) 확대도 참조). 이렇게 제작된 실리콘 나노와이어는 실리콘 나노와이어 주변으로 형성된 실리콘 산화막에 의해 기판으로부터 전기적으로 절연된 상태가 된다. 실리콘 나노와이어의 굵기는 산화막의 두께를 조절함으로써 쉽게 제어할 수 있다.



(a) 산화막 형성.

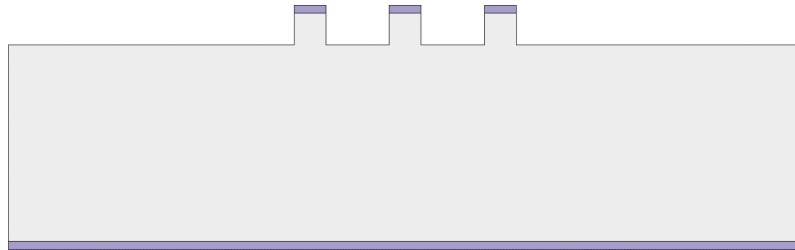


(b) PR 패터닝.

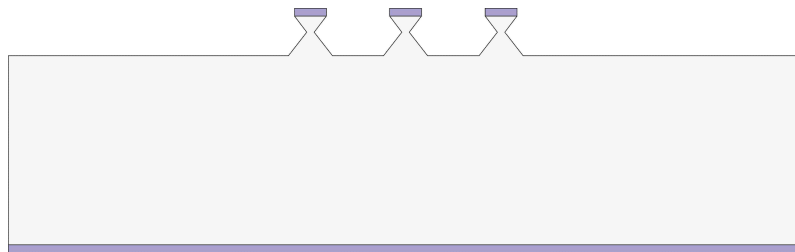


(c) 산화막 식각.

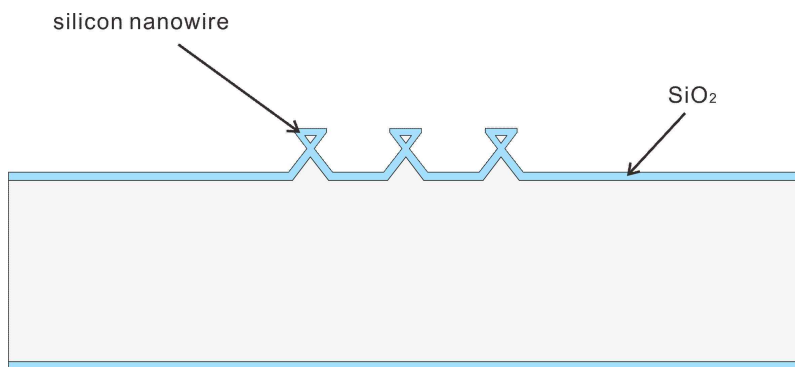
그림 2-16. 본 논문에 의한 실리콘 나노와이어 제조 공정도.



(d) 실리콘 건식 식각.

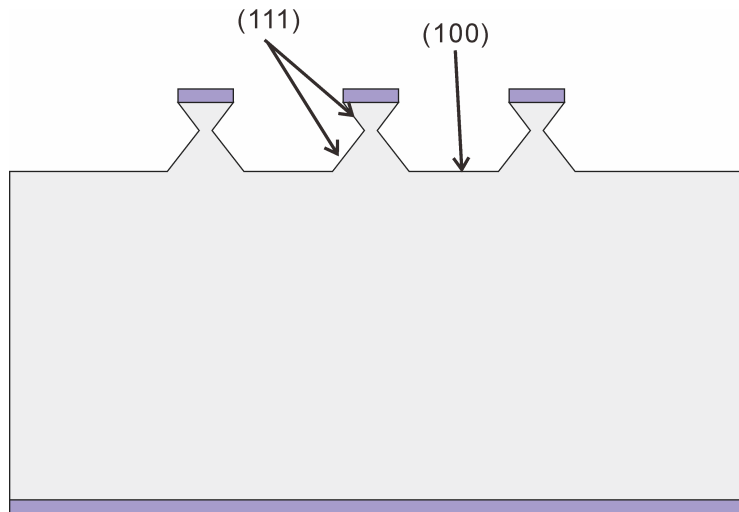


(e) 실리콘 습식 식각.

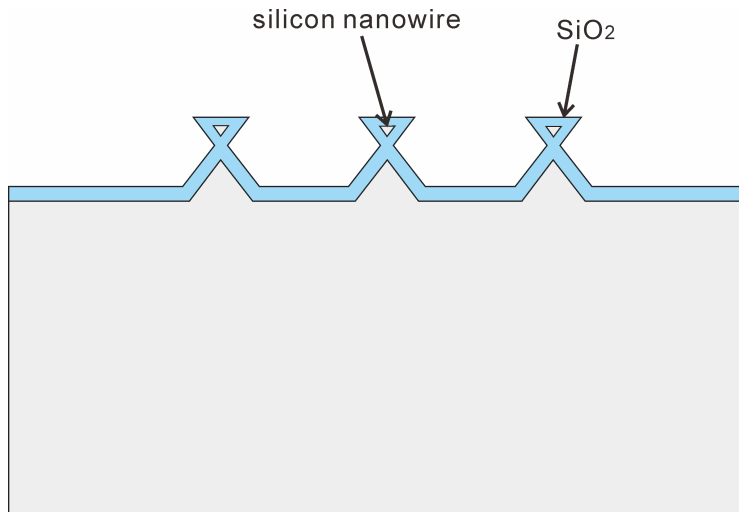


(f) 산화막 형성.

그림 2-16. 본 논문에 의한 실리콘 나노와이어 제조 공정도.



(a) 실리콘 습식 식각 후.



(b) 산화막 형성 공정 후.

그림 2-17. 그림 2-16(e), (f)의 확대도.

제작하고자 하는 굵기(폭)의 실리콘 나노와이어를 제작하기 위해 형성해야 할 산화막의 두께를 계산하기 위해 그림 2-18의 관계도를 이용하였다. 중앙의 굵은 실선은 TMAH 식각 공정 후 모래시계 모양의 실리콘 구조물의 모습을 도시한 것이다(그림 2-16(e)의 상부의 실리콘 산화막을 제거한 후의 모습임). 내, 외곽의 점선은 산화막이 형성된 후의 모습을 가정하여 그린 모습이다. 그림에서 제작하고자 하는 나노와이어의 굵기와 산화막의 두께는 식 (2a), (2b)로 표현된다.

$$a = W - 2 \cdot 0.45 T_{ox} \cdot \left(\frac{1 + \cos 54.74^\circ}{\sin 54.74^\circ} \right) \quad (2a)$$

$$T_{ox} = \left(\frac{W - a}{0.9} \right) \left(\frac{\sin 54.74^\circ}{1 + \cos 54.74^\circ} \right) \quad (2b)$$

$$T_{ox} = \left(\frac{W - a}{0.9} \right) \left(\frac{\sin 54.74^\circ}{1 + \delta \cdot \cos 54.74^\circ} \right) \quad (2c)$$

$$T_{ox} = \left(\frac{W - a}{0.9} \right) \cdot \sin 54.74^\circ \quad (2d)$$

여기서 a 는 제작하고자 하는 나노와이어의 폭이며, W 는 모리시계 모양의 실리콘 구조물 상부의 초기 폭이고, T_{ox} 는 산화막의 두께이다. 실리콘 구조물의 초기 폭은 전자주사현미경(scanning electron microscopy, SEM)이나 정밀 치수 측정기를 통해 확인할 수 있고, 이를 통해 제작하고자 하는 나노와이어의 굵기를 식 (2b)에 대입하면 필요한 산화막의 두께를 계산할 수 있다.

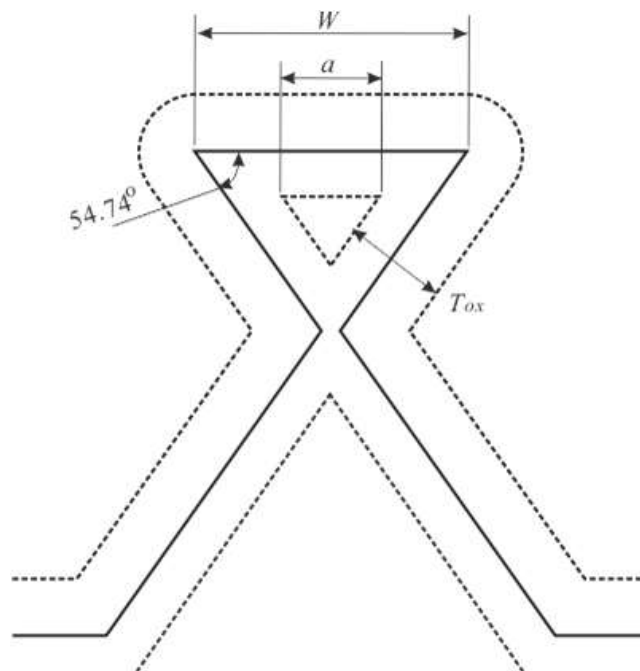
그림 2-18(b)는 TMAH 식각 공정 후 산화막을 제거하지 않고 산화막 형성 공정을 바로 진행한 경우에 실리콘 산화막 및 나노와이어가 형성된 모습인데, TMAH 식각 마스크로 이용된 실리콘 산화막을 물 분자가 통과하여 실리콘 표면과 반응하여 산화막이 형성된 것을 보여주고 있다.

식 (2c)는 이러한 상태에서의 실리콘 나노와이어의 폭과 산화막 두께와의 관계식이다. 여기서 δ 는 실리콘 구조물 상부의 TMAH 식각 마스크로 이용된 실리콘 산화막의 두께가 얇을수록 1에 가까운 값이 되고, 두꺼울수록 0에 가까운 값이 된다.

그림 2-18(c)는 TMAH 식각 마스크로 실리콘 산화막 대신에 실리콘 질화막(SiN_x)을 형성하여 나노와이어를 제작할 경우에 대하여 실리콘 나노와이어가 형성된 모습을 보여주는 그림이다. 실리콘 질화막은 실리콘 산화막 공정시 물 분자가 통과할 수 없을 정도의 치밀한 분자구조를 가지고 있다. 따라서 실리콘 나노와이어 형성을 위한 산화막 형성 공정시 그림 2-18(c)와 같이 실리콘 구조물의 상부를 제외한 나머지 부분에서만 산화막이 형성된다. 이런 경우 실리콘 나노와이어의 폭과 산화막의 두께는 식 (2d)의 관계를 가진다. 실리콘 질화막을 이용하여 실리콘 나노와이어를 제작하는 경우에는 실리콘 나노와이어를 형성한 후 상부의 실리콘 질화막을 인산(H_3PO_4) 용액을 이용하여 선택적으로 제거하는 것이 가능하기 때문에 실리콘 나노와이어 상부의 표면을 노출시킬 수가 있다. 실리콘 나노와이어 표면을 노출시킬 수 있기 때문에 향후 실리콘 나노와이어 FET 제작시 나노와이어 표면에 게이트 산화막과 게이트 전극을 형성시키거나, 나노와이어 양단에 소스, 드레인 전극을 형성시키는 등의 공정이 가능해진다. 그런데 만약 실리콘 산화막을 이용해서 실리콘 나노와이어를 제작한 경우라면, 실리콘 나노와이어를 노출시키기 위해서 실리콘 산화막을 제거해야하는데 이때 실리콘 나노와이어를 감싸고 있는 산화막도 같이 제거되기 때문에 실리콘 나노와이어가 free standing이 상태가 되어 향후 공정을 수행하기가 매우 불리해진다.

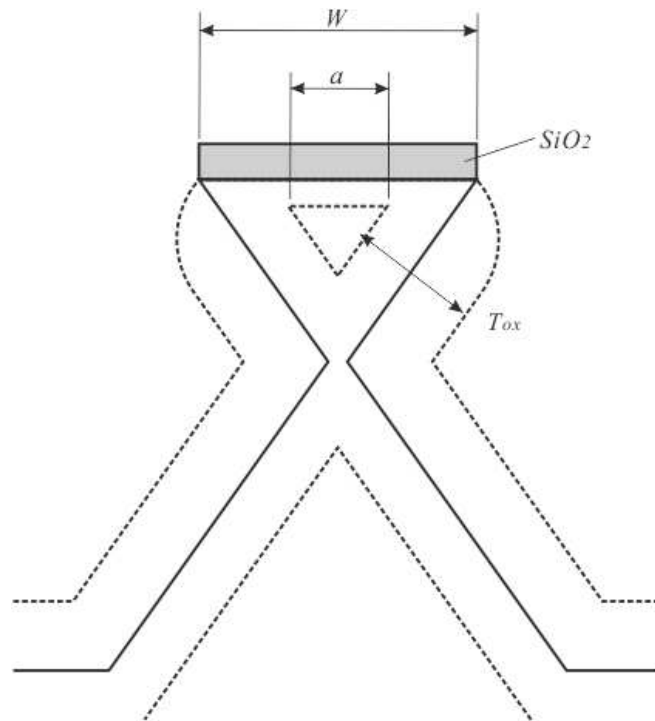
위 세 가지 경우를 살펴보면, 같은 굵기의 실리콘 나노와이어를 형성하기 위해 필요한 실리콘 산화막의 두께는 그림 2-18(a)의 경우가 가장

작고, 그 다음이 2-18(b), 그리고 2-18(c)의 실리콘 질화막을 이용하는 경우가 가장 두꺼운 산화막이 필요하게 된다.

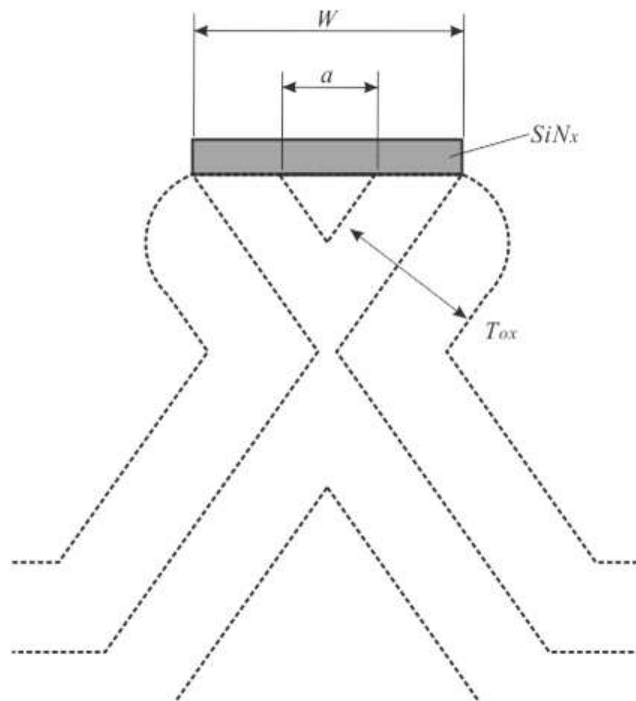


(a) 막이 없는 경우.

그림 2-18. 실리콘 나노와이어 굽기와 산화막 두께와의 관계도.



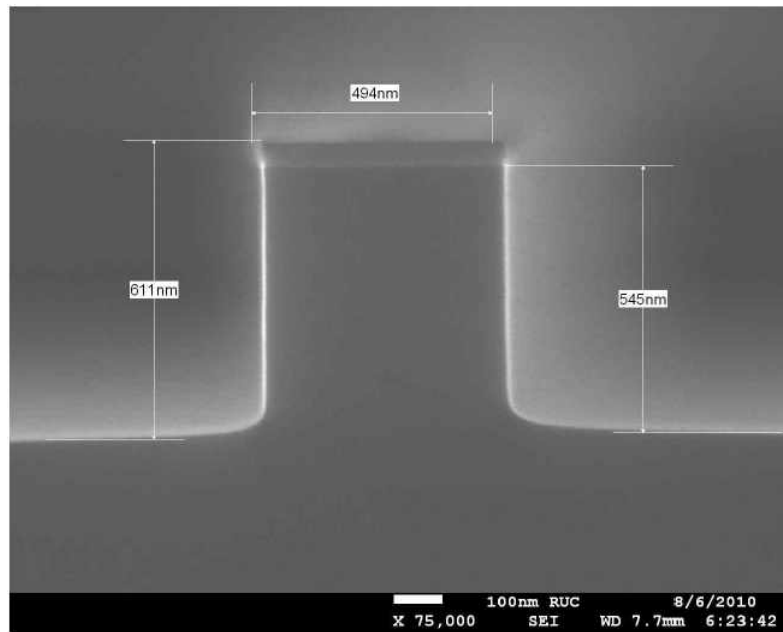
(b) 실리콘 산화막 이용시.



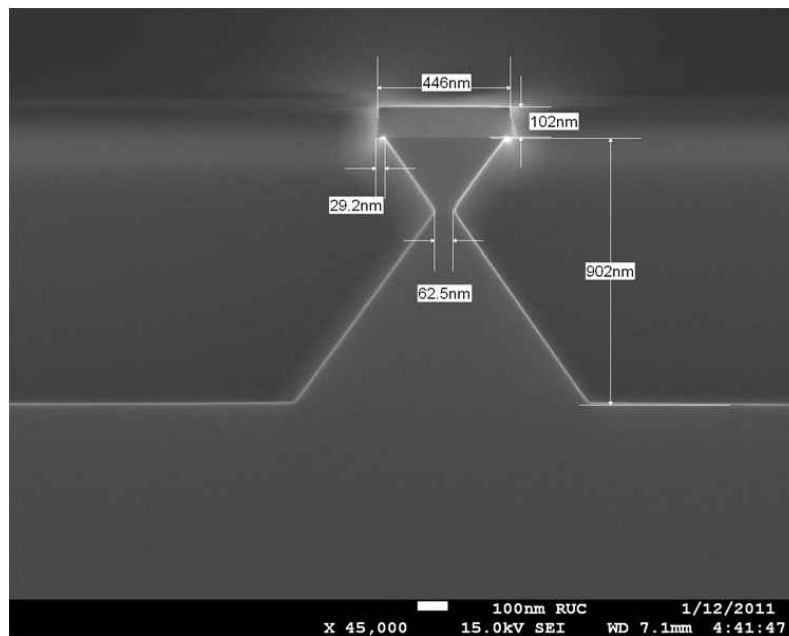
(c) 실리콘 질화막 이용시.

그림 2-18. 실리콘 나노와이어 폭과 산화막 두께와의 관계도.

그림 2-19는 실리콘 나노와이어 제조 공정에 있어서 각 공정 단계별로 공정 결과를 보여주는 SEM 사진이다. 그림 2-19(a)는 stepper를 이용하여 약 500 nm의 정도의 매우 미세한 선폭으로 포토레지스트를 패터닝 한 후 건식 식각 공정을 통해 실리콘 산화막과 실리콘을 식각한 후 포토레지스트를 제거하고 난 후의 실리콘 기판 단면의 모습이다. 선폭은 494 nm이고, 실리콘 산화막의 두께는 약 500 Å이며, 실리콘 식각 깊이는 약 545 nm이다. 그림 2-19(b)는 건식 식각 공정 후 기판을 세정하고 BOE 용액에 약 5초간 dipping하여 자연산화막을 제거한 후 TMAH 용액을 이용하여 비등방성 식각 공정을 실시하여 모래시계 모양의 실리콘 구조물이 형성된 모습이다. 모래시계 모양의 구조물은 실리콘의 (111) 결정면이 만나서 형성된 것인데, (111) 결정면이 서로 만나게 되면 이 부분에서의 식각속도가 현저히 줄어드는 일종의 etch stop 조건이 형성되기 때문에 식각 시간이 약간 초과할지라도 모래시계 모양의 좁은 영역의 폭은 그대로 유지되기 때문에 큰 문제가 되지 않는다. 다만 식각 시간을 너무 길게 할 경우 깊이 방향으로 식각 깊이가 커지게 되므로 향후 공정에 불리하게 되므로 식각 시간을 필요 이상으로 길게 하는 것은 바람직하지 않다. 사진을 통해 TMAH 용액을 이용한 실리콘 습식 식각 공정후 실리콘의 전체 식각 깊이는 약 902 nm 정도임을 알 수 있다. 그림 2-19(c)는 산화막 형성 공정을 통해 실리콘 나노와이어가 형성된 모습을 보여준다. 상부의 산화막의 선폭은 약 452 nm로 측정되었는데, 150 nm 굵기의 실리콘 나노와이어가 형성되기 위해 필요한 산화막의 두께를 식 (2b)를 통해 계산하면 약 1,740 Å이다. 그림 2-19(c)의 사진을 통해, 산화막의 두께가 약 1,750 Å이고, 이때 나노와이어의 굵기가 약 150 nm임을 볼 때 식 (2b)가 잘 맞는다는 것을 확인할 수 있다.

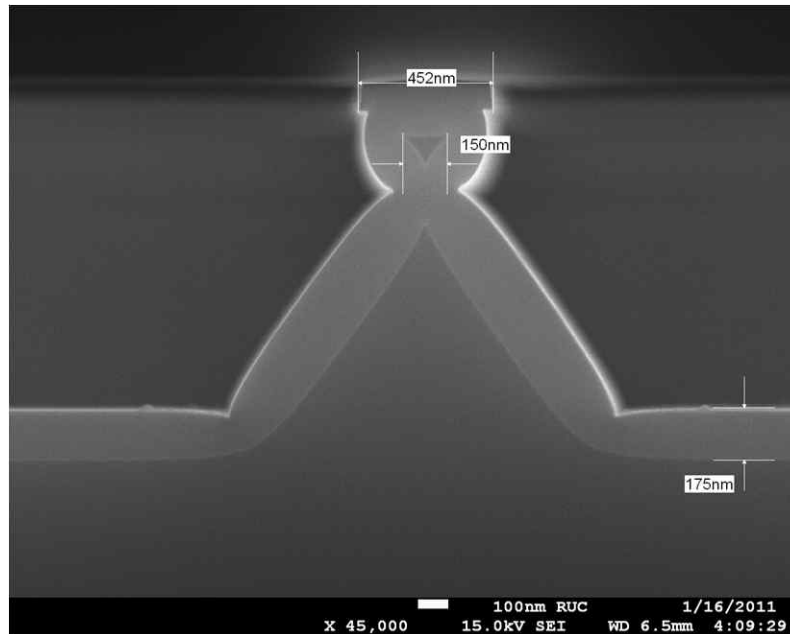


(a) 실리콘 건식 식각 후.



(b) 실리콘 습식 식각 후.

그림 2-19. 실리콘 나노와이어 제작 결과.

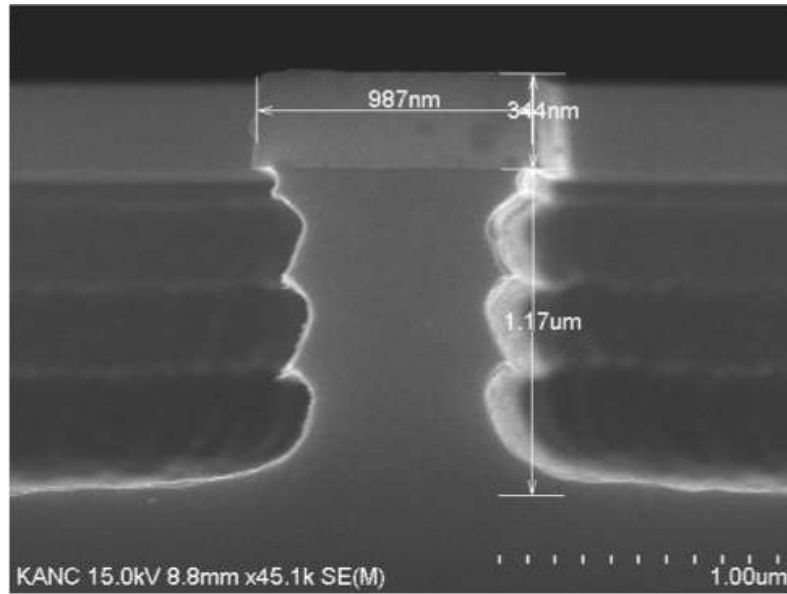


(c) 실리콘 나노와이어 형성 후.

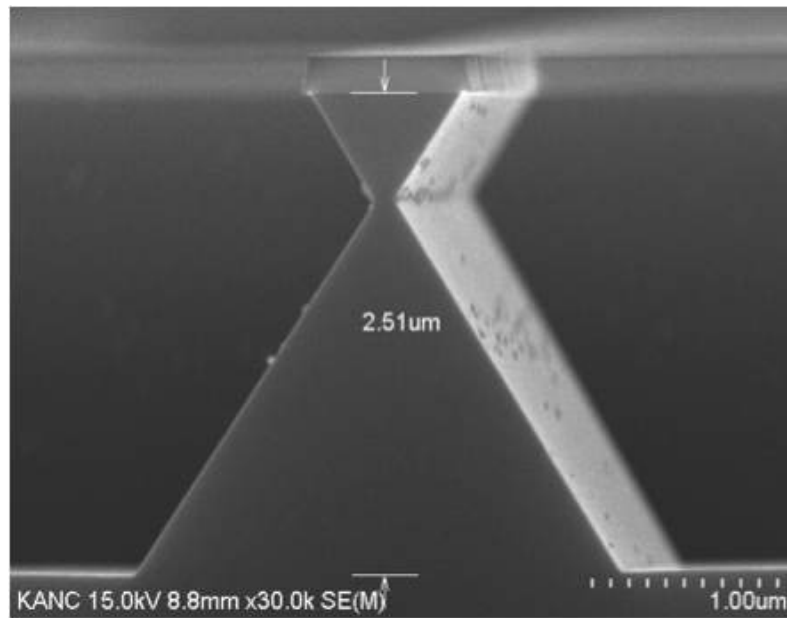
그림 2-19. 실리콘 나노와이어 제작 결과.

한편 실리콘 나노와이어 제조 공정에 있어서, 그림 2-16(d)의 실리콘 건식 식각 공정에서는 poly silicon etcher나 실리콘 DRIE(deep reactive ion etcher)를 이용한다. 본 논문에서는 실리콘 DRIE 공정을 이용했는데, 실리콘 DRIE 공정에서는 보통 Bosch process를 이용하기 때문에 실리콘 식각면에는 Bosch process에 의한 scallop이 생기게 된다. 과도한 scallop은 실리콘 나노와이어 선폴을 조절하는데 매우 불리하므로 scallop을 최소화하는 것이 필요하다. 그림 2-19(a)는 STS(Surface Technology Systems)사의 최신 장비를 이용한 결과로서 사진상으로는 scallop이 잘 확인되지 않을 정도로 공정 결과가 우수하다. 그러나 그림 2-20(a)는 비교적 노후한 장비를 이용한 공정 결과로서 scallop이 비교적 크고 실리콘 식각면이 매우 거친 것을 볼 수 있다. 그렇지만 이렇게 매우 거칠게 제작된 실리콘 구조물도 TMAH 습식식각 공정을 거치면서 그림 2-20(b)처럼 scallop이 말끔히 다듬어진 것을 볼 수 있다. 실리콘 옆면의 scallop이 제거되고 깔끔하게 정리되면서 (111)결정면이 드러나면

서 구조물의 길이 방향으로 거울과 같이 깨끗한 면이 형성된다. 따라서 실리콘 DRIE 과정에서 약간의 scallop이 생긴다 하더라도 TMAH 습식 식각 공정에서 깨끗한 면이 만들어지고, 이로 인해 산화막 공정에 의한 실리콘 나노와이어 형성시 길이 방향으로 매우 균일한 굵기의 실리콘 나노와이어 제작이 가능하게 된다.



(a) 실리콘 DRIE 공정 후.



(b) 실리콘 습식 식각 공정 후.

그림 2-20. 실리콘 DRIE 공정에서의 scallop 및 TMAH 식각공정 결과.

2. 실리콘 나노와이어 광 검출기의 제작 및 특성 평가

본 논문에서는 외부 카메라가 필요 없는 완전 안구 이식형 망막 시스템을 구현하기 위한 방법으로서 광 검출기 내장형 고해상도 망막 자극기 개념을 도입하였다. 앞 절을 통해 광 검출 및 자극 신호 변조 회로를 설계함에 있어, 망막 자극 회로를 구성하는 각각의 소자의 조건을 살펴보았으며, 광 검출에 의한 자극 신호 변조가 효과적으로 이루어지기 위한 가장 중요한 요건으로 광 검출기의 감도, 즉 빛의 세기에 대한 저항의 변화가 커야만 한다는 점을 강조한 바 있다.

나노와이어를 감지 소자로 이용하는 센서는 매우 높은 감도를 나타낼 수 있는 잠재력을 가지고 있어 바이오센서 등 많은 분야에 적용되어 왔다[49-51], 특히 실리콘 나노와이어를 이용한 고감도 광 검출기에 대한 연구 결과도 상당수 발표된 바 있다[52-55]. 본 절에서는 실리콘 나노와이어에서의 높은 효율의 광전 변환의 과정의 이론적 토대와, 나노와이어 구조가 가지는 독특한 특성에 의한 높은 이득의 원리에 대하여 살펴보고자 한다. 그 다음으로는 앞에서 소개한 실리콘 나노와이어 제작 방법을 기반으로 하여 실리콘 나노와이어 광 검출기를 제작하기 위한 공정을 설계하고, 실제 소자를 제작하여 그 특성을 살펴봄으로써 망막 자극기 회로에 사용하기에 적합한 성능을 가지고 있는지 살펴보고자 한다.

2.1. 실리콘 나노와이어 광 검출기 동작의 원리

그림 2-21은 광도전체(photoconductor) 형태의 실리콘 나노와이어 광 검출기의 동작을 설명하기 위해 도입한 간단한 모델이다. 실리콘 나노와이어는 단순한 도체(conductor)이며, 실리콘 나노와이어 양단에 음성 접촉(ohmic contact)을 하고 있는 전극이 형성된 구조이다.

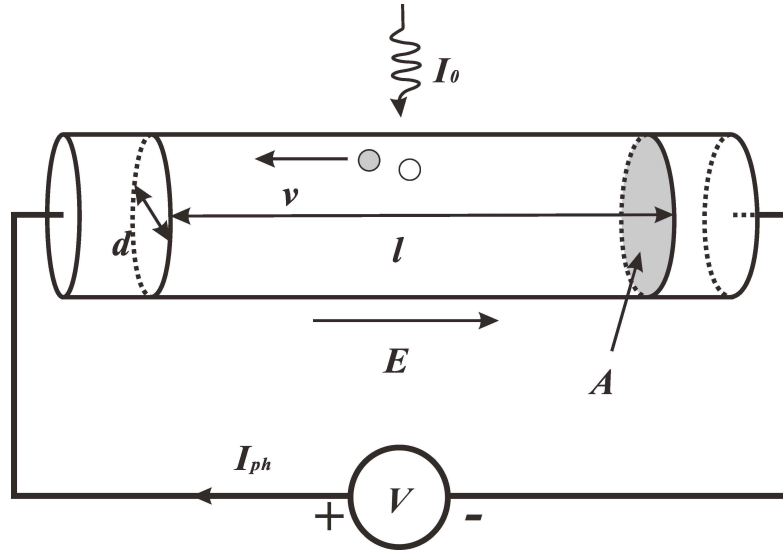


그림 2-21. 실리콘 나노와이어 광 검출기의 동작 모델.

실리콘 나노와이어에 빛이 조사되면 에너지 밴드 갭(energy band gap)보다 큰 에너지를 가진 광자(photon)는 나노와이어에 흡수되어 전자-정공 쌍(electron-hole pair)을 생성하고, 이로 인해 나노와이어의 전도도(conductivity)가 증가하게 되는데, 증가된 전도도는 다음 식으로 표현된다.

$$\Delta\sigma = q(\mu_n + \mu_p)\Delta p \quad (3)$$

여기서 $\Delta n = \Delta p$ 로 가정하였으며, σ 는 전도도(conductivity), q 는 전자 전하량(electron charge), μ 는 각 캐리어(carrier)의 이동도(mobility)를 나타낸다. 과잉 캐리어(excess carrier)의 상태는 다음의 rate equation으로 묘사할 수 있는데, 캐리어의 변화율은 총 생성률(generation rate)에서 재결합율(recombination rate)을 뺀 값과 같다. 즉

$$\frac{d\Delta p}{dt} = g - \frac{\Delta p}{\tau_p} \quad (4)$$

여기서 g 는 생성률, τ_p 는 정공의 재결합 수명(recombination lifetime)을 나타낸다. 정상상태에서 과잉 캐리어는 시간에 따라 변하지 않게 되므로 식 (4)의 rate equation은 다음과 같이 쓸 수 있다.

$$g = \frac{\Delta p}{\tau_p} \quad (5)$$

그림 2-21과 같이 실리콘 나노와이어 광 검출기 양단에 전압을 걸어주면 검출기 양단에 전기장(electric field) E 가 형성되고, 나노와이어 검출기에 빛에 의한 전자-정공쌍이 균일하게 발생한다고 가정하면 drift에 의한 전류는 다음 식으로 표현할 수 있다.

$$I_{ph} = q\Delta p(\mu_n + \mu_p)EA \quad (6)$$

여기서 A 는 나노와이어 광 검출기의 단면적이다. $\mu_n E$ 는 전자의 표류 속도(electron drift velocity)이기 때문에 전자가 검출기를 통과하는데 걸리는 시간은 다음과 같다.

$$t_n = \frac{l}{\mu_n E} \quad (7)$$

여기서 l 은 검출기의 길이이다. 따라서 광전류는 다음 식으로 나타낼 수 있다.

$$I_{ph} = q g \left(\frac{\tau_p}{t_n} \right) \left[1 + \left(\frac{\mu_p}{\mu_n} \right) \right] l A \quad (8)$$

식 (8)에서 광 검출기의 이득(gain) G 를 정의할 수 있는데, 단위 시간동안 빛의 조사에 의해 생성된 캐리어의 수와 전극에서 모아지는 캐리어의 수의 비율이다. 즉

$$G = \frac{\tau_p}{t_n} \quad (9)$$

이다. 광 검출기에서 전자-정공쌍이 생성되면, 전자는 높은 포류 속도로 ‘+’ 전극으로 급속히 모여진다. 반대로 검출기 내에 남아서 천천히 움직이는 정공은 ‘-’ 전극으로부터 새로운 전자를 끌어당긴다. 이러한 과정은 정공이 재결합으로 소멸될 때까지 반복된다. 따라서 이득은 물리적으로 정공의 수명과 전자의 통과 시간의 비로 표현할 수 있는 것이다. 만약 광 펄스가 광 검출기에 조사되는 경우에는 실제 스위칭 시간은 정공의 수명에 의해 결정되는데, 주파수 응답은 캐리어의 수명에 반비례한다. 따라서 이러한 특성으로 인해 광전 변환 이득과 대역폭(Bandwidth)은 동시에 최적화되기 어렵게 된다.

도전체 형태의 광 검출기에 있어서, 암 전류(dark current)는 어두운 상태에서 캐리어의 불규칙한 운동에 기인하는데, 암 전류의 크기는 소자의 온도와 전도도에 직접적으로 비례하므로 되도록 낮은 온도에서 낮은 도핑레벨의 광 검출기를 사용하는 것이 바람직하다.

실리콘 나노와이어 광 검출기는 광전 변환 이득이 매우 높아 감도 및 응답도가 매우 높은 것으로 보고되고 있다[17-18]. 실리콘 나노와이어 광 검출기에서 광전 변환 이득이 높은 이유는 실리콘 나노와이어가 가지는 구조적인 특징에 기인한 것으로서 참고 문헌 [17]에서는 이를 다음과 같이 설명하고 있다. 먼저 앞에서 유도된 식 (8)은 광 검출기에서 전극과 나노와이어 사이의 접촉면에서의 전위 장벽(potential barrier)이나 나노와이어 표면에서의 표면 준위(surface state)를 무시한 결과이다. 그러나 실제로 나노와이어 표면에서의 격자의 불연속성은 금지대(forbidden band)에서 많은 에너지 준위(energy state)를 만들게 된다. 이러한 에너지 준위를 표면 준위라 하며, 일반적으로 이것은 표면에서의 캐리어의 재결합률을 높이는 역할을 하기 때문에 표면준위가 존재하게 되면 나노와이어 광 검출기의 이득이 상당히 감소하게 된다. 이러한 이

유로 보통 표면에 보호막을 형성(passivation)시킴으로써 특성을 개선시키고 있다. 그러나 표면 준위를 완전히 제거할 수는 없기 때문에 나노와이어와 같이 surface to volume ratio가 굉장히 큰 소자에서는 표면준위가 소자의 동작에 중요한 영향을 주게 된다.

그림 2-22는 표면준위가 나노와이어 광 검출기 광전도도 변화 과정(phototransistive process)에 주는 영향을 살펴보기 위한 그림으로서 p-type의 표면준위의 실리콘 나노와이어를 가정한 경우이다. 빛이 조사되지 않은 상태에서, 실리콘 나노와이어 표면에 형성된 표면준위의 영향으로 가전자대(valence band)에 있는 자유 정공(free hole)들은 표면의 donor state에 포획되고, 표면에는 그림 2-22(a)와 같이 공간전하층(space charge layer)이 형성된다. 나노와이어 몸체 내부는 공핍됨으로 인해 나노와이어 중심에서 외곽으로 향하는 전계가 형성되고, 이로 인해 에너지 밴드가 휘게 된다. 따라서 그림 2-22(b)와 같이 빛이 조사될 경우에 실리콘 나노와이어 내부에 생성된 전자-정공 쌍 중에서 전자는 실리콘 나노와이어 내부에 형성된 전계에 의해 나노와이어 외곽으로 끌려 내려간다. 표면에 도달한 전자는 그림 2-22(c)에서와 같이 표면에 포획된 정공과 재결합하여 소멸된다. 반대로 정공은 나노와이어 내부에 형성된 전계에 의해 오히려 중앙부에 고립되어 나노와이어 양단에 가해주는 bias 전압에 의해 서서히 움직이며 광전류에 기여하게 된다. 이렇게 나노와이어 내부에 나노와이어 표면 방향으로 형성된 전계에 의해 내부에 고립된 정공의 수명이 굉장히 증가하기 때문에 광 검출기가 높은 이득을 가지게 된다.

한편 실리콘 나노와이어 내부에 형성된 전계에 의한 전자의 외곽으로의 끌림 현상 및 나노와이어 내부에서의 정공 고립 과정은 실리콘 나노와이어의 굵기와 밀접한 관련이 있다. 실리콘 나노와이어가 너무 얇게 제작되면 내부에 형성된 전계의 크기가 줄어들고, 중앙의 에너지 밴드 평탄 구간이 줄어드는 효과로 인해 이득에 바람직하지 않은 영향을 주게 된다. 반대로 실리콘 나노와이어의 굵기가 너무 굵으면 실리콘 나노와이어 중앙부의 에너지 밴드의 평탄 구간이 너무 넓어져 빛의 조사에 의해

생성된 전자-정공쌍 중 전자의 외부로의 쓸림을 방해한다. 따라서 내부에 전자와 정공이 공존할 수 있는 확률이 높아지고 이들의 재결합에 의한 이득의 손실을 보게 된다. 따라서 실리콘 나노와이어 광 검출기의 높은 이득을 위한 최적의 나노와이어 굵기가 존재하게 된다.

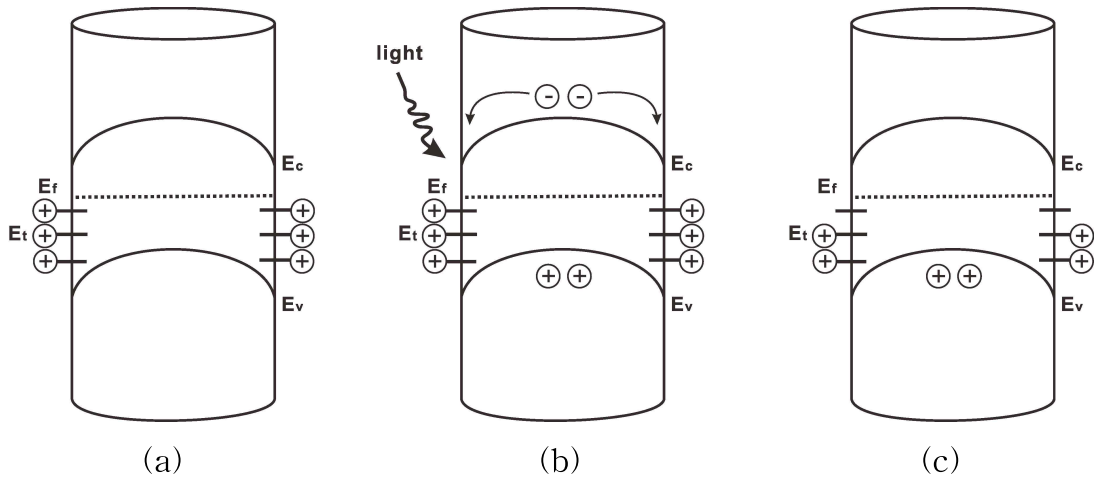


그림 2-22. 나노와이어 광 검출기에서의 광전도 과정에 있어서의 표면 준위의 영향.

2.2. 실리콘 나노와이어 광 검출기의 제작

실리콘 나노와이어 광 검출기는 그림 2-22와 같이 실리콘 나노와이어의 양단에 전극을 형성시킨 구조이다. 본 논문에서는 그림 2-16에 나타난 top-down 기반의 실리콘 나노와이어 제작 방법을 기반으로 실리콘 나노와이어 광 검출기를 제작하는 방법을 고안하였다. 또한 본 논문에서 제안하는 망막 자극기는 안구이식을 용이하게 하기 위해 flexible한 형태로 제작되어야 하며, 이를 위해서는 실리콘 나노와이어 광 검출기 또한 flexible한 형태로 제작되어야 한다. 본 절을 통해 rigid한 형태로 실리콘 나노와이어를 제작하여 전기적 특성, 광학적 특성을 평가한 후, rigid한 형태의 광 검출기에 추가 공정을 적용하여 flexible 형태로 변환한 후 특성을 평가함으로써 flexible한 형태로 변환된 후에도 전기적, 광학적 특성이 잘 유지되는지를 조사함으로써 망막 자극기에 적용하기에 적합한지 살펴볼 것이다.

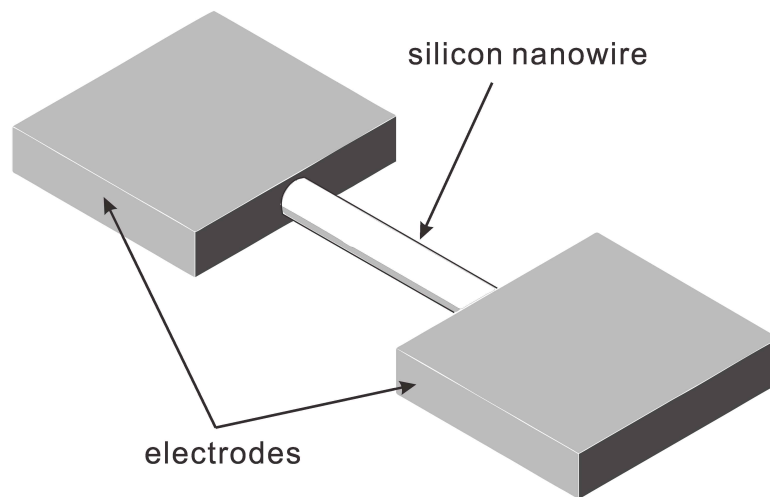
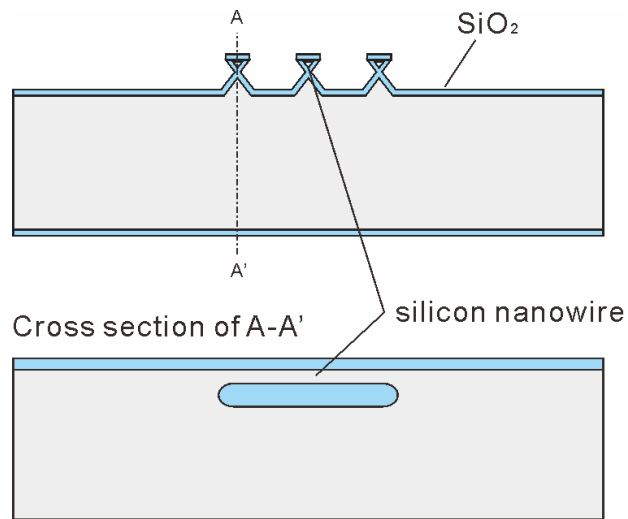
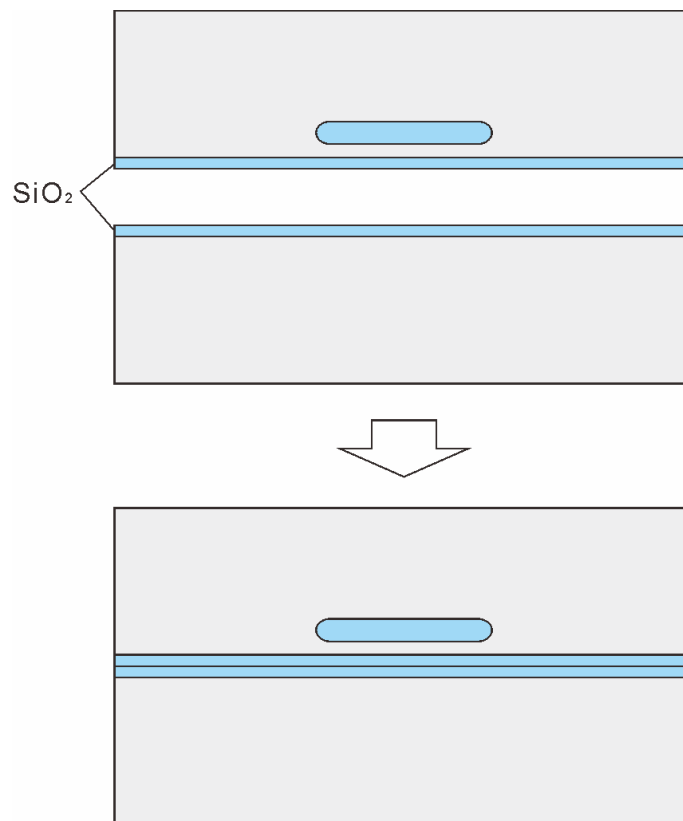


그림 2-23. 실리콘 나노와이어와 광 검출기의 구조.

그림 2-24는 rigid한 형태의 실리콘 나노와이어 광 검출기 제작 과정을 나타낸다. 그림 2-24(a)는 그림 2-16의 공정에 의해 제작된 실리콘 나노와이어 기판의 모습으로서, 그림 2-24(a)의 하단부는 A-A'단면도이다. 실리콘 나노와이어 기판이 제작되면 그림 2-24(b)와 같이 3000 Å 두께의 산화막이 형성되어 있는 실리콘 기판과 SDB(silicon direct bonding)공정을 이용하여 두 기판을 본딩한다. 그리고 lapping 및 CMP(chemical mechanical polishing) 공정을 이용하여 실리콘 나노와이어가 형성된 기판을 약 10 μm 두께로 얇게 thinning 한다(그림 2-24(c)). 그리고 양면 노광기의 back side align 기능을 이용하여 상부에 PR 패터닝을 한 후 실리콘 DRIE 공정을 이용하여 실리콘을 식각함으로써 나노와이어 양단의 넓은 실리콘 지지 구조물을 형성한다(그림 2-24(d)). 실리콘 식각시 실리콘 나노와이어는 나노와이어를 둘러싸고 있는 실리콘 산화막의 도움으로 DRIE 공정에서 보호된다. 실리콘 DRIE 공정이 완료되면 실리콘 나노와이어가 노출되기 때문에 비로소 빛을 쏘여줄 수 있는 상태가 된다. 실리콘 나노와이어를 덮고 있는 실리콘 산화막을 BOE 용액을 이용하여 제거한 후 기판 세정을 실시한다. 공기중으로 노출된 실리콘 나노와이어의 표면을 보호하기 위해 dry oxidation 공정을 이용하여 300 Å 두께의 산화막을 형성한다(그림 2-24(e)). 실리콘 나노와이어는 양쪽의 지지 구조물에 전극 형성을 위해 산화막을 패터닝한 후 3,000 Å 두께의 Al 전극을 증착한 후 그림 2-24(f)와 같이 패터닝한다. Al 전극과 실리콘과의 ohmic contact을 형성하기 위해 N₂ 분위기, 400 °C 온도에서 약 5분간 RTA(rapid thermal annealing)를 실시한다. 이상의 공정을 통해 rigid한 형태의 실리콘 나노와이어 광 검출기 제작이 완료된다.

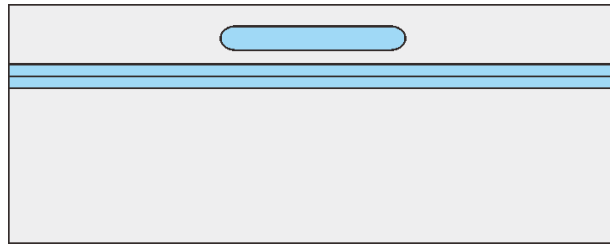


(a) 실리콘 나노와이어 제작.

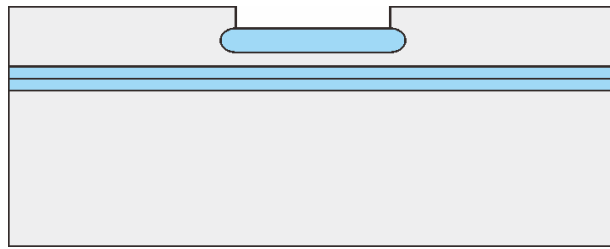


(b) 기판 본딩.

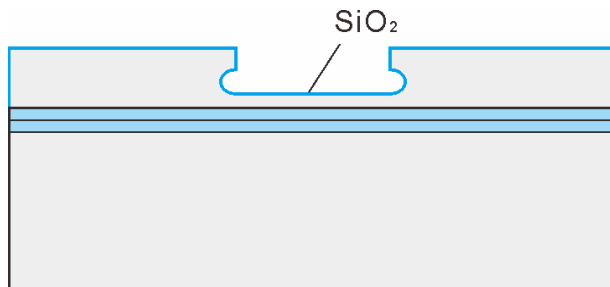
그림 2-24. Rigid한 형태의 실리콘 나노와이어 광 검출기 제조 공정도.



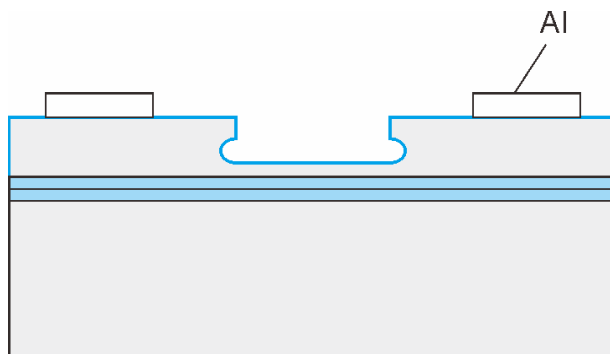
(c) 상부 기판 thinning.



(d) 실리콘 식각.



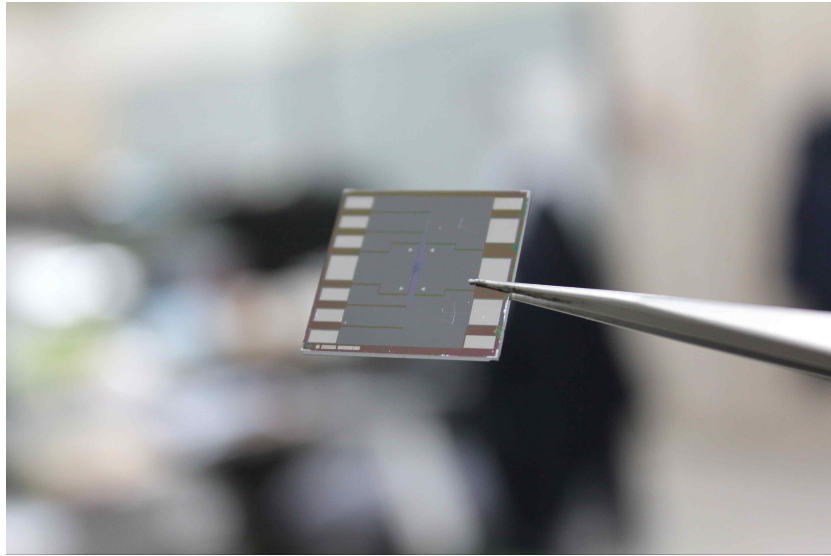
(e) 산화막 형성.



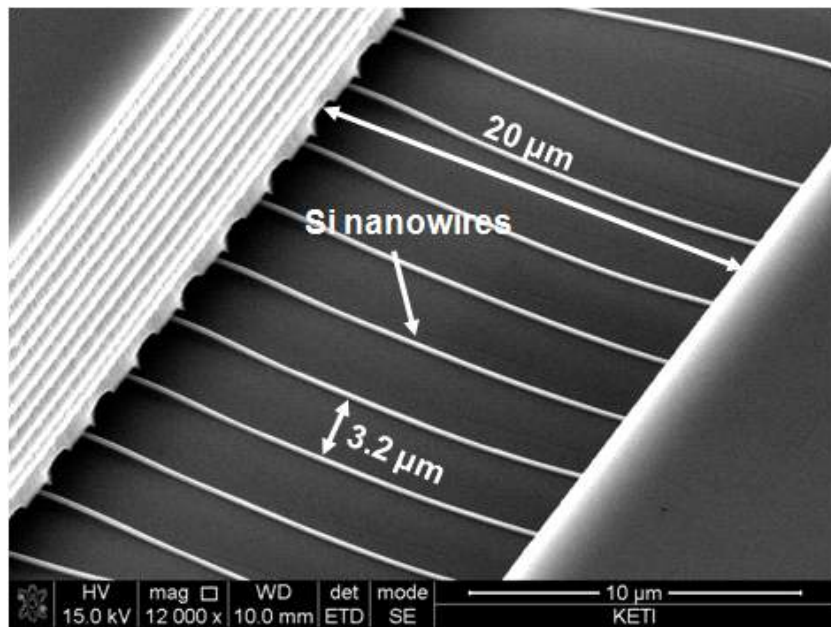
(f) Al 전극 형성.

그림 2-24. Rigid한 형태의 실리콘 나노와이어 광 검출기 제조 공정도.

그림 2-25는 앞의 공정을 통해 제작된 rigid한 형태의 실리콘 나노와이어 광 검출기의 모습이다. 칩의 크기는 $1 \times 1 \text{ cm}^2$ 이며, 그림 2-25(b)는 실리콘 나노와이어가 형성된 부분을 촬영한 사진으로서, 제작된 실리콘 나노와이어는 굵기(폭)는 그림 2-19(c)에 보인 바와 같이 150 nm이며, 길이는 $20 \text{ }\mu\text{m}$ 이고, 약 250개의 나노와이어가 $3.2 \text{ }\mu\text{m}$ 의 간격으로 배열된 모습을 볼 수 있다.



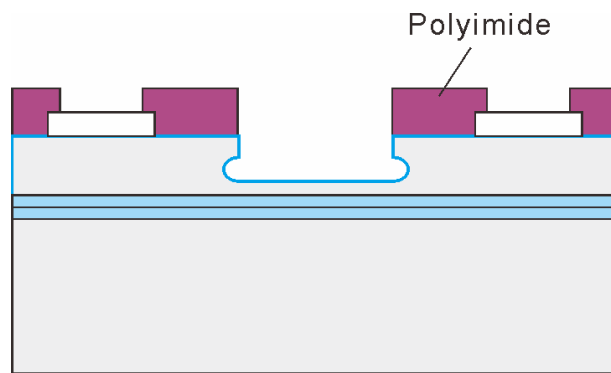
(a) 제작된 광 검출기.



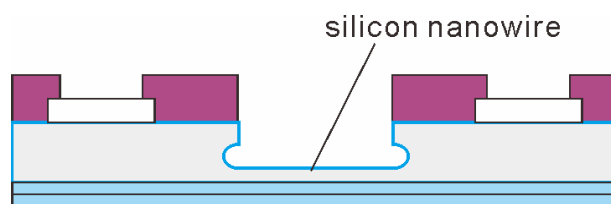
(b) 실리콘 나노와이어 어레이.

그림 2-25. Rigid한 형태로 제작된 실리콘 나노와이어 광 검출기.

그림 2-26은 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기에 추가 공정을 적용하여 flexible한 형태의 광 검출기로 변환하는 과정을 나타내는 공정도이다. 그림 2-26(a)는 rigid한 형태의 광 검출기 기판 위에 약 20 μm 두께의 폴리이미드를 패터닝한 모습이다. 폴리이미드 패터닝 후 폴리이미드의 절연 성능 향상, 기계적인 강도 및 화학적 내구성 확보를 위해 전기 오븐을 이용하여 350 $^{\circ}\text{C}$ 에서 약 2 시간동안 열처리를 한다. 열처리 후 그림 2-26(b)에서 보인 바와 같이 실리콘 DRIE 공정을 이용하여 하부의 실리콘 기판을 제거하면 flexible한 형태의 실리콘 나노와이어 광 검출기 제작이 완료된다.



(a) 폴리이미드 패터닝.



(b) 하부 기판 제거.

그림 2-26. Flexible한 형태의 실리콘 나노와이어 광 검출기
제조 공정도.

그림 2-27은 2-25의 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기를 이용하여 그림 2-26의 공정을 통해 flexible한 형태의 광 검출기를 제작한 결과이다. 그림에서 보듯이 공정 완료 후에 소자가 심하게 휘 것을 볼 수 있다. 이는 rigid한 형태의 실리콘 나노와이어 광 검출기 위에 폴리이미드층을 형성시킨 후 열처리하는 과정에서 폴리이미드 내부에 함유되어 있던 solvent 등이 증발하면서 폴리이미드 층이 수축하고, 이로 인해 폴리이미드 층과 실리콘 기판 사이에 잔류 응력(residual stress)이 발생하는데, 하부 기판을 제거하고 난 후 자유로워진 폴리이미드 필름이 잔류 응력에 의해 휘게 된 결과이다.

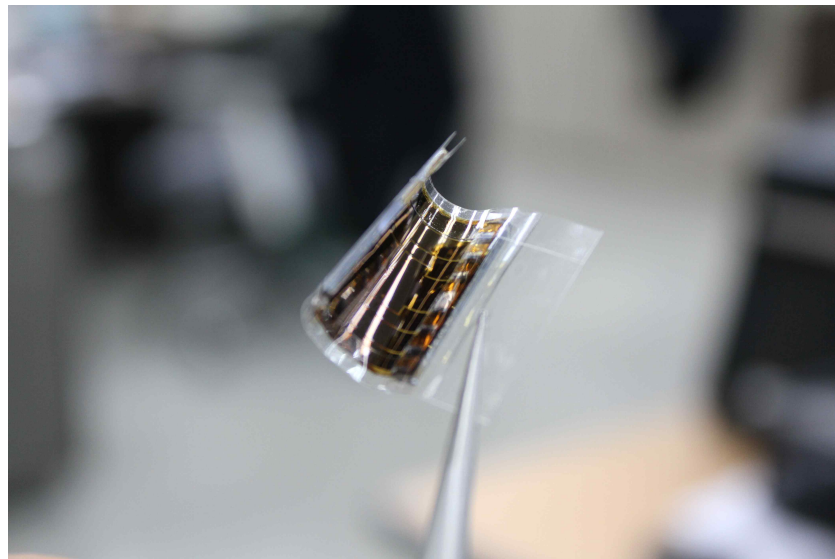


그림 2-27. Flexible한 형태로 제작된 실리콘 나노와이어 광 검출기.

이상으로 rigid한 형태와 flexible한 형태의 실리콘 나노와이어 광 검출기의 제작 과정을 살펴보았다. 실리콘 나노와이어 광 검출기를 인공 망막 자극기에 적용하기 위해서는 flexible한 형태로 제작되어야 하며 flexible한 형태에서도 rigid한 형태의 광 검출기의 성능이 그대로 잘 유지되어야 한다. 다음 절에서는 먼저 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기의 광학적 성능을 살펴봄으로써 본 논문에 의한 망막

자극 시스템에서 요구하는 광 검출기로서의 요구조건을 만족하는지 살펴볼 것이다. 그리고 rigid한 형태의 광 검출기를 flexible한 형태로 변환하여 제작한 후 광학적 성능 테스트를 통해 flexible한 형태로 변환되기 전후의 광학적 성능을 비교함으로써 광학적 성능이 잘 유지되는지 살펴볼 것이다. 그리고 기계적인 응력을 가했을 때도 그 성능이 잘 유지되는지 살펴보기 위해 굽힘(bending) 테스트를 실시할 것이다.

2.3. Rigid한 형태로 제작된 실리콘 나노와이어 광 검출기의 특성 평가

광 검출기의 빛에 대한 반응성, 즉 감도를 살펴보기에 앞서 먼저 빛의 세기에 대한 정의를 살펴보기로 한다. 빛의 세기를 나타낼 때 보통 조도(illuminance)를 이용하며 단위는 lux이다. 1 lux는 그림 2-28에 나타낸 바와 같이 1 칸델라(cd) 세기의 광원이 방사형으로 빛을 발산한다고 가정할 때 1 m 떨어진 위치에서 1 m²의 면적의 원에서 받고 있는 빛의 총량을 의미하며 단위는 lm/m² 이용한다. 여기서 1 lm을 빛의 전력 단위로 변환하면 555 nm의 파장에서 약 1.464×10^{-3} W의 값을 가진다. 따라서 lux는 다음의 관계식과 같이 빛의 전력 밀도(lighting power density) 및 단위 면적 및 시간당 photon의 개수로 표현할 수 있다 [56].

$$1 \text{ lux} = 0.146 \mu\text{W}/\text{cm}^2 = 10^4 \frac{\text{photons}}{\mu\text{m}^2\text{sec}} \text{ at } 555 \text{ nm} \quad (10)$$

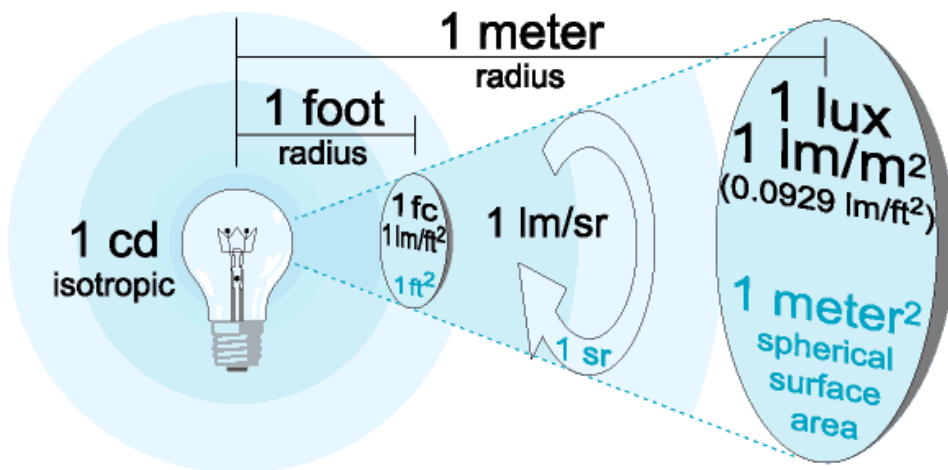


그림 2-28. 빛의 세기(조도)의 정의.

먼저 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기의 광학적 성능을 조사하기 위해 총 6개의 실리콘 나노와이어 광 검출기를 제작하여 특성 평가에 이용하였다. 그림 2-29는 실리콘 나노와이어 광 검출기 1번 소자를 이용한 특성 평가 결과이다. 그림 2-29(a)는 광 검출기 양단의 전압을 0~1 V 값으로 sweep하고, dark 상태에서 전류-전압 특성(I-V characteristics)을 측정한 곡선이다. Dark 상태의 I-V 곡선으로부터 먼저 제작된 실리콘 나노와이어 광 검출기에 사용된 Al 전극의 접촉 특성을 알 수 있는데, 그림 2-29(a)의 곡선에서 인가전압 0 V 근처에서 곡선이 거의 선형적인 모습을 보이는데, 이렇게 선형적인 모습을 보일 때 저항성 접촉(ohmic contact)이 이루어졌다고 평가할 수 있다. 만약 인가전압 0 V 근처에서 값이 크기가 기하급수적으로 증가하는 모습을 보일 경우 정류성 접촉(rectifying contact)이 이루어졌다고 평가할 수 있다. 그림 2-29(b)는 ohmic contact 특성을 보이는 실리콘 나노와이어 광 검출기 1번 소자에 빛의 세기를 점점 늘려가면서 조사한 후 광 검출기의 전류를 측정한 I-V 곡선이다. 그래프의 우측에 빛의 세기를 조도로 나타내었다. 조도가 증가할수록 전류레벨이 점점 증가하는 것을 볼 수 있다. Dark 상태에서의 전류 레벨은 약 10.4 nA 수준이었고, 3,990 lux의 밝은 빛을 쬔 경우엔 전류 레벨이 1 μ A 이상으로 크게 증가하였다. 이는 빛의 조사로 인해 실리콘 나노와이어 광 검출기 내부에 전자-정공쌍이 생성되고, 앞 절에서 설명한 바와 같이 나노와이어가 가지는 고유한 특성에 기인한 큰 이득에 의해 광 전류(photocurrent)가 크게 증가한 결과이다. 그림 2-29(c)는 인가전압이 1 V일 때의 빛의 세기별 photocurrent 값으로서, 그림 2-29(b)의 그래프에서 각 조도별 전류 값에서 dark 상태의 전류 값을 빼서 구한 것이다. 그래프에서 볼 수 있듯이 저조도에서 photocurrent의 증가가 급속히 이루어지다가, 높은 조도에서는 증가하는 추세가 완만해지는 것을 볼 수 있다. 2-29(d)는 그림 2-29(c)를 빛의 세기 축을 log scale로 하여 다시 그린 그림으로서 특성 곡선이 linear 한 것을 볼 수 있는데, 이러한 특성을 가지는 광 검출기는 저조도에서는 민감하고 고조도에서는 둔감하여 검출기 출력이 포화되지

않는, 즉 dynamic range가 매우 높은 특징을 가지고 있다고 할 수 있다.

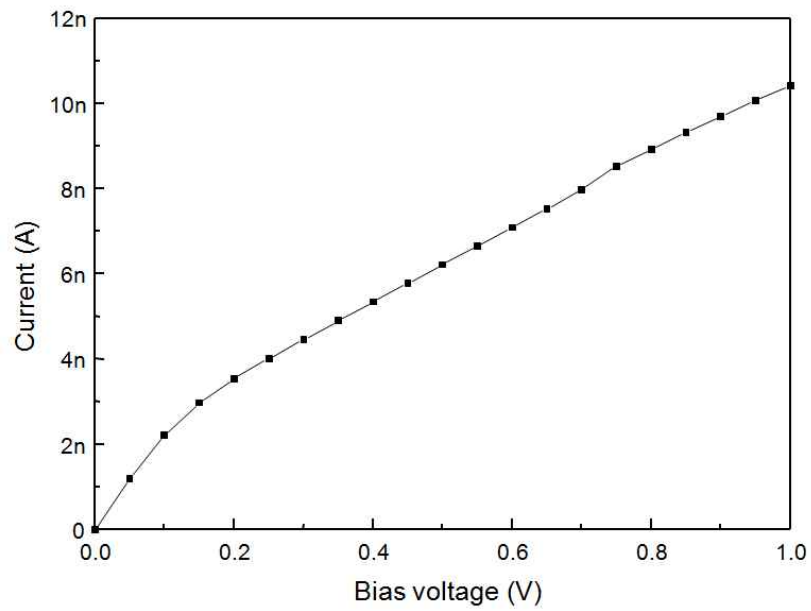
한편 광 검출기에서의 감도(sensitivity)는 다음 식으로 정의한다.

$$Sensitivity = \frac{\Delta I}{I_0} = \frac{I_{light} - I_{dark}}{I_{dark}} \quad (11)$$

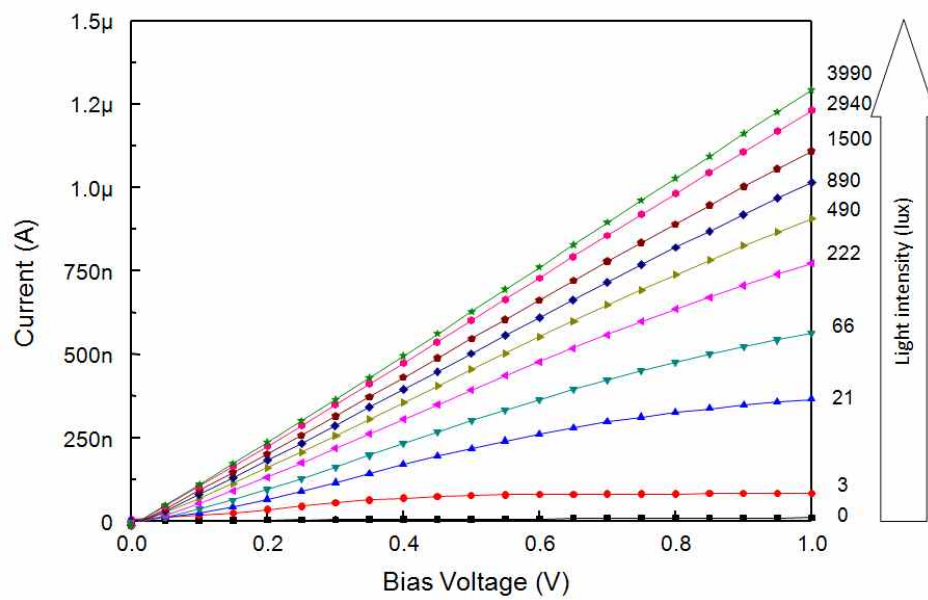
여기서, I_0 는 광 검출기의 초기상태의 전류 값, 즉 dark 상태에서의 전류 값 I_{dark} 이며, I_{light} 는 빛을 조사한 후의 전류 값이며, ΔI 는 photocurrent 이다. 그림 2-29(e)는 실리콘 나노와이어 광 검출기 1번 소자의 감도를 계산한 그래프이다. 감도의 최대값은 빛의 세기가 최대일 때 나타나며, 빛의 세기가 약 4,000 lux일 때 약 123 정도의 감도를 나타내고 있다. 2-29(c)의 photocurrent 그래프가 단순히 photocurrent의 양을 나타내는 것이라면, 그림 2-29(e)의 감도 그래프는 dark current를 기준으로 하여 얼마나 많은 photocurrent가 생성되었는지를 나타낸다는 점에서 차이가 있다. 만약 동일한 photocurrent를 나타내는 광 검출기라도 dark current가 적을수록 더 우수한 감도를 가진다고 말 할 수 있다.

빛의 조사에 의한 실리콘 나노와이어 광 검출기에서의 photocurrent의 증가는 결과적으로는 실리콘 나노와이어의 저항의 감소로 이어진다. 아울러 앞 절에서 본 논문에서 설계한 광 검출 및 자극 신호 변조회로에 이용되는 실리콘 나노와이어 광 검출기는 실리콘 나노와이어 FET와 연결되어 전압 분배기로서 이용되기 때문에 이 두 소자들간의 저항 값의 비에 의해 전압 분배기 출력 전압이 결정되기 때문에 실리콘 나노와이어 광 검출기의 저항 변화가 주요한 관심사이다. 그림 2-29(f)는 빛의 세기(조도)에 대한 저항의 변화를 나타낸 그래프로서, 이는 그림 2-29(a)의 I-V 그래프로부터 실리콘 나노와이어 양단의 전압(V_{ds})을 1 V로 인가했을 때의 저항 값을 계산한 것으로서, dark 상태에서 약 96.0 MΩ의 저항 값이 빛의 세기를 점점 증가시킴에 따라 급격히 감소하다가 높은 세기의 빛에서는 약 773.9 kΩ으로 수렴하고 있는 것을 볼 수 있다. 그림 2-29(c), (e)의 photocurrent 및 감도 그래프와 마찬가지로 광 검출기의

저항 값의 그래프도 100 lux 이하의 저조도 영역에서 저항 변화가 초기 값의 약 99% 정도로 심하게 일어나다가 100 lux 이상에서는 저항 변화가 미미한 것을 볼 수 있다. 저항 값의 변화율, 즉 초기 dark 상태의 저항 값과 최고 세기의 빛(약 4000 lux) 조사후의 저항 값의 비는 약 124.0으로 비교적 큰 저항 변화를 보이고 있다.

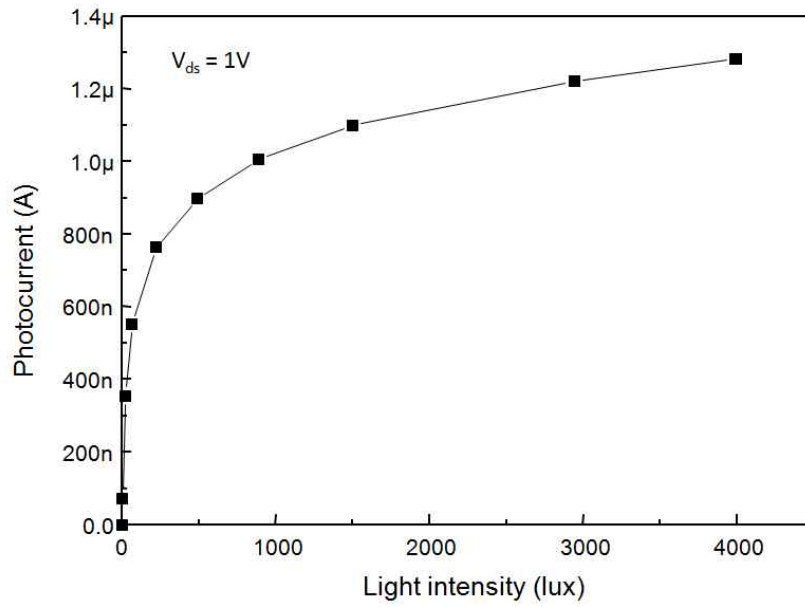


(a) I-V 곡선.

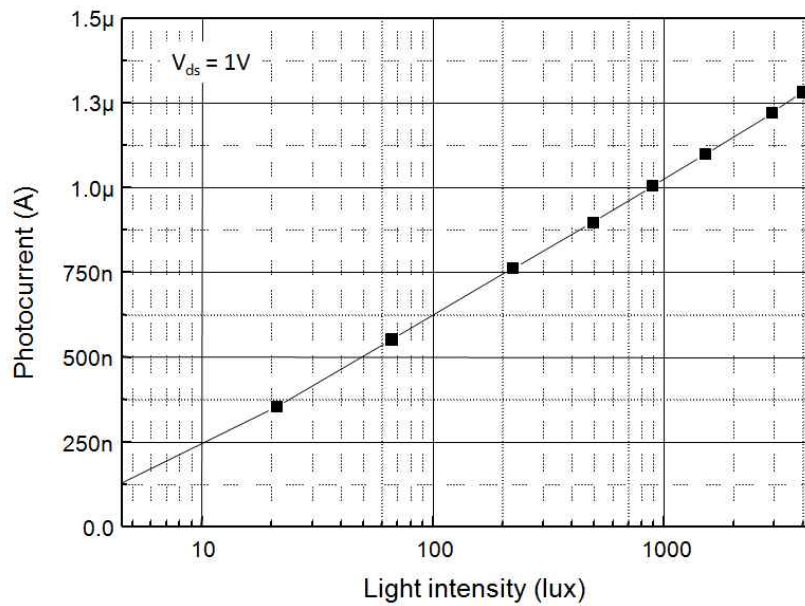


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-29. NWPD device(rigid type) #1의 전기적, 광학적 특성.

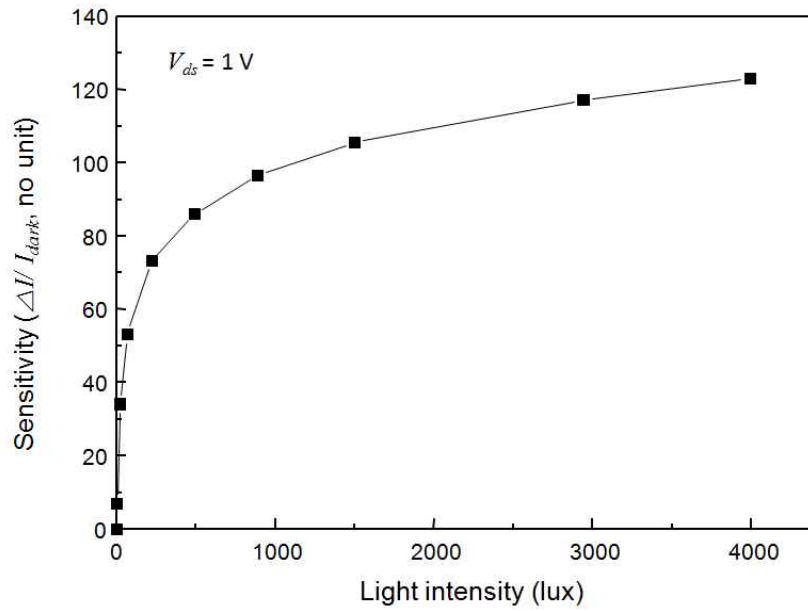


(c) 빛 세기별 photocurrent(linear scale).

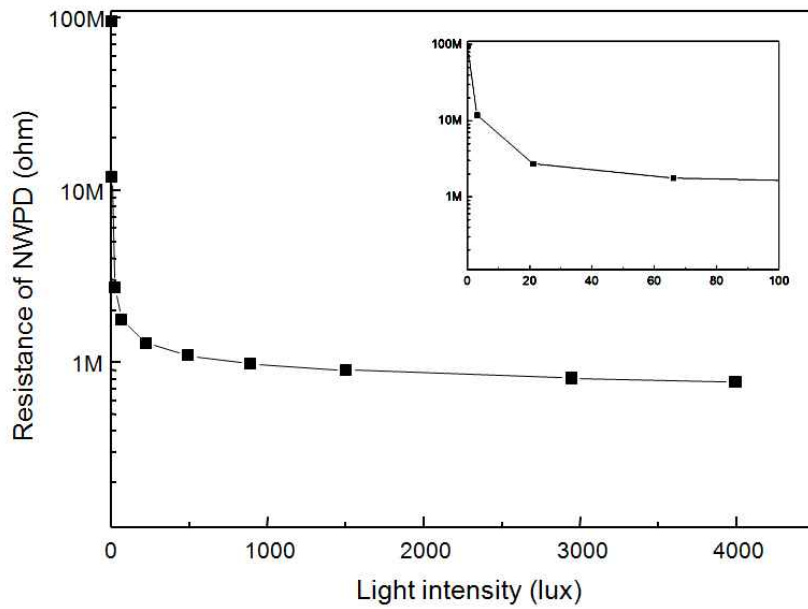


(d) 빛 세기별 photocurrent(log scale).

그림 2-29. NWPD device(rigid type) #1의 전기적, 광학적 특성.



(e) 빛 세기별 광 검출기의 감도.



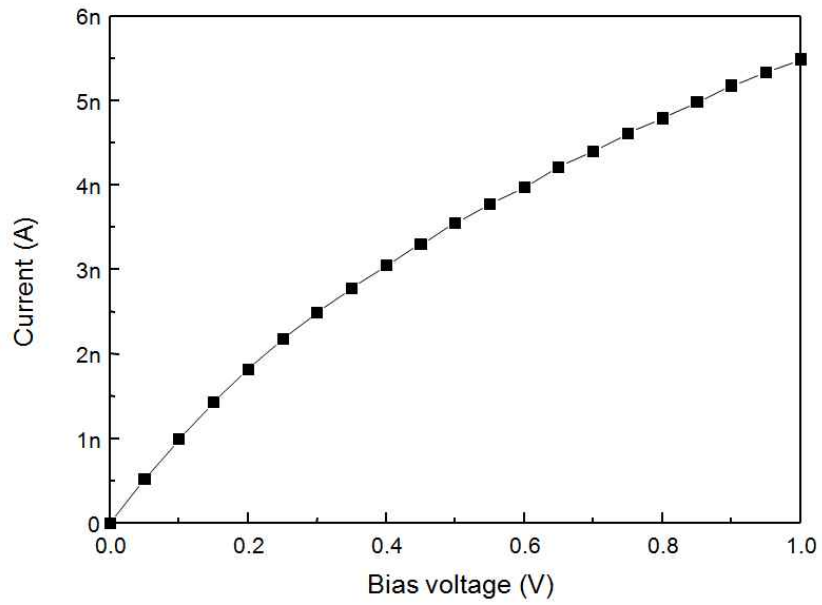
(f) 조도별 광 검출기 저항 값.

그림 2-29. NWPD device(rigid type) #1의 전기적, 광학적 특성.

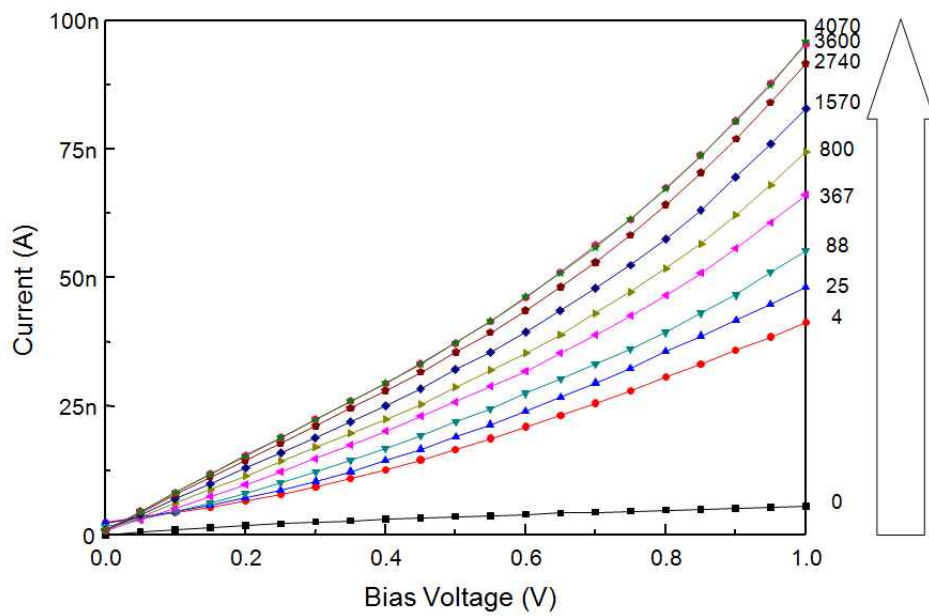
앞에서 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기 1번 소자에 대하여 전기적, 광학적 특성을 살펴보았다. 1번 소자는 ohmic contact 특성을 가지고 있는 광 검출기에 대한 광학적 특성을 조사한 결과로서, 비교적 빛에 대한 높은 감도를 보이고 저항 변화도 크게 일어나는 것을 확인할 수 있었다. 그림 2-30으로부터 2-34는 실리콘 나노와이어 광 검출기 소자 2번~6번의 전기적, 광학적 특성을 조사한 결과이다. 소자 제작시 제작 조건의 차이, 웨이퍼 위치별 공정 불균일성에 따라 소자마다 전기적 특성이 약간씩 다르게 나타나는데, 이렇게 전기적 특성이 다르게 제작된 여러 소자를 이용하여 광학적 특성을 조사함으로써 광 검출기의 전기적 특성과 광학적 특성의 상관관계를 살펴보고자 하였다.

먼저 그림 2-30은 rigid한 실리콘 나노와이어 광 검출기 2번 소자에 대한 전기적 특성과 광학적 특성 조사 결과이다. 그림 2-30(a)는 dark 상태에서의 I-V 곡선으로서 실리콘 나노와이어 양단에 ohmic contact의 가진 전극이 잘 형성된 것을 보여준다. 그림 2-30(b)는 빛의 세기를 증가시키면서 측정한 I-V 그래프로서 그림 2-29의 1번 소자와는 달리 빛을 조사한 후의 그래프가 ohmic contact 특성이 아닌 rectifying contact 특성을 보이는 것을 볼 수 있는데, 이는 전극이 완벽한 ohmic contact 특성을 확보하지 못했기 때문으로 보인다. 즉 dark 상태에서 실리콘 나노와이어 양단에 전압을 인가한 후의 실리콘 나노와이어와 Al 전극과는 ohmic contact 특성을 보이다가, 빛을 조사한 후에는 실리콘 나노와이어 내부의 다수 캐리어 농도의 변화로 인한 저항 감소로 인해 실리콘 나노와이어 길이 방향으로 dark 상태에서의 초기 전위 분포와는 다른 전위 분포가 형성되고, 이로 인해 Al 전극과 전위장벽이 커지면서 rectifying contact 특성을 보이는 것으로 판단된다. 그림 2-30(c)는 광 검출기 인가 전압이 1 V일 때의 광 검출기의 감도를 계산한 결과 그래프이다. 감도의 최대값은 4,000 lux의 빛의 세기에서 약 16 정도의 값을 나타내고 있다. 이 값은 앞의 1번 소자의 감도가 약 123인 것에 비하면 대단히 낮은 값이다. 그림 2-30(d)는 인가전압이 1 V일 때의 광 검출기의 저항 값을

계산한 것으로서, 검출기의 저항 값이 dark 상태에서 182.2 M Ω 이고, 조도가 4 lux 일 때 약 24.2 M Ω 으로 감소한 후로는 4,070 lux에서 약 10.4 M Ω 으로 될 때까지 저항 값의 변화가 완만한 것을 볼 수 있는데 이러한 특성의 광 검출기는 넓은 범위의 조도에서 사용하기에는 부적합하다고 볼 수 있다. 한편 Dark 상태의 저항과 4,070 lux에서의 저항 값의 비도 약 17.5에 불과하며, 앞의 1번 소자보다 감도가 상당히 떨어지는 것을 확인할 수 있다. 본 결과를 통해 실리콘 나노와이어 양단의 메탈 전극에서 ohmic contact 특성이 확보되지 못하면 검출기의 감도에 좋지 않은 영향을 주게 됨을 확인할 수 있다.

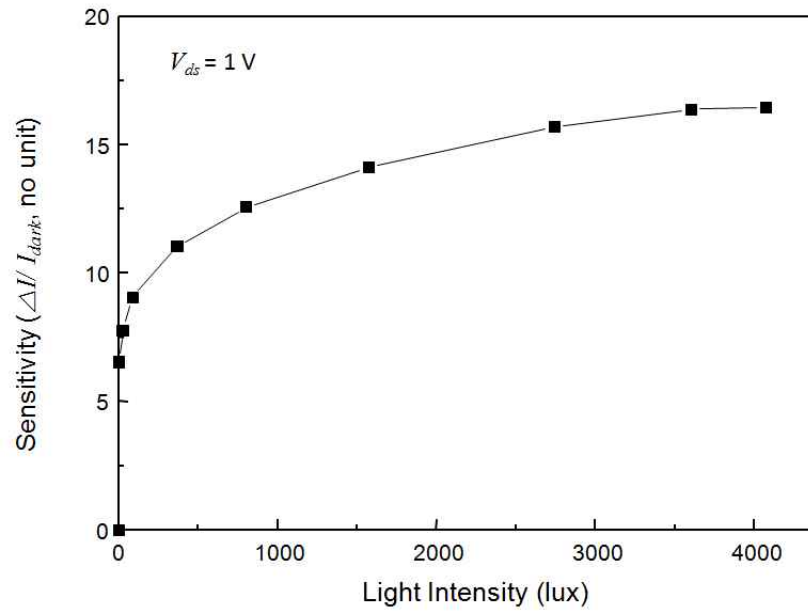


(a) I-V 곡선.

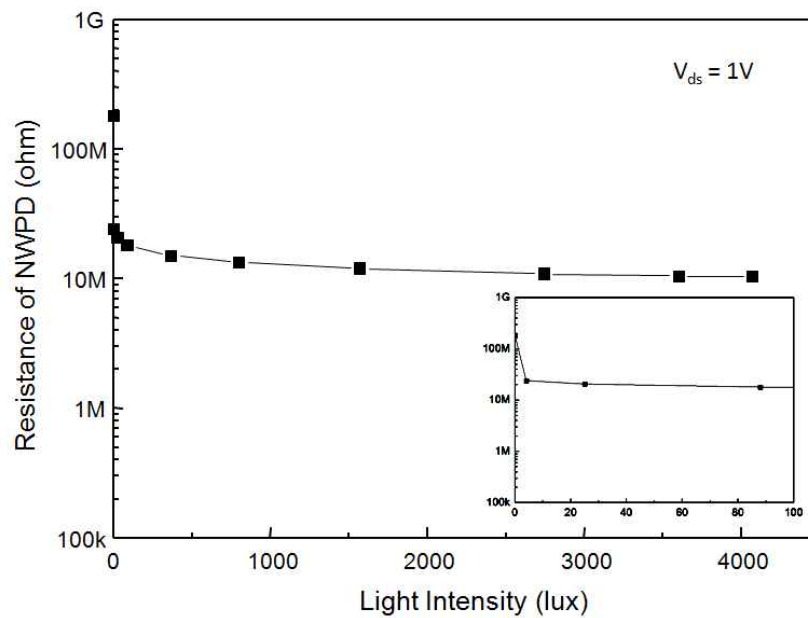


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-30. NRPD Device(rigid type) #2의 전기적, 광학적 특성.



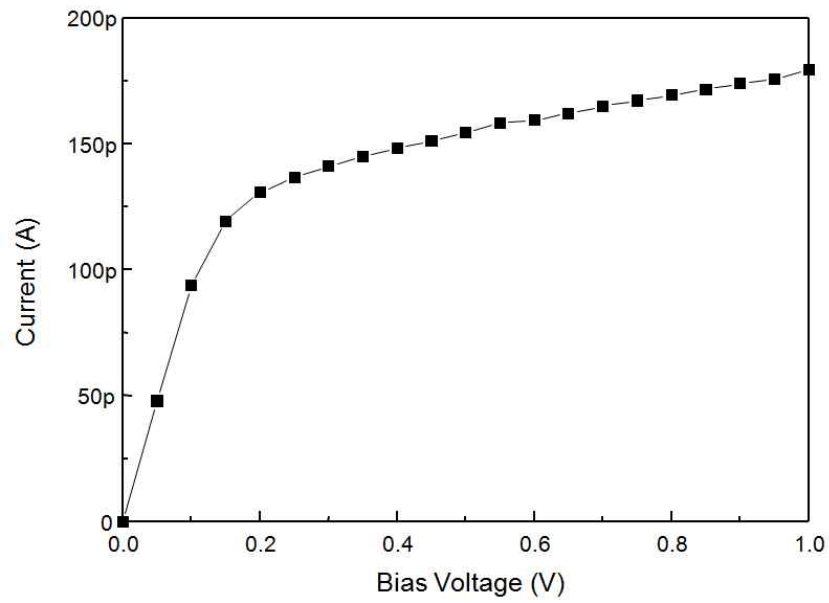
(c) 빛 세기별 광 검출기의 감도.



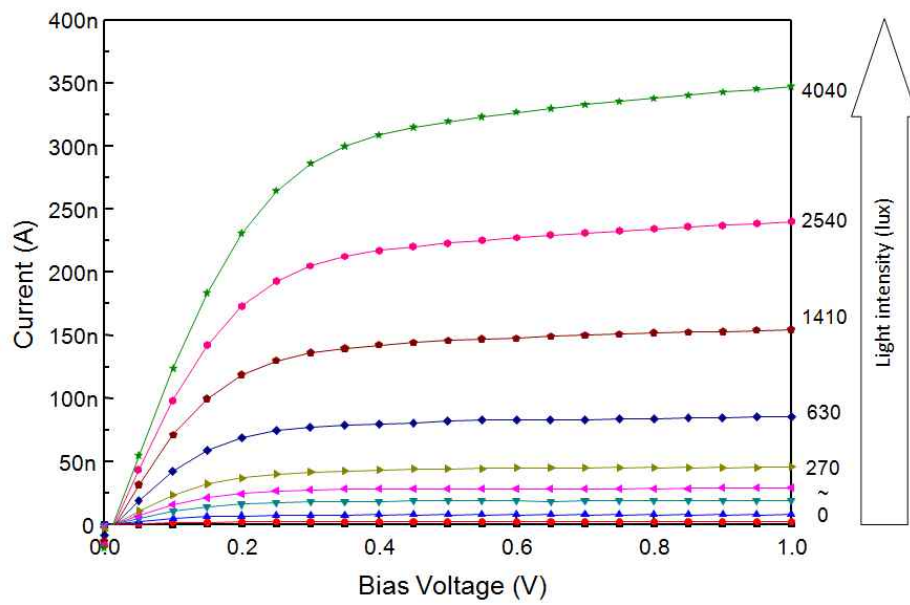
(d) 조도별 광 검출기 저항 값.

그림 2-30. NWPD Device(rigid type) #2의 전기적, 광학적 특성.

그림 2-31은 rigid한 형태의 실리콘 나노와이어 광 검출기 3번 소자에 대한 전기적 특성과 광학적 특성 조사 결과이다. 그림 2-31(a)는 dark 상태에서의 I-V 곡선으로서 실리콘 나노와이어 양단에 ohmic contact가 잘 형성되어 있고, 그림 2-31(b)의 빛의 세기를 증가시키면서 측정한 I-V 그래프 역시 ohmic contact 특성이 잘 유지되는 것을 볼 수 있다. 한편 그림 2-31(a)의 I-V 그래프에서 특징적인 점은 광 검출기의 전류 레벨이 앞의 두 경우에는 1 V 인가전압에서 각각 10.4 nA, 5.5 nA의 전류 레벨을 보이지만, 3번 소자는 약 180 pA의 매우 낮은 전류 레벨을 보이고 있다. 그림 2-31(c)는 광 검출기의 감도 그래프로써, 감도가 빛의 세기에 대하여 거의 선형적으로 증가하는 것을 볼 수 있으며, 약 4,000 lux의 빛의 세기에서 감도 값이 약 1,936의 매우 높은 값을 보이고 있는데, 앞의 1, 2번 소자에 비해 굉장히 높은 값이다. 이러한 높은 감도는 그림 2-31(d)의 빛의 세기에 대한 광 검출기의 저항 변화 그래프로부터도 확인할 수 있는데, dark 상태 저항 값이 약 5.6 GΩ에서 4,040 lux의 빛의 세기에서 약 2.9 MΩ으로 두 저항 값의 비가 1,931로 나타날 정도로 빛의 조사에 따라 굉장히 심한 저항 변화를 보이고 있다.

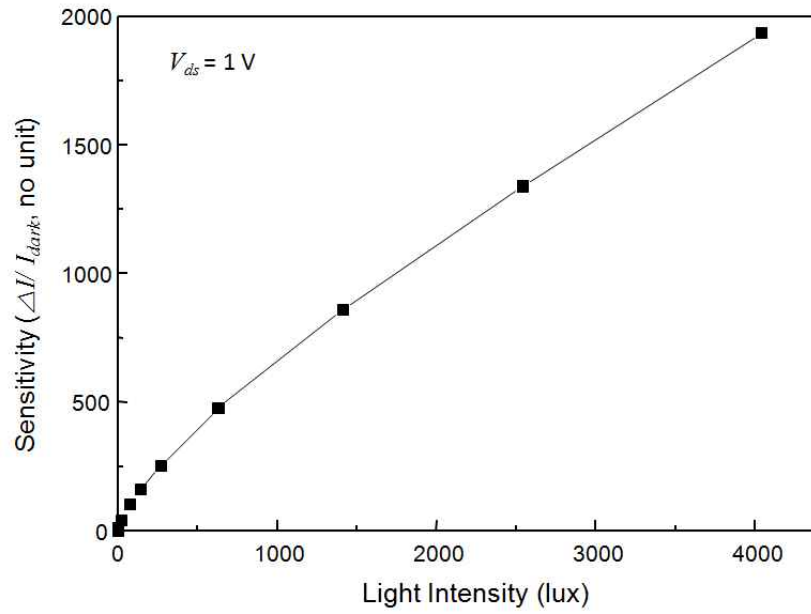


(a) I-V 곡선.

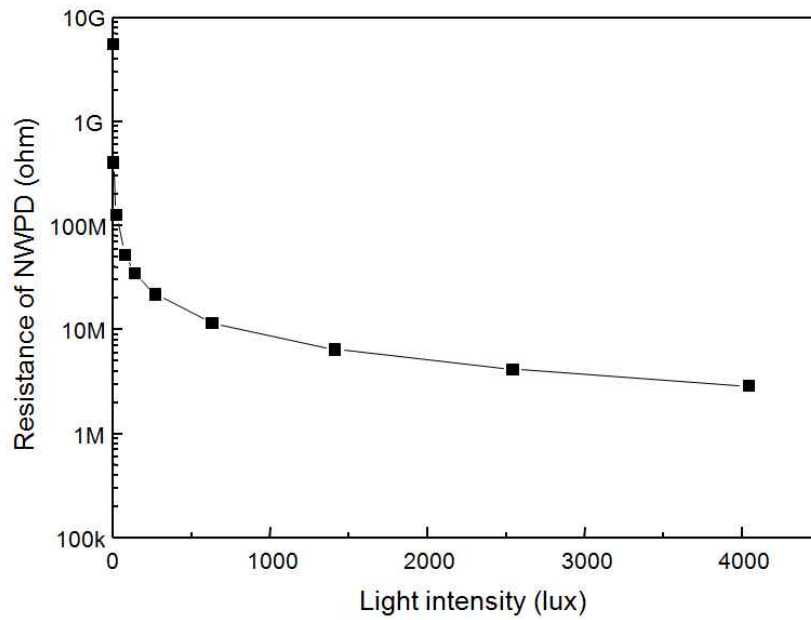


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-31. NWPD Device(rigid type) #3의 전기적, 광학적 특성.



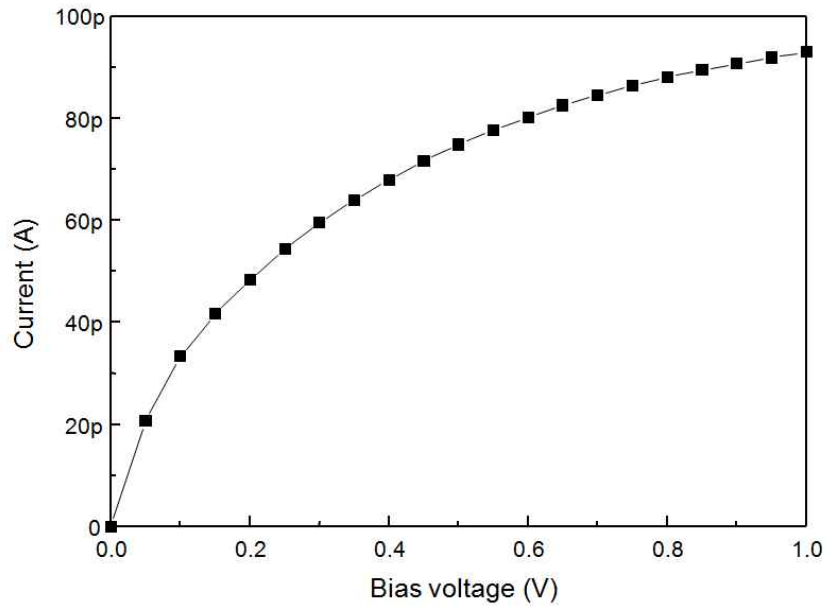
(c) 빛 세기별 광 검출기의 감도.



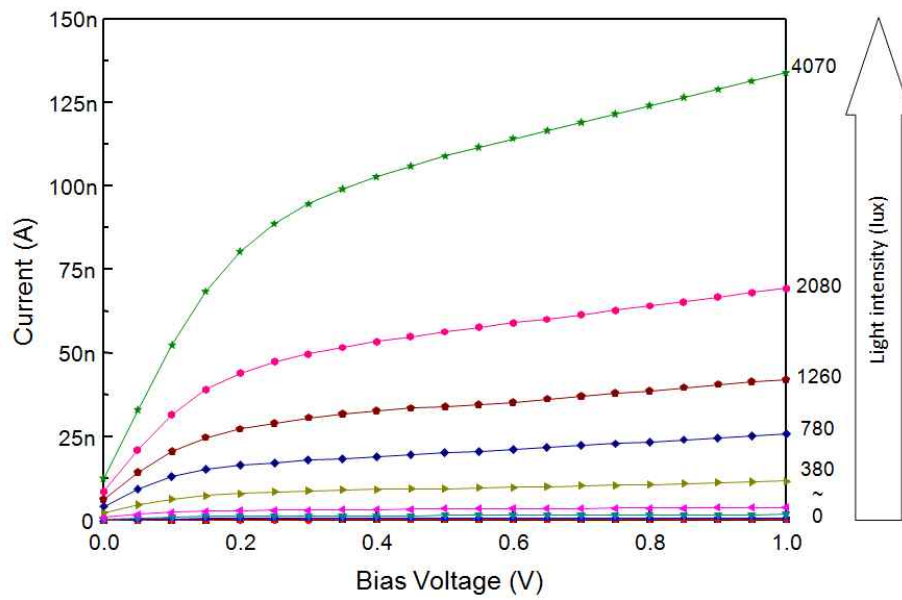
(d) 조도별 광 검출기 저항 값.

그림 2-31. NWPD Device(rigid type) #3의 전기적, 광학적 특성.

그림 2-32는 rigid한 형태의 실리콘 나노와이어 광 검출기 4번 소자에 대한 전기적 특성과 광학적 특성 조사 결과이다. 그림 2-32(a)는 dark 상태에서의 I-V 곡선으로서 역시 ohmic contact가 잘 형성되어 있으며, 그림 2-30(a)의 2번 소자의 I-V 곡선과 비슷하다. 그렇지만 2번 소자와는 달리 그림 2-32(b)의 빛의 세기에 따른 I-V 그래프에서 ohmic contact 특성이 잘 유지되는 것을 볼 수 있다. 그림 2-32(a)의 I-V 그래프에서 1 V 인가전압에서의 전류 레벨은 93 pA로 3번 소자보다도 낮은 것을 볼 수 있다. 그림 2-32(c)의 감도 그래프에서는 빛의 세기에 대한 감도의 관계가 3번 소자의 감도 그래프 그림 2-31(c) 보다는 훨씬 더 선형적임을 볼 수 있다. 감도의 최대값은 약 4,000 lux 빛의 세기에서 약 1,439의 매우 높은 값을 보이고 있다. 그림 2-32(d)의 빛의 세기에 대한 저항의 변화는 dark 상태 저항 값이 약 10.8 G Ω , 4,070 lux에서 약 7.5 M Ω 으로 두 저항 값의 비는 약 1,440.0으로 앞의 3번 소자 보다는 작은 값이지만 역시 빛의 조사에 따라 대단히 큰 저항 변화를 보이고 있다.

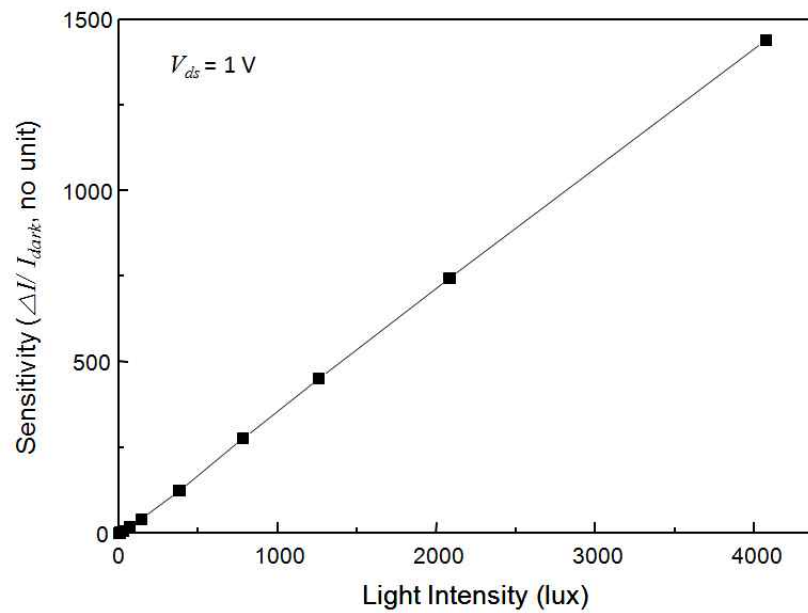


(a) I-V 곡선.

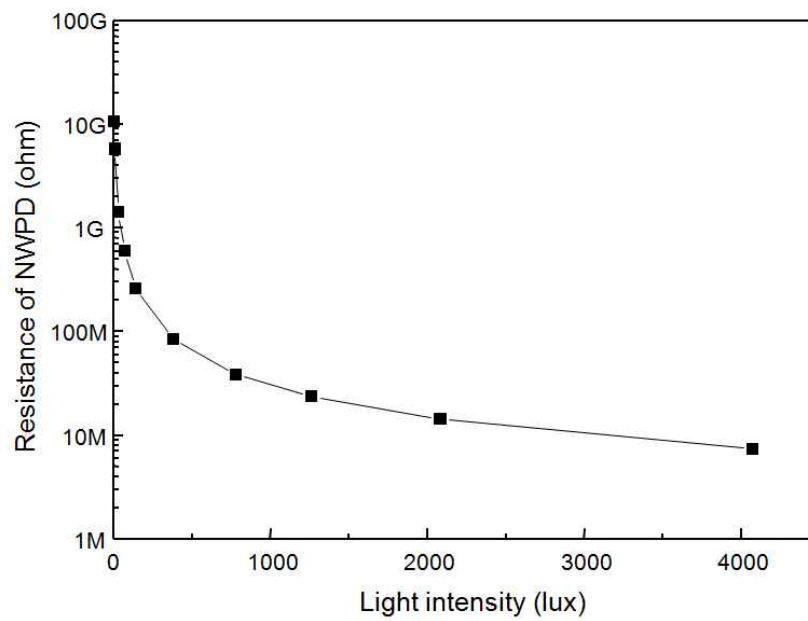


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-32. NWPD Device(rigid type) #4의 전기적, 광학적 특성.



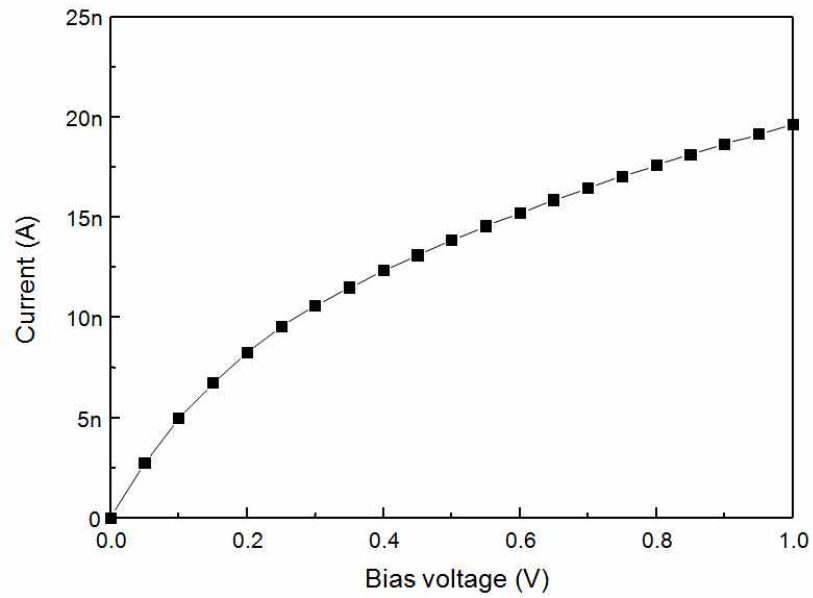
(c) 빛 세기별 광 검출기의 감도.



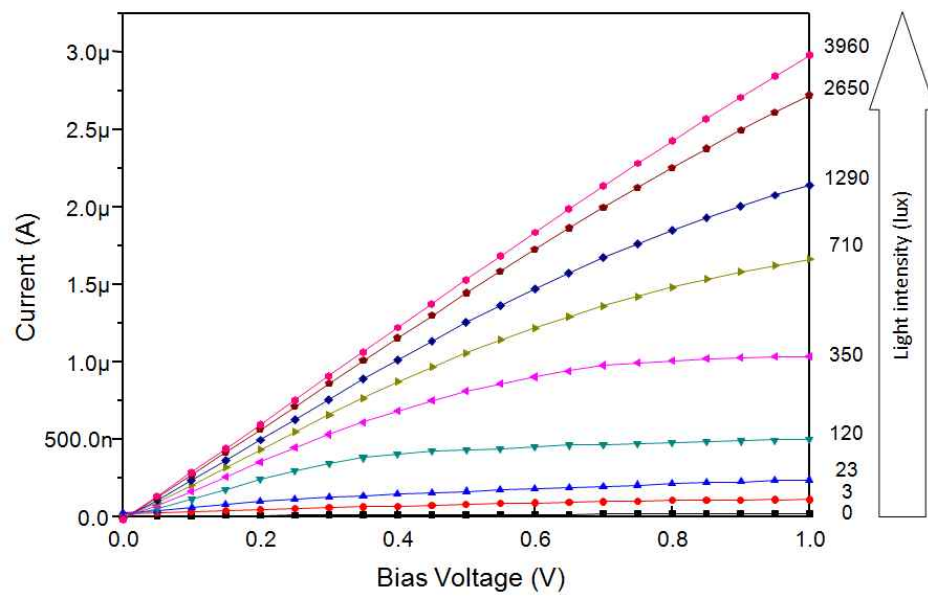
(d) 조도별 광 검출기 저항 값.

그림 2-32. NWPD Device(rigid type) #4의 전기적, 광학적 특성.

그림 2-33은 rigid한 형태의 실리콘 나노와이어 광 검출기 5번 소자에 대한 전기적 특성과 광학적 특성 조사 결과이다. 그림 2-33(a)는 dark 상태에서의 I-V 곡선으로서 역시 ohmic contact가 잘 형성되어 있으며, 그림 2-33(b)의 빛의 세기에 따른 I-V 그래프에서도 ohmic contact 특성은 잘 유지되는 것을 볼 수 있다. 그림 2-33(a)의 I-V 그래프에서 1 V 인가전압에서의 전류 레벨은 19.6 nA로 비교적 높은 값이다. 그림 2-33(c)의 감도 그래프에서는 빛의 세기에 대한 감도의 관계가 포물선의 형태를 가지고 있고, 감도의 최대값은 약 4,000 lux 빛의 세기에서 약 151로 광 검출기 1번 소자보다 약간 높은 감도를 보이고 있다. 그림 2-33(d)의 빛의 세기에 대한 저항의 변화는 dark 상태 저항 값이 약 50.9 M Ω , 3,960 lux에서 약 335.6 k Ω 으로 두 저항 값의 비는 약 151.7로 빛의 세기에 따라 비교적 양호한 변화를 보이고 있다.

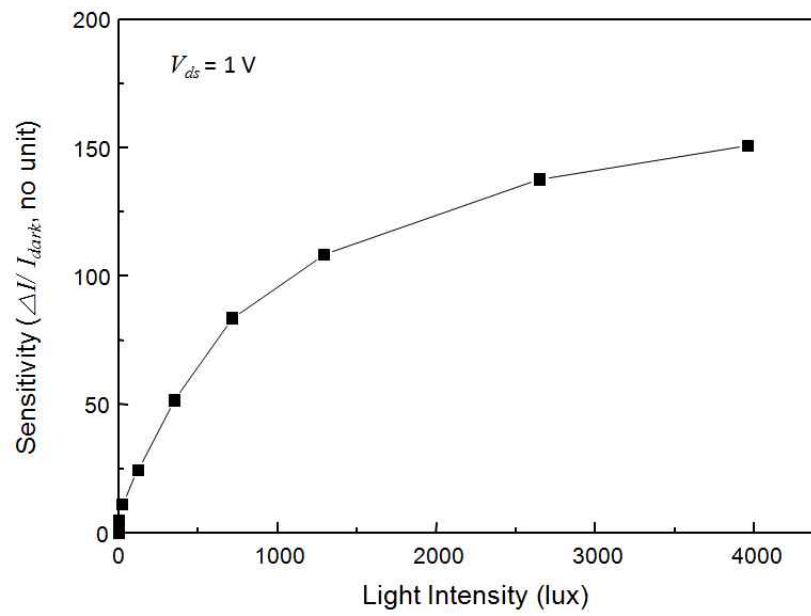


(a) I-V 곡선.

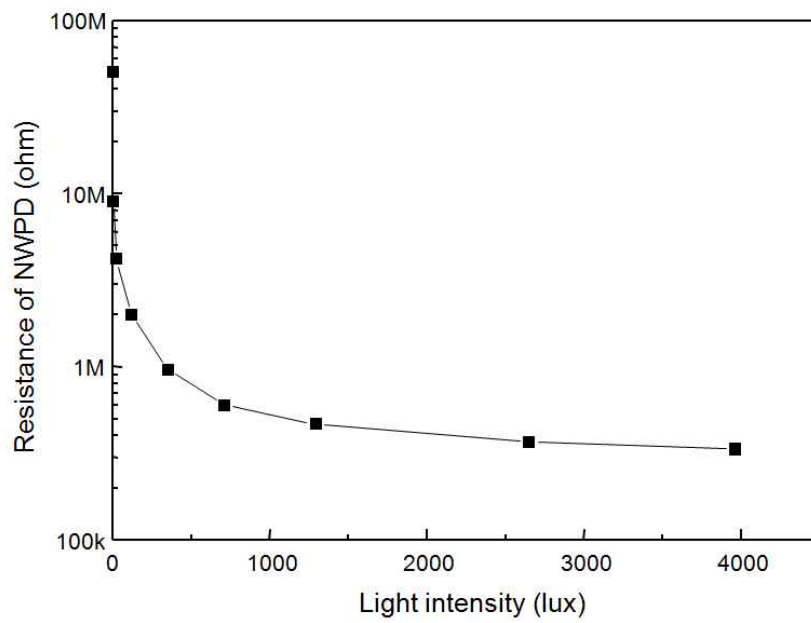


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-33. NWPD Device(rigid type) #5의 전기적, 광학적 특성.



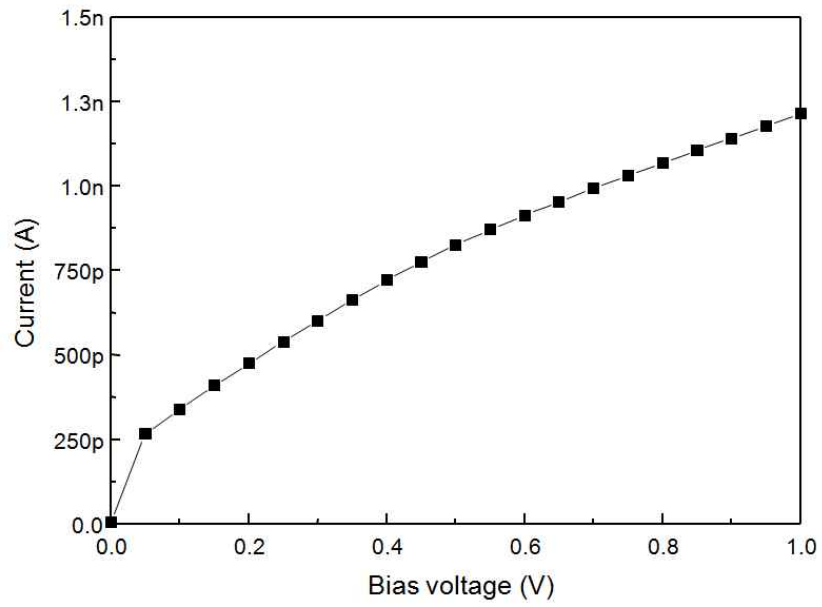
(c) 빛 세기별 광 검출기의 감도.



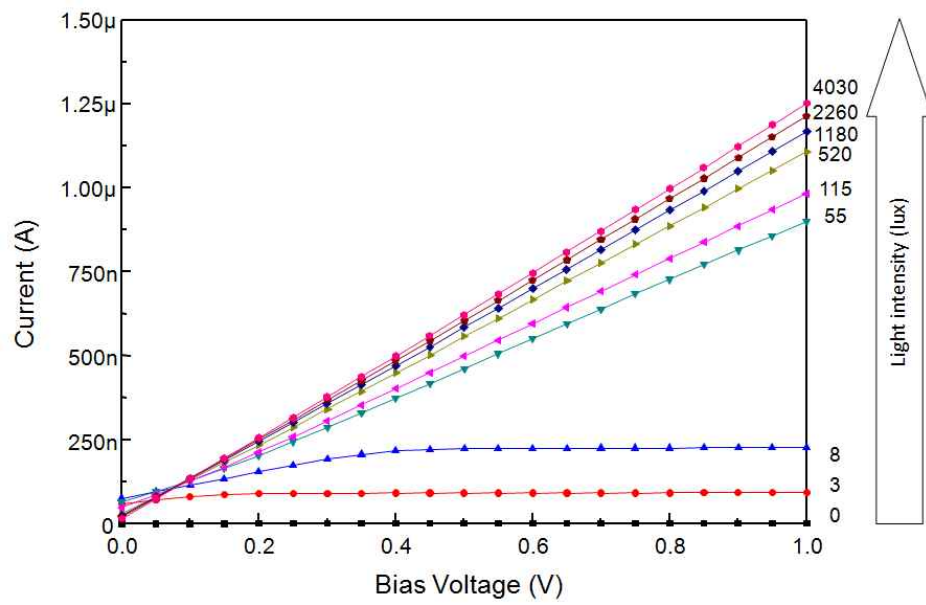
(d) 조도별 광 검출기 저항 값.

그림 2-33. NWPD Device(rigid type) #5의 전기적, 광학적 특성.

마지막으로 그림 2-34는 rigid한 형태의 실리콘 나노와이어 광 검출기 6번 소자에 대한 전기적 특성과 광학적 특성 조사 결과이다. 그림 2-34(a)는 dark 상태에서의 I-V 곡선으로서 역시 ohmic contact이 형성되어 있고, 그림 2-34(b)의 빛의 세기에 따른 I-V 그래프에서도 ohmic contact 특성은 잘 유지되고 있다. 그림 2-34(a)의 I-V 그래프에서 1 V 인가전압에서의 전류 레벨은 1.2 nA로 비교적 낮은 값이다. 그림 2-34(c)의 감도 그래프에서는 빛의 세기에 대한 감도의 관계에 있어 저조도에서 매우 심한 감도의 급격한 상승을 보이다가 높은 조도에서 감도의 변화가 완만해지는 형태를 가지고 있다. 감도의 최대값은 약 4,000 lux 빛의 세기에서 약 1,030로 높은 감도를 보이고 있다. 그림 2-34(d)의 빛의 세기에 대한 저항의 변화는 dark 상태 저항 값이 약 823.2 M Ω , 4,030 lux에서 약 798.4 k Ω 으로 두 저항 값의 비는 약 1031.3으로 아주 뛰어난 양호한 감도를 보이고 있다. 그러나 저항의 변화가 50 lux 이하의 저조도에서 급격히 변하는 특성을 보이고, 50 lux 이상에서는 완만한 저항 변화를 보임으로써 넓은 범위의 조도에서 사용하기에는 부적합한 특성을 가지고 있다.

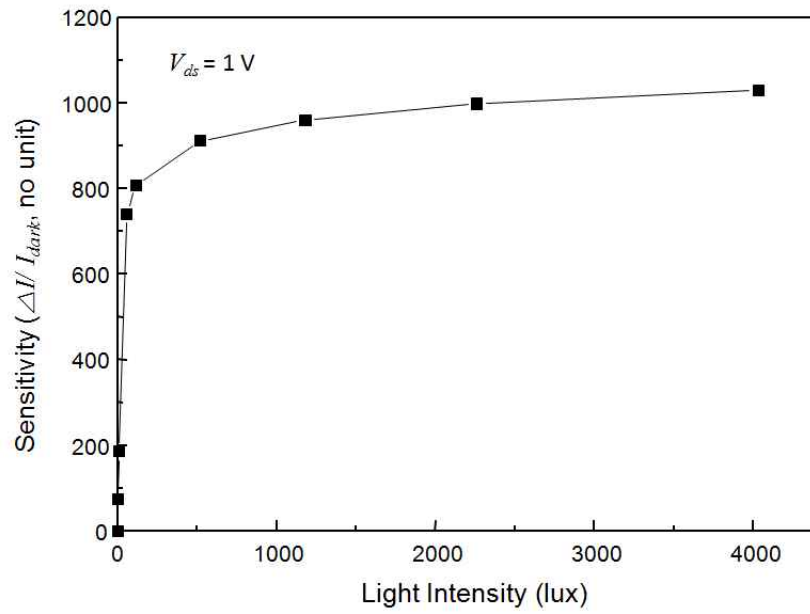


(a) I-V 곡선.

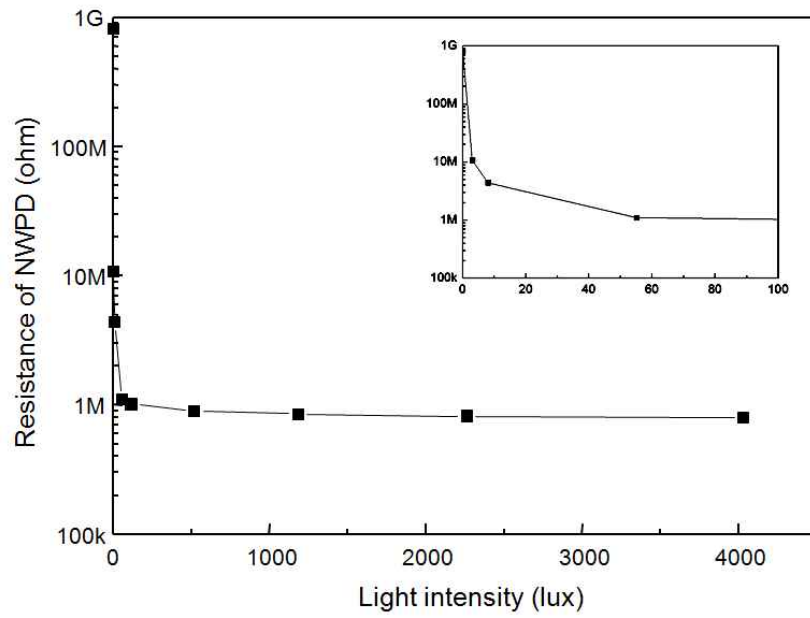


(b) 빛의 세기별 I-V 곡선의 변화.

그림 2-34. NWPD Device(rigid type) #6의 전기적, 광학적 특성.



(c) 빛 세기별 광 검출기의 감도.



(d) 조도별 광 검출기 저항 값.

그림 2-34. NWPD Device(rigid type) #6의 전기적, 광학적 특성.

앞에서 조사한 6개의 광 검출기 소자의 특성을 정리하여 표 2-3에 나타내었다. 2번의 소자를 제외한 나머지 모든 소자가 dark 상태의 광 검출기의 저항($R_{NWDP(dark)}$) 값과 약 4,000 lux 정도의 밝기 상태에서의 광 검출기의 저항($R_{NWDP(bright)}$) 값의 비가 100이 넘을 정도로 높은 감도를 가지고 있다. 2번 소자의 경우 메탈 전극이 dark 상태에서의 ohmic contact 특성을 보이지만, 빛을 조사하는 경우에는 rectifying contact 특성을 보이는 것으로 보아 완전한 ohmic contact 특성을 확보하지 못한 경우이다. 따라서 실리콘 나노와이어 광 검출기가 높은 감도를 확보하기 위해서는 메탈 전극의 ohmic contact이 반드시 이루어져야함을 알 수 있다. 한편 본 조사를 통해 실리콘 나노와이어 광 검출기의 감도는 dark 상태에서의 current level과 밀접한 관련이 있음을 알 수 있다. 표 2-3을 통해 볼 수 있듯이 3번, 4번, 6번 광 검출기 소자의 경우는 dark 상태에서의 전류레벨이 다른 소자보다 작은 값을 가지고 있지만, 저항의 변화 비율 및 감도는 1,000이 넘을 정도로 빛에 매우 민감한 특성을 보인다. 반면 1번, 5번 소자의 경우는 전류레벨이 5~20 nA 정도로 3번, 4번, 6번 소자에 비해 높은 전류 레벨을 가지고 있지만, 저항의 변화 비율 및 감도는 100~150 정도로서 3번, 4번, 6번 소자보다 상당한 작은 값을 보이고 있다. 감도가 매우 높게 나타난 6번 소자의 경우 저항 변화 비율 및 감도가 1,000이 넘을 정도로 우수하지만, 변화 구간이 20 lux 이하에서 민감할 뿐 그 이상에서는 변화율이 급격히 낮아지는 단점이 있어 광 검출기의 사용에 있어 조도의 사용 범위가 작은 단점을 가지고 있다. 이상의 결과를 종합해보면, 1번~6번 소자중 광 검출기로서 가장 좋은 특성을 보인 것은 3번과 4번 검출기로서, 두 소자의 공통점은 dark 상태의 전류, 즉 암전류 값이 작고, 감도 값이 1,000 이상이며, 감도 곡선이 거의 선형적인 특성을 보이고 있다.

앞의 결과를 통해 광 검출기의 감도를 결정하는 가장 중요한 파라미터로서 암전류 레벨을 들 수 있으며, 암전류가 작을수록 광 검출기의 감도가 높게 나타남을 살펴보았다. 실리콘 나노와이어 광 검출기의 암전류는 실리콘 나노와이어 내에서의 캐리어의 불규칙한 운동에 기인하고, 암전

류의 크기는 소자의 온도와 전도도에 직접적으로 비례하므로 낮은 암 전류를 위해서 낮은 온도의 동작과 낮은 도핑레벨의 소자 제작이 필요하다고 기술한 바 있다. 3번, 4번, 6번 소자의 경우 낮은 암전류와 높은 감도의 특성을 보이는 이류로, 소자 제작 과정에서 의도하지는 않았지만 웨이퍼 위치별로 공정 불균일성으로 인한 실리콘 나노와이어의 도핑 레벨이 낮게 유지된 결과일 가능성이 있다. 왜냐하면 본 실리콘 나노와이어 광 검출기 제작 과정에서는 초기 기판의 base doping 상태에서 소자 제작을 진행했을 뿐 실리콘 나노와이어의 도핑 레벨을 일정하게 맞추기 위한 별도의 도핑 과정을 거치지 않았기 때문이다. 따라서 실리콘 나노와이어 광 검출기의 감도를 높이고 재현성 있게 제작하기 위해서는 웨이퍼 전체적으로 도핑 레벨을 낮춤과 동시에 웨이퍼 위치별로 도핑 농도를 일정하게 맞추는 제조 공정의 개발이 필요하다. 이를 위해서는 base 기판의 농도가 가능한 낮은 기판을 이용하여 공정을 시작하고, 실리콘 나노와이어 제작 후 실리콘 나노와이어에 일정 수준의 추가적인 도핑 공정을 실시하는 것이 바람직할 것이다.

표 2-3. 실리콘 나노와이어 광 검출기 소자별 특성 요약

	Device #1	Device #2	Device #3	Device #4	Device #5	Device #6
Ohmic contact (dark 상태)	○	○	○	○	○	○
Ohmic contact (빛 조사시)	○	×	○	○	○	○
암전류 레벨 (@ 1V)	10.4 nA	5.5 nA	179.4 pA	93.0 pA	19.6 nA	1.2 nA
전류 레벨 (@bright, 1V)	1.3 μ A	95.9 nA	0.4 μ A	0.1 μ A	3.0 μ A	1.3 μ A
$R_{NWPD(dark)}$	96.0 M Ω	182.2 M Ω	5.6 G Ω	10.8 G Ω	50.9 M Ω	823.2 M Ω
$R_{NWPD(bright)}$	773.9 k Ω	10.4 M Ω	2.9 M Ω	7.5 M Ω	335.6 k Ω	798.4 k Ω
$\frac{R_{NWPD(dark)}}{R_{NWPD(bright)}}$	124.0	17.5	1,931.0	1,440.0	151.7	1031.6
감도(최대값)	123	16	1,936	1,439	151	1,030
감도 곡선의 선형성	완만한 포물선형	급격한 포물선형	거의 선형적	거의 선형적	완만한 포물선형	급격한 포물선형
성능 종합 평가 ³⁾	○	×	●	●	○	△

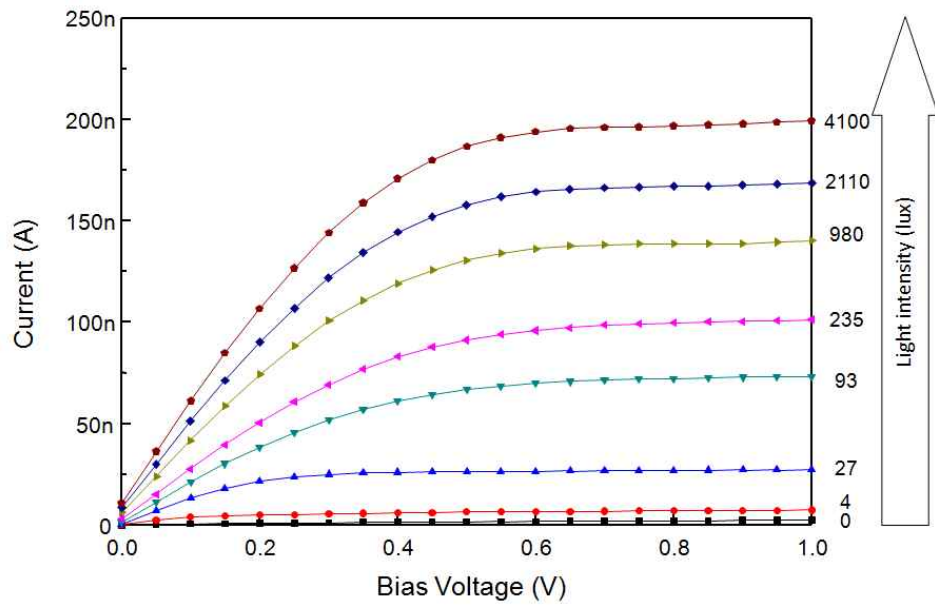
3) 실리콘 나노와이어 광 검출기 성능에 대한 주관적인 평가임.

● : 아주 좋음, ○ : 좋음, △ : 나쁘지 않음, × : 좋지 않음

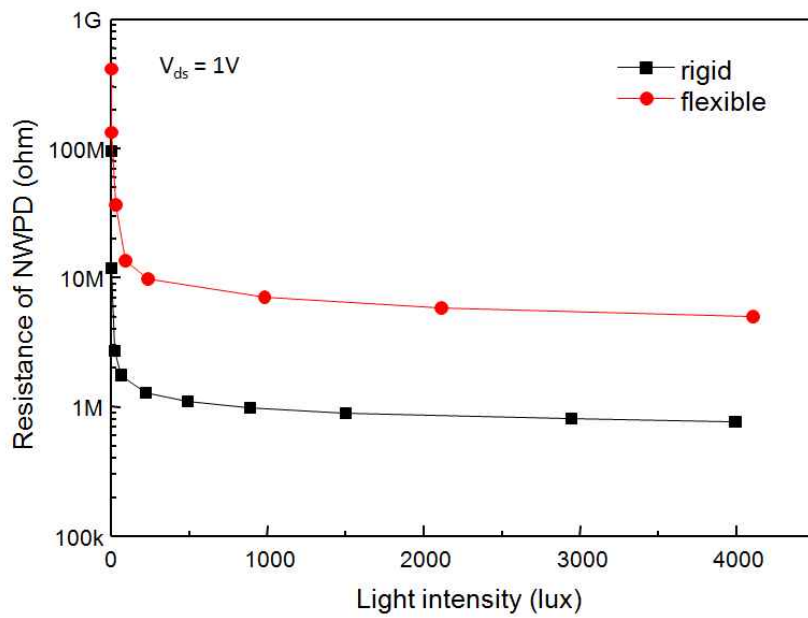
2.4. Flexible한 형태로 제작된 실리콘 나노와이어 광 검출기의 특성 평가

앞 절에서 rigid한 형태로 제작된 실리콘 나노와이어 광 검출기의 전기적, 광학적 성능을 조사하였다. 이번 절에서는 앞에서 전기적, 광학적 특성평가에 이용되었던 소자들중 4개(1번, 3번, 4번, 6번)를 선정하여 그림 2-26의 과정을 통해 그림 2-27의 flexible 한 형태로 광 검출기의 형태를 변환한 후 앞 절에서 rigid한 형태의 광 검출기에서 실시했던 특성 평가 방법을 그대로 적용하여 rigid한 형태에서의 전기적, 광학적 성능이 flexible한 형태로 변환된 후에도 잘 유지되는지 조사하였다.

그림 2-35는 실리콘 나노와이어 광 검출기 1번 소자를 이용하여 rigid한 형태에서 flexible한 형태로 변환된 후의 특성 평가 결과이다. 먼저 그림 2-35(a)는 flexible한 형태로 변환된 광 검출기 1번 소자를 이용하여 dark 상태에서 빛의 세기를 점점 증가시키면서 I-V 특성을 측정한 결과이다. 빛의 세기가 증가함에 따라 전류레벨이 점점 증가하는 것을 볼 수 있으며, 모든 곡선이 ohmic contact 특성을 잘 보이는 것을 확인할 수 있다. 모든 곡선에서 ohmic contact이 확보됨에 따라 앞에서 살펴본 바와 같이 광 검출기의 감도가 우수할 것이라고 기대할 수 있다. 그림 2-35(b)는 rigid한 형태에서 flexible한 형태로 변환된 소자의 빛의 조도에 따른 저항 변화를 광 검출기 형태 변환 전후를 비교하여 나타낸 그림이다. Flexible한 형태로 변환된 후 대체로 저항 레벨이 약 10배 정도 증가한 것을 볼 수 있으며 보다 정량적으로 살펴보면, 1번 소자의 경우 rigid한 상태에서는 dark 상태의 저항 값($R_{NWPD(dark)}$)은 약 96.0 MΩ, 4,000 lux 정도의 밝은 상태에서의 저항 값($R_{NWPD(bright)}$)은 약 773.9 kΩ으로 저항 변화 비율($R_{NWPD(dark)}/R_{NWPD(bright)}$)은 약 124.0이었고, flexible한 상태에서는 $R_{NWPD(dark)}$ 은 약 415.5 MΩ, $R_{NWPD(bright)}$ 은 약 5.0 MΩ으로 저항 변화 비율은 약 83.1로 나타났다. 결과적으로 광 검출기가 rigid한 형태에서 flexible한 형태로 변환됨에 따라 저항 레벨은 증가했고, 저항의 변화 비율은 변환전의 변화 비율의 약 66.5% 수준으로 감소하였다.



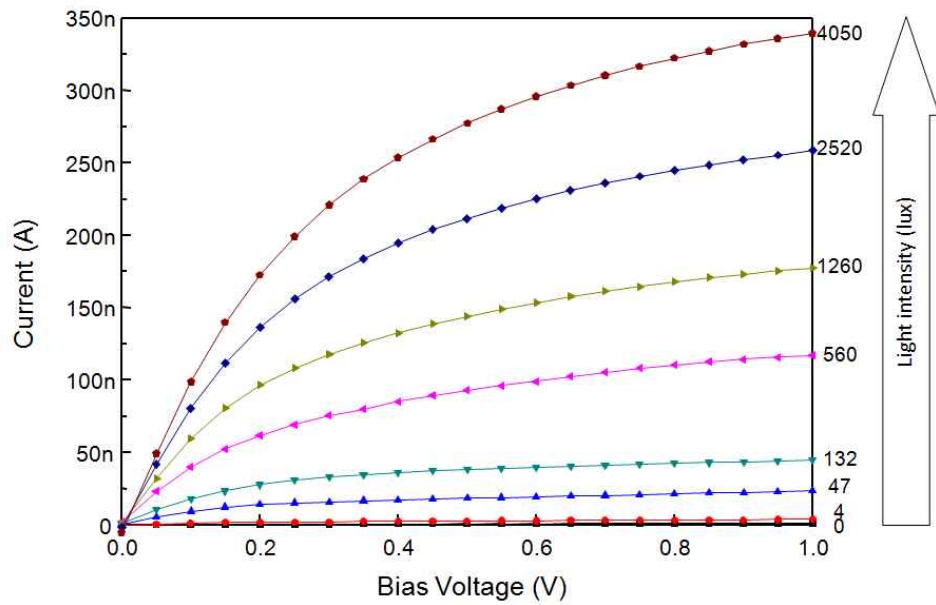
(a) 빛의 세기별 I-V 곡선의 변화.



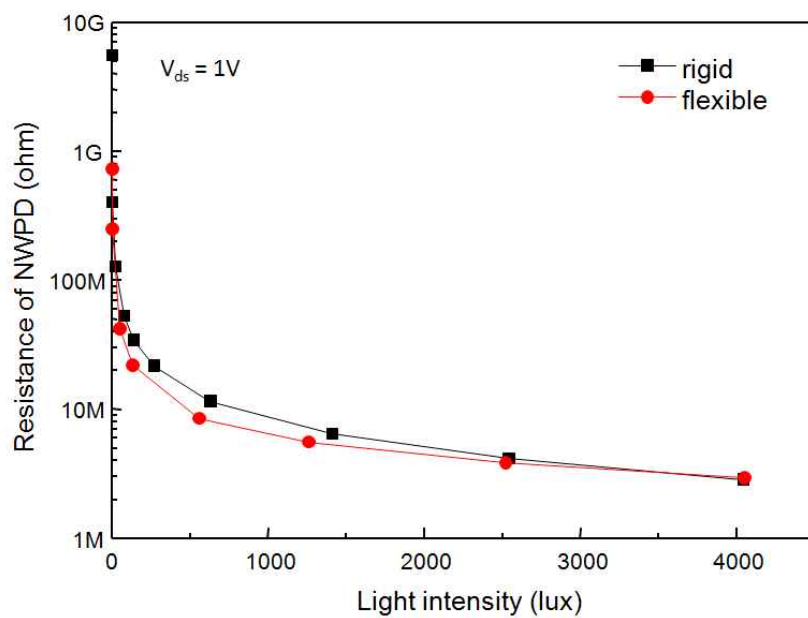
(b) 조도별, 광 검출기 형태별 저항 변화 비교.

그림 2-35. NWPD device #1의 형태 변환(rigid→flexible)후 전기적, 광학적 특성.

그림 2-36은 실리콘 나노와이어 광 검출기 3번 소자의 형태 변환 후 특성 평가 결과이다. 먼저 그림 2-36(a)는 flexible한 형태로 변환된 후 dark 상태에서 빛의 세기를 점점 증가시키면서 I-V 특성을 측정한 결과이다. 역시 모든 곡선에서 ohmic contact 특성이 잘 유지되는 것을 볼 수 있다. 그림 2-36(b)는 rigid한 형태와 flexible한 형태의 저항 변화 비교 그래프로써, flexible한 형태로 변환된 후 저항 레벨이 거의 비슷한 것을 볼 수 있다. 정량적으로는, rigid한 형태에서는 $R_{NWPD(dark)}$ 은 약 5.6 GΩ이고, $R_{NWPD(bright)}$ 은 약 2.9 MΩ으로 저항 변화 비율은 약 1,931.0이었고, flexible한 상태에서는 $R_{NWPD(dark)}$ 은 약 736.7 MΩ, $R_{NWPD(bright)}$ 은 약 2.9 MΩ으로 저항 변화 비율은 약 254.0으로 나타났다. 즉 광 검출기의 형태 변환에 따라 저항 레벨은 오히려 약간 감소했고, 저항의 변화 비율은 변환전의 저항 변화 비율의 약 13.2% 수준으로 크게 감소하였다. 저항의 변화 비율이 큰 폭으로 감소한 이유는 dark 상태에서의 광 검출기의 저항 값이 rigid한 상태에서는 5.6 GΩ의 큰 값을 보이던 것이 flexible한 상태로 변환되면서 약 1/8 수준으로 감소했기 때문이다. 저항이 감소한 이유로는 flexible한 상태로 변환하는 과정에서 나노와이어 표면으로의 불순물의 유입으로 도핑 레벨이 높아졌을 가능성이 있다. 앞에서 설명한 바와 같이 실리콘 나노와이어의 도핑 레벨을 낮게 유지하는 것이 광 검출기의 이득 및 감도 향상을 위한 필수 사항임을 설명한 바 있는데, 공정과정에서의 불순물의 유입이 저항 값의 감소와 감도의 저하를 가져온 것으로 보인다.



(a) 빛의 세기별 I-V 곡선의 변화.

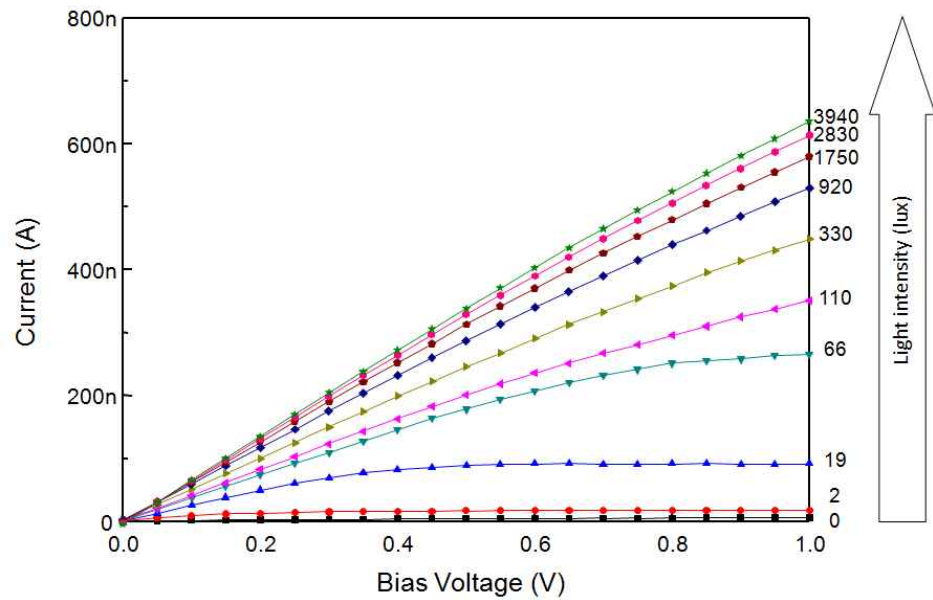


(b) 조도별, 광 검출기 형태별 저항 변화 비교.

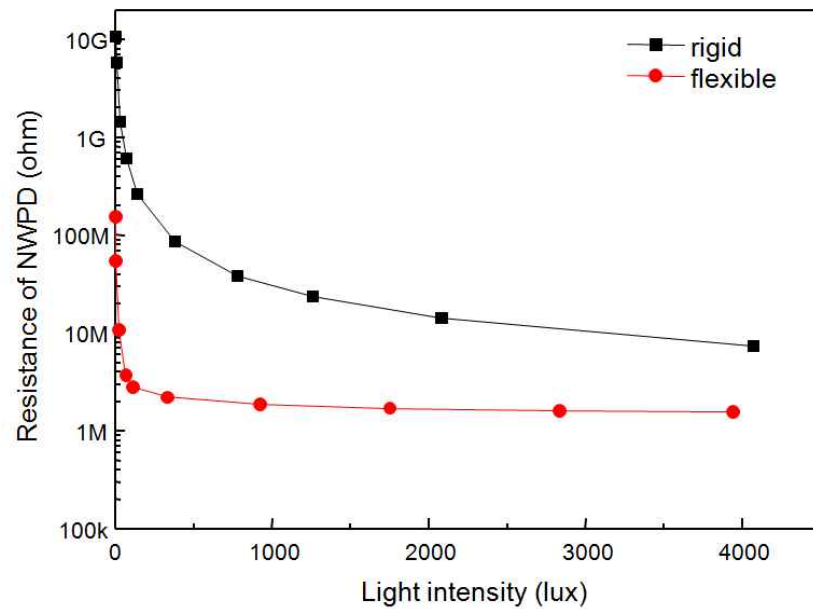
그림 2-36. NWPD Device #3의 형태 변환(rigid →flexible)후 전기적, 광학적 특성.

그림 2-37은 실리콘 나노와이어 광 검출기 4번 소자에 대한 특성 평가 결과이다. 먼저 그림 2-37(a)는 flexible한 형태로 변환된 후 dark 상태에서부터 빛의 세기를 점점 증가시키면서 I-V 특성을 측정한 결과이며, 그림 2-37(b)는 rigid한 형태와 flexible한 형태의 저항 변화 비교 그래프이다. Flexible한 형태로 변환된 후 대체로 저항 레벨이 크게 감소하였다. 정량적으로 살펴보면, rigid한 형태에서는 $R_{NWPD(dark)}$ 은 약 10.8 GΩ이고, $R_{NWPD(bright)}$ 은 약 7.5 MΩ으로서 저항 변화 비율은 약 1,440.0이었고, flexible한 상태로 변환 후에는 $R_{NWPD(dark)}$ 은 약 157.3 MΩ, $R_{NWPD(bright)}$ 은 약 1.6 MΩ으로서 저항 변화 비율은 약 100.2로 나타났는데, 저항의 변화 비율이 변환전의 저항 변화 비율의 약 7.0% 수준으로 크게 감소하였다. 저항 변화 비율이 크게 감소한 이유는 3번 소자와 마찬가지로 dark 상태에서의 광 검출기의 저항 값이 flexible한 상태로 변환하는 과정에서 거의 1/70 수준으로 크게 감소했기 때문이다.

그림 2-38은 실리콘 나노와이어 광 검출기 6번 소자에 대한 특성 평가 결과이다. 먼저 그림 2-38(a)는 flexible한 형태로 변환된 후 빛의 세기별 I-V 특성 측정 결과이며, 그림 2-38(b)는 rigid한 형태와 flexible한 형태의 저항 변화 비교 그래프이다. Flexible한 형태로 변환된 후 대체로 저항 레벨이 크게 감소했는데, rigid한 형태에서는 $R_{NWPD(dark)}$ 은 약 823.2 MΩ이고, $R_{NWPD(bright)}$ 은 약 798.4 kΩ으로서 저항 변화 비율은 약 1031.3이었고, flexible한 상태에서는 $R_{NWPD(dark)}$ 은 약 202.6 MΩ, $R_{NWPD(bright)}$ 은 약 931.4 kΩ으로 저항 변화 비율은 약 217.5로 나타났으며, 저항의 변화 비율이 변환전의 저항 변화 비율의 약 21.1% 수준으로 크게 감소하였다. 저항 변화 비율이 감소한 이유는 앞의 경우와 마찬가지로 dark 상태에서의 광 검출기의 저항 값이 flexible한 상태로 변환한 후 거의 1/4 수준으로 약간 감소했기 때문이다.

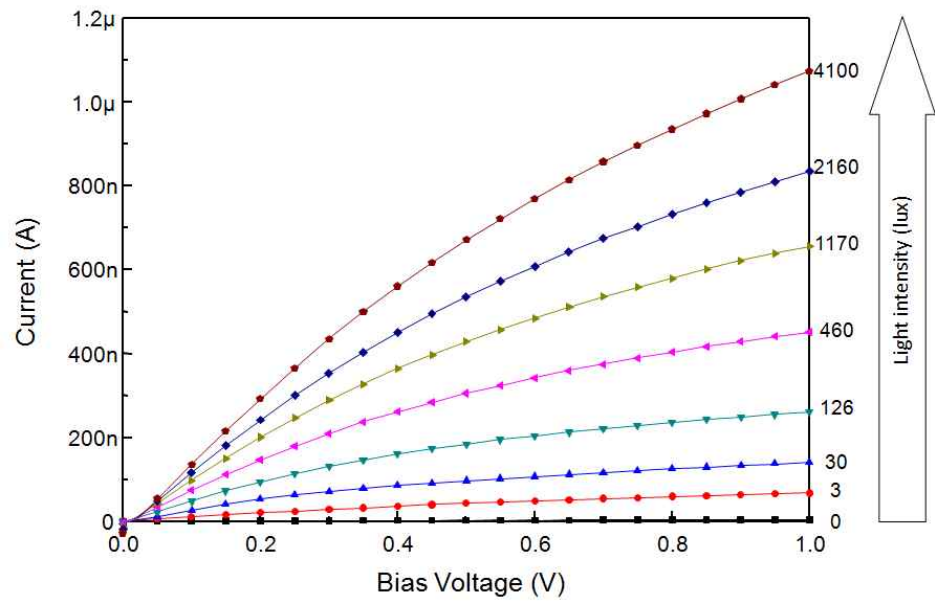


(a) 빛의 세기별 I-V 곡선의 변화.

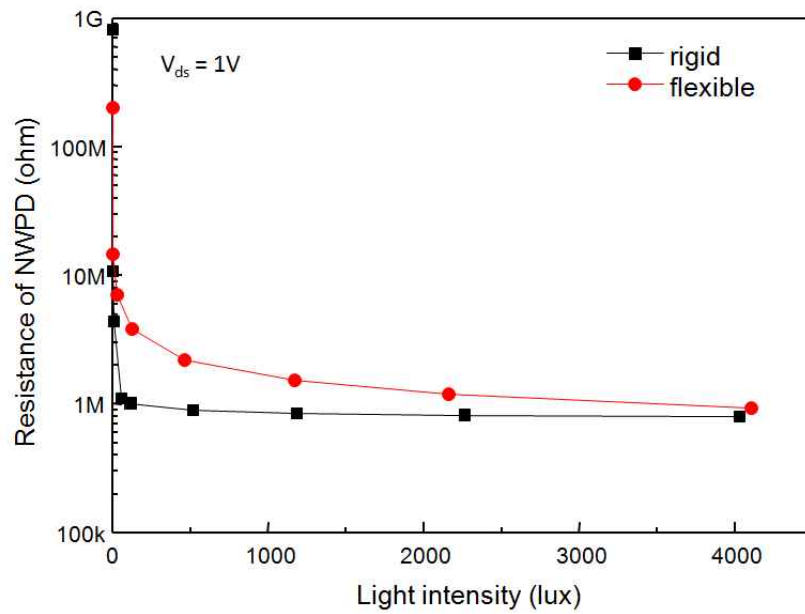


(b) 조도별, 광 검출기 형태별 저항 변화 비교.

그림 2-37. NWPD Device #4의 형태 변환(rigid →flexible)후 전기적, 광학적 특성.



(a) 빛의 세기별 I-V 곡선의 변화.



(b) 조도별, 광 검출기 형태별 저항 변화 비교.

그림 2-38. NWPD Device #6의 형태 변환(rigid →flexible)후 전기적, 광학적 특성.

표 2-4에 rigid한 형태의 실리콘 나노와이어 광 검출기와 flexible한 형태로 변환된 광 검출기의 특성을 비교하였다. Flexible한 형태로 변환되면서 dark 상태서의 저항 값은 1번 소자를 제외하고는 모두 상당히 많이 감소하는 경향을 보였다. 저항 값이 감소한 이유는 광 검출기의 형태 변환을 위한 공정중에 실리콘 나노와이어로의 불순물이 유입으로 인한 실리콘 나노와이어의 저항의 감소 때문으로 추측된다. 한편 1번 소자는 3, 4, 6번 소자와는 달리 저항 값이 오히려 증가했는데, flexible한 형태로 변환하는 과정에서의 기계적인 응력에 의한 저항 증가 및 메탈 전극의 contact 저항 변화 등을 그 원인으로 생각해 볼 수 있다.

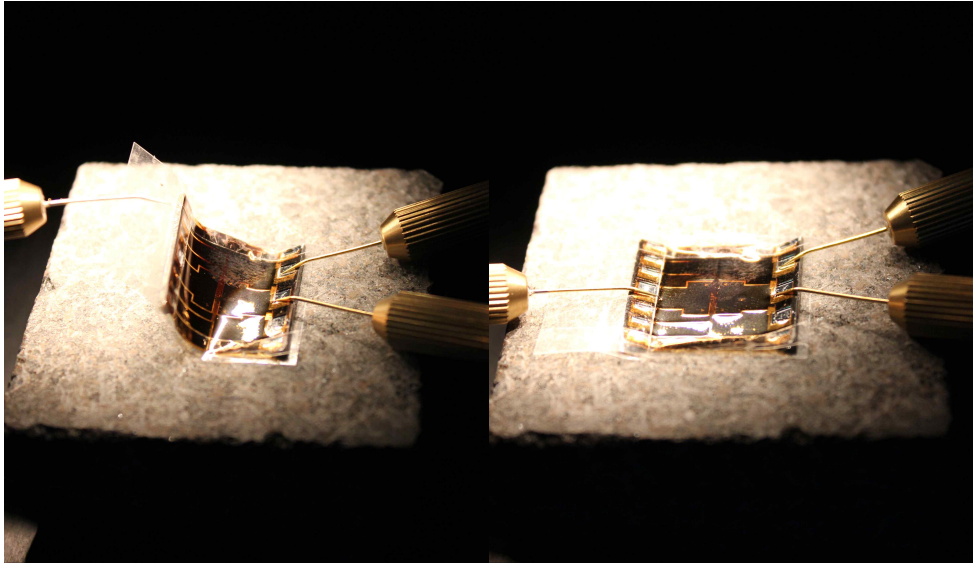
저항 레벨이 감소한 3번, 4번, 6번 소자에서는, 실리콘 나노와이어로의 불순물 유입으로 인한 불순물 농도의 증가는 암전류의 증가 및 검출기 감도의 저하를 초래하며, 표에서도 이러한 결과를 확인할 수 있다. 그렇지만 저항 변화 비율이 100이 넘는 등 비교적 우수한 성능을 유지하고 있음을 볼 수 있다.

이상의 결과를 종합해 볼 때 flexible한 형태로 변환되면서 rigid한 형태로 제작했을 때 가졌던 것보다 대체로 성능이 감소되었다. 그렇지만 본 실험 결과는 rigid한 상태로 검출기를 먼저 제작하여 성능 평가를 한 후, 같은 소자를 flexible한 상태로 변환한 후 성능 평가를 통한 형태 변환 전, 후의 특성 비교가 주 목적이었고, flexible한 형태의 광 검출기 소자를 제작할 목적으로 설계된 공정이 아님을 감안해야 한다. 따라서 flexible한 형태의 광 검출기 소자의 제작 공정은 그림 2-25 및 2-26을 따르지 않을 것이다. 망막 자극기에 적용하기 위한 flexible한 형태의 실리콘 나노와이어 광 검출기 제조 공정 및 결과는 2장 5절을 통해 다루고자 한다.

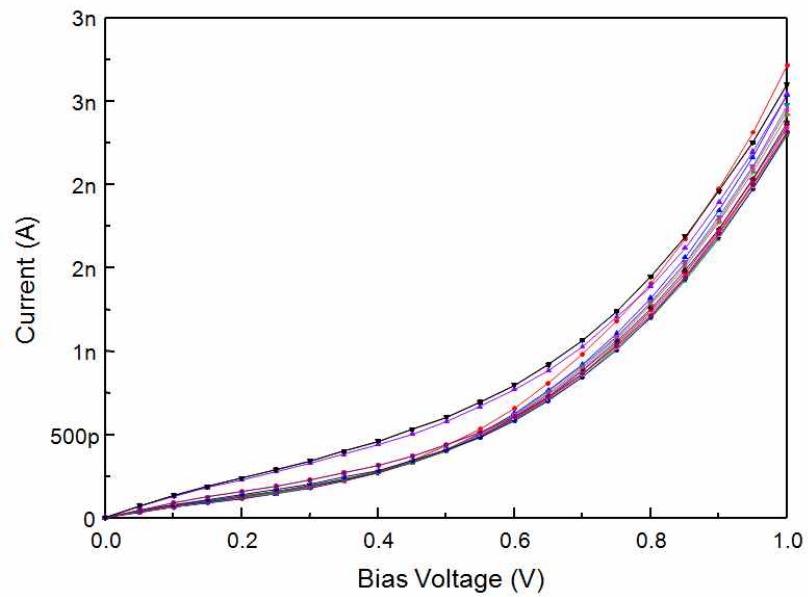
표 2-4. 실리콘 나노와이어 광 검출기의 형태 변환 후 특성 비교

		Device #1	Device #3	Device #4	Device #6
$R_{NWPD(dark)}$	rigid	96.0 M Ω	5.6 G Ω	10.8 G Ω	823.2 M Ω
	flexible	415.5 M Ω (\uparrow)	736.7 M Ω ($\downarrow \downarrow$)	157.3 M Ω ($\downarrow \downarrow$)	202.6 M Ω (\downarrow)
$R_{NWPD(bright)}$	rigid	773.9 k Ω	2.9 M Ω	7.5 M Ω	798.4 k Ω
	flexible	5.0 M Ω (\uparrow)	2.9 M Ω (\simeq)	1.57 M Ω (\downarrow)	931.4 k Ω (\simeq)
$\frac{R_{NWPD(dark)}}{R_{NWPD(bright)}}$	rigid	124.0	1,931.0	1,440.0	1031.1
	flexible	83.1 (\downarrow)	254.0 ($\downarrow \downarrow$)	100.2 ($\downarrow \downarrow$)	217.5 ($\downarrow \downarrow$)
성능 평가	rigid	○	●	●	●
	flexible	△	○	○	○

한편 flexible한 형태로 제작된 실리콘 나노와이어 광 검출기가 망막 자극기 구성요소로서 사용되기 위해서는 약간의 기계적인 변형이 가해져도 그 기능을 잘 유지해야 한다. 망막 자극기를 안구에 이식하는 과정에서 망막 자극기를 다루는 과정에서 약간의 기계적인 변형 등이 유발될 수 있기 때문이다. 기계적인 변형이 가해진 후에도 flexible한 형태로 제작된 실리콘 나노와이어 광 검출기의 성능이 유지되는지 여부를 살펴보기 위해 굽힘 시험(bent test)을 진행하였다. Flexible 실리콘 나노와이어 광 검출기는 제작 직후 그림 2-27과 같이 잔류응력에 의해 둥글게 휘 형태를 하고 있다. 이러한 휘 상태의 소자를 평평하게 펴는 것은 소자에 응력(stress)을 가하는 것과 같다. 이러한 이유로 본 논문에서는 간단한 방법의 굽힘 시험을 진행하였다. 그림 2-39(a)와 같이 2개의 probe는 광 검출기의 전류를 측정하기 위해 두 개의 전극에 probing하는데 이용하고, 별도의 1개의 probe는 소자를 눌렀다 떼기를 반복하는, 소자에 기계적인 응력을 가하는 용도로 사용하였다. 측정은 10번의 굽힘 횟수마다 소자의 I-V 특성을 측정하는 방법으로 이루어졌다. 그림 2-38(b)는 총 220회의 굽힘을 가한 후의 I-V 특성 측정 결과이다. Bent 횟수에 따라 전류레벨의 변화가 약간 생기는 것을 확인할 수 있다. 그렇지만 소자가 파괴되어 전류가 흐르지 않거나 현저하게 전류 레벨이 감소하는 현상은 발견되지 않았다. 그림 2-39(c), (d)는 그림 2-39(b)의 I-V 그래프로부터 1 V 인가전압에서의 굽힘 횟수에 따른 전류 및 저항의 변화를 나타낸 그림이다. 굽힘 횟수에 따라 전류 및 저항의 미미한 변화를 관찰할 수 있지만 소자가 파괴되는 현상은 발생하지 않았다. 따라서 flexible한 형태로 제작된 광 검출기가 망막 자극기의 구성요소로 사용하는데 있어 큰 문제가 없다는 점을 확인할 수 있다.

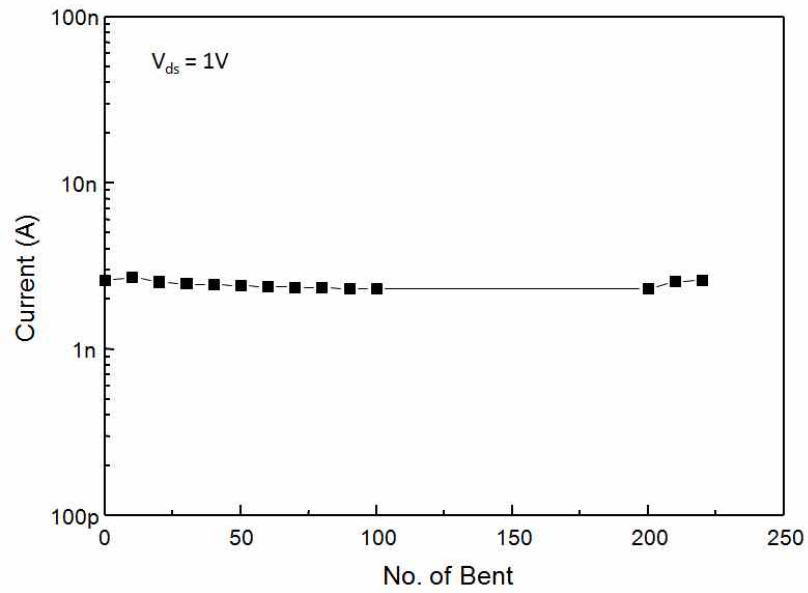


(a) 굽힘 시험 방법.

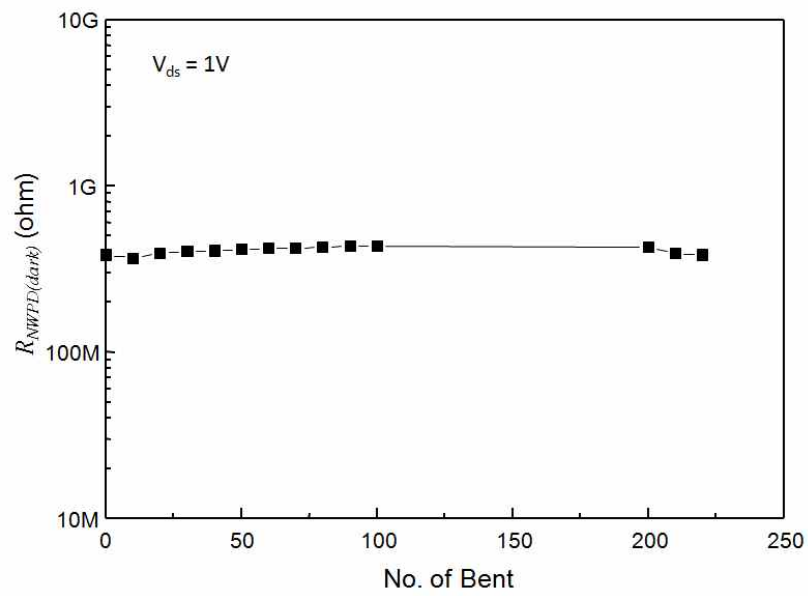


(b) 굽힘 회수에 따른 I-V 특성 변화.

그림 2-39. Flexible 실리콘 나노와이어 광 검출기의 굽힘 시험.



(c) 굽힘 회수에 따른 전류 변화.



(d) 굽힘 회수에 따른 저항 변화.

그림 2-39. Flexible 실리콘 나노와이어 광 검출기의 굽힘 시험.

2.5. 실리콘 나노와이어 광 검출기의 응답도 조사

앞에서는 제작된 실리콘 나노와이어 광 검출기를 이용하여 빛의 조사에 의한 전류 및 저항 변화, 즉 감도에 관한 특성 평가 결과를 살펴보았다. 다음으로는 실리콘 나노와이어 광 검출기의 응답도(responsivity)에 대해 살펴보려고 한다. 응답도는 광 검출기 등에서 입사된 광량 대비 출력 전류의 비로서 나타내며, 단위는 A/W 를 사용하며, 입사되는 광 전력에 비례하여 발생하는 photocurrent와 관계되는 비례상수이다. 응답도는 광 검출 성능, 광-전 변환 이득에 관계되기 때문에 응답도가 높을수록 수신기의 감도가 우수하게 된다. 이론적인 최대 응답 특성은 양자효율(quantum efficiency)이 100%일 때를 의미하며, 대부분의 상용소자의 경우 양자효율은 70~90% 정도이다. 그러나 파장에 따른 응답특성, 즉 양자효율이 다르기 때문에 각 소자별로 특정 파장에서의 응답특성 또는 최대 응답특성을 갖는 파장 등을 사양서에 명시하게 된다(그림 2-40 참조. Hamamatsu사의 APD(Avalanche Photodiode) 광 검출기의 응답도 그래프). 일반적으로 0.8 μm 파장에서의 스펙을 비교하기도 한다.

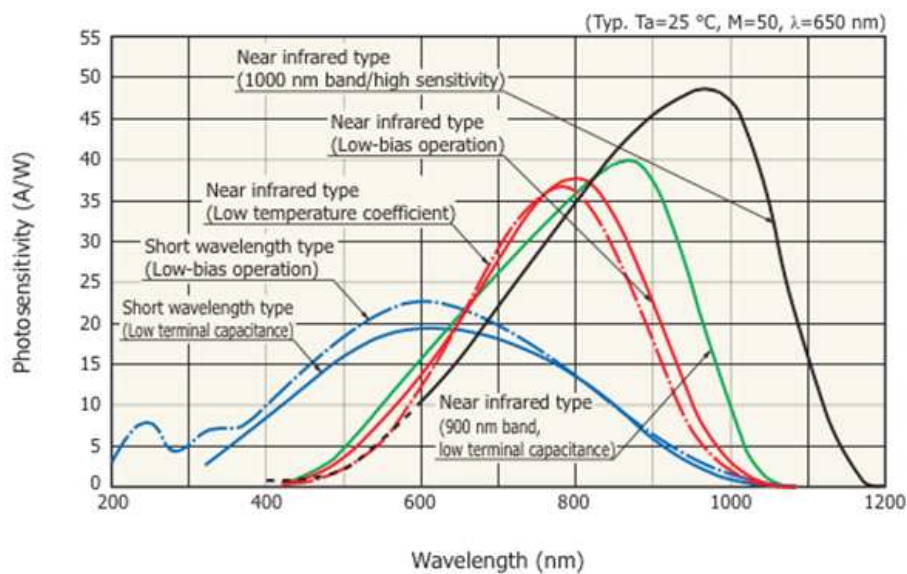


그림 2-40. Hamamatsu사의 APD의 응답도 그래프.

응답도는 다음 식으로 기술한다.

$$R = \frac{I}{P} = \eta \frac{q}{h\nu} \quad (\text{단위 : } A/W) \quad (12)$$

여기서, P 는 입사되는 광 전력이며, I 는 photocurrent이다. 보통 응답도는 p-i-n photodiode의 경우 0.5~0.7 정도의 값을 가지며, APD의 경우는 눈사태 효과(avalanche effect)에 의한 증폭 작용으로 그림 2-40에 보이는 것처럼 약 50 정도의 높은 값을 가지는 소자도 등장하였다.

본 논문에서는 제작된 실리콘 나노와이어 광 검출기의 응답도 조사를 위해 단일 파장의 빛을 조사할 수 있는 monochromator를 이용하였다. 먼저 dark 상태의 암전류 측정을 위해 빛을 조사하지 않은 상태에서 실리콘 나노와이어 광 검출기의 I-V 특성을 측정한다. 그리고 monochromator를 이용하여 400 nm, 500 nm, 600 nm, 800 nm 각 단일 파장의 빛을 실리콘 나노와이어 광 검출기에 조사한 후 I-V 특성을 측정한 후 빛의 조사전과 조사후의 current의 차이를 계산하여 photocurrent를 구한다. 각 파장별로 photocurrent가 얻어지면 조사된 빛의 파워와 광 검출기의 수광 면적을 고려하여 식 (12)를 통해 응답도를 구한다.

표 2-5는 응답도 측정에 사용된 8개의 실리콘 나노와이어 광 검출기 소자의 사양을 정리한 것이고, 표 2-6은 monochromator의 각 파장별 출력 파워이다. 측정에 이용된 광 검출기는 모두 rigid한 형태이며, 1번~4번 소자는 실리콘 나노와이어의 굵기가 70 nm이며, 5번~8번 소자는 실리콘 나노와이어의 굵기가 150 nm이다. 3번, 4번 소자는 실리콘 나노와이어 표면에 dry oxidation으로 약 30 Å의 산화막을 형성시킨 것이고, 나머지 소자는 50 Å의 산화막을 형성시켰다. 5번, 6번의 소자는 나노와이어 제조과정에서 불순물 재분포로 인한 doping 농도의 불균일성을 완화하기 위해 나노와이어 형성 후 부가적으로 ion implantation을 이용한 도핑 공정을 실시하였다. 표에서 5번 6번 소자의 경우 추가적인 도핑 공정을 실시했음에도 불구하고 암전류 레벨이 다른 소자에 비해

작은 것을 볼 수 있는데, implantation 공정에서의 결정 결함이 RTA(rapid thermal annealing) 공정을 이용한 재결정화가 완전히 이루어지지 않은 결과로 보인다.

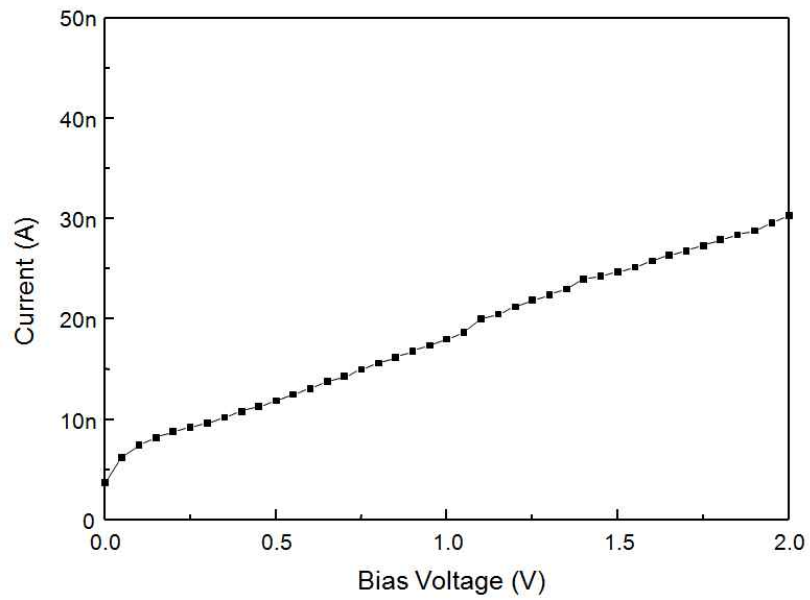
표 2-5. 실리콘 나노와이어 광 검출기 소자별 사양

	Dev. #1	Dev. #2	Dev. #3	Dev. #4	Dev. #5	Dev. #6	Dev. #7	Dev. #8
Dopant Type	P	P	P	P	P	P	P	P
SiNW 굵기(폭,nm)	70	70	70	70	150	150	150	150
SiNW 길이(μm)	20	20	20	20	20	20	20	20
Additional Doping by Ion Implant.	-	-	-	-	Boron 15keV 2E13	Boron 15keV 2E13	-	-
SiNW Passivation Oxide(\AA)	50	50	30	30	50	50	50	50
나노와이어 개수	250	250	250	250	250	250	250	250
암전류 (@ 2V, nA)	30.3	65.7	9.7	12.0	2.0	3.8	17.7	11.2
수광 면적 (cm^2)	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}	1.6×10^{-4}

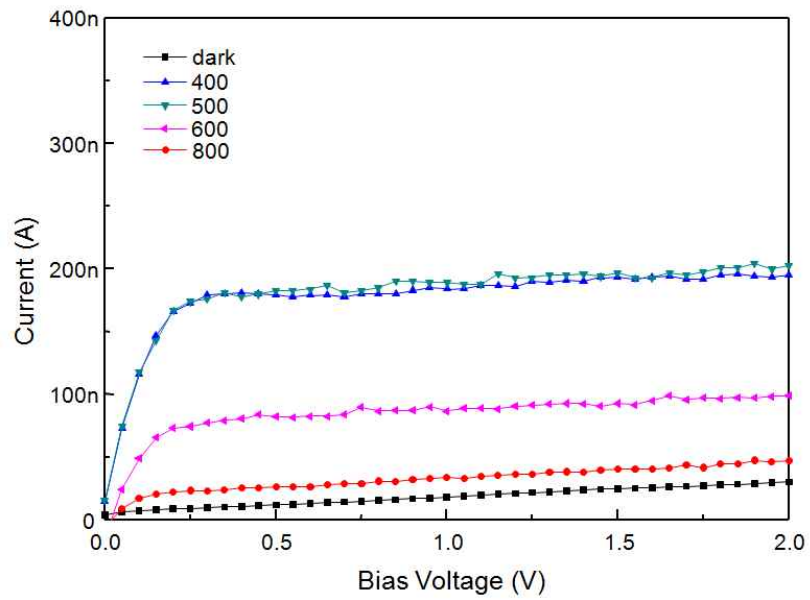
표 2-6. Monochromator의 파장별 출력 파워

파장	400 nm	500 nm	600 nm	800 nm
출력 파워 (nW/cm ²)	11.62	27.7	17.8	13.3

그림 2-41은 표 2-5의 1번 소자를 이용한 측정 결과로서, 그림 2-41(a)는 빛을 조사하지 않은 상태에서의 암전류(dark current)를 측정한 I-V 특성 곡선이다. Ohmic contact 특성을 보이고 있으며, 암전류의 크기는 2V 전압에서 약 30.3 nA이다. 그림 2-41(b)는 monochromator를 이용하여 각각 400 nm, 500 nm, 600 nm, 800 nm 파장의 빛을 조사한 후 측정한 I-V 그래프이다. 그림 2-42는 2번~8번 소자에 대하여 똑 같은 과정으로 측정한 암전류와 monochromator를 이용하여 각 파장별로 빛을 조사한 후 측정한 I-V 그래프이다. 각 소자별로 암전류 및 빛 조사 후 반응 곡선이 조금씩 차이가 나지만 대체적으로 높은 감도를 보이고 있다.

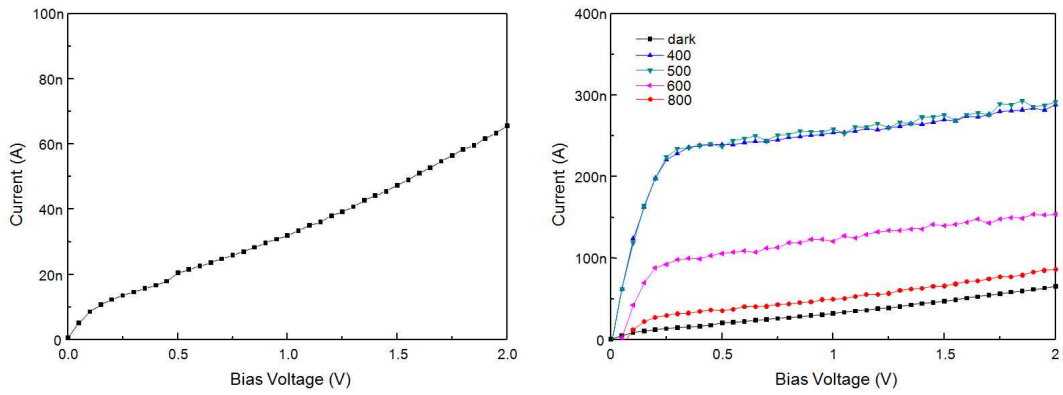


(a) I-V 특성.

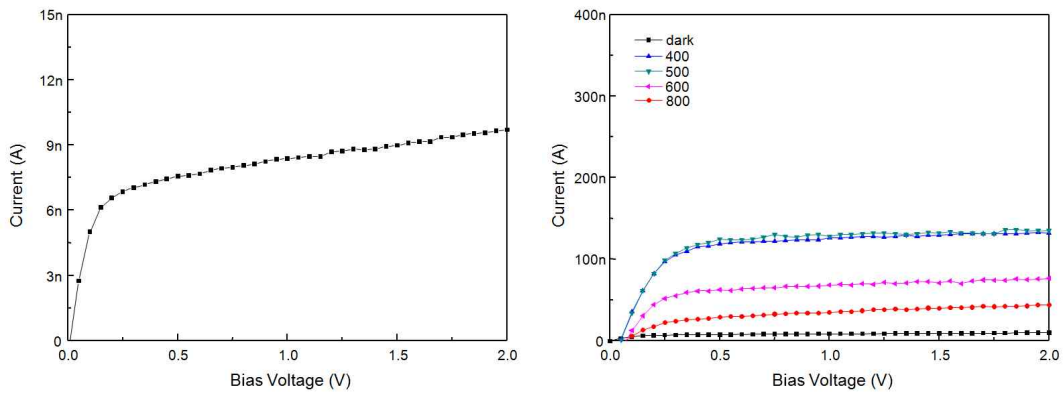


(b) 파장별 photocurrent 측정.

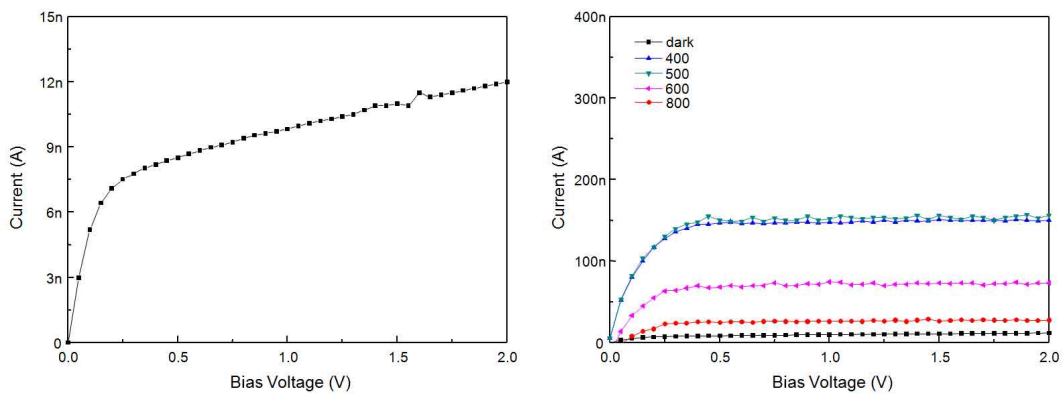
그림 2-41. Monochromator를 이용한 파장별 빛 조사에 의한 photocurrent 측정(Device #1).



(a) Device #2.

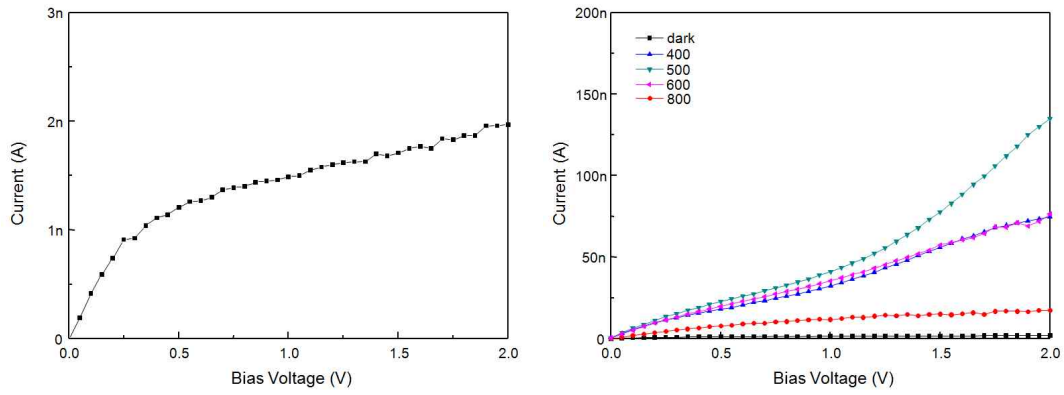


(b) Device #3.

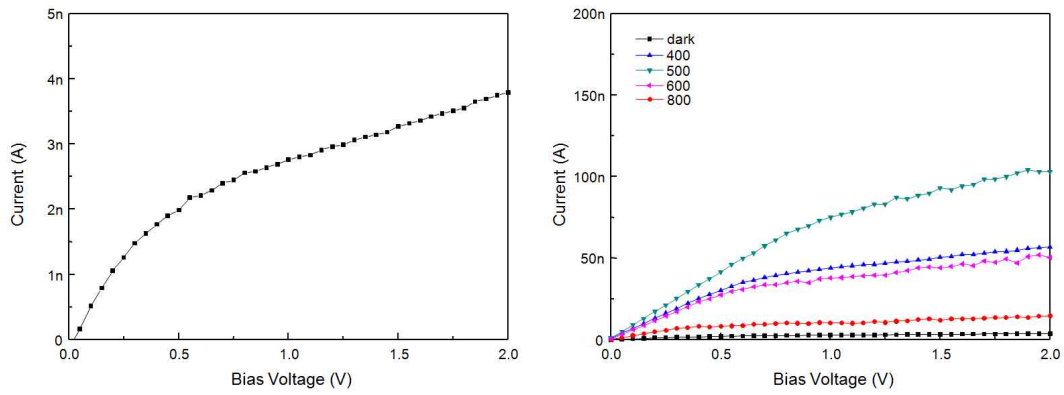


(c) Device #4.

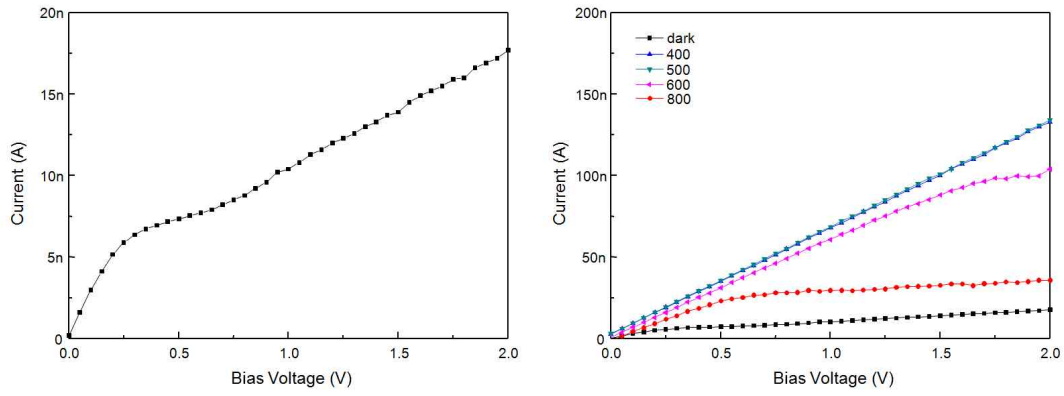
그림 2-42. Monochromator를 이용한 파장별 빛 조사에 의한 photocurrent 측정(Device #2 ~ #8).



(d) Device #5.

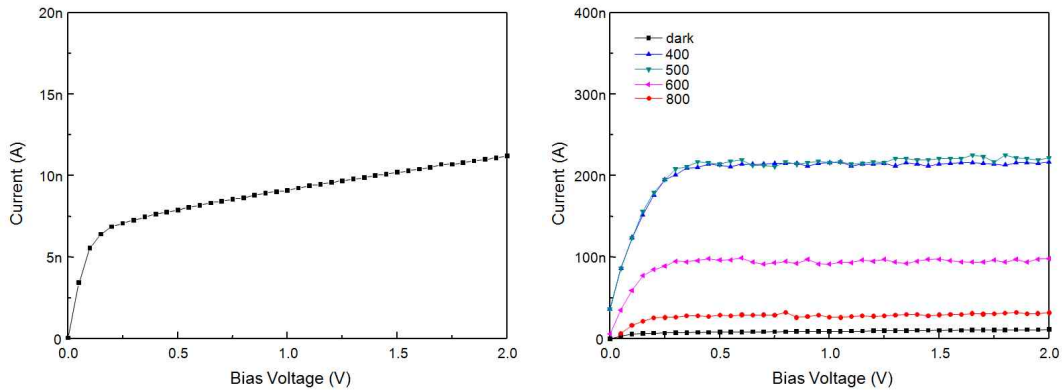


(e) Device #6.



(f) Device #7.

그림 2-42. Monochromator를 이용한 파장별 빛 조사에 의한 photocurrent 측정(Device #2 ~ #8).



(g) Device #8.

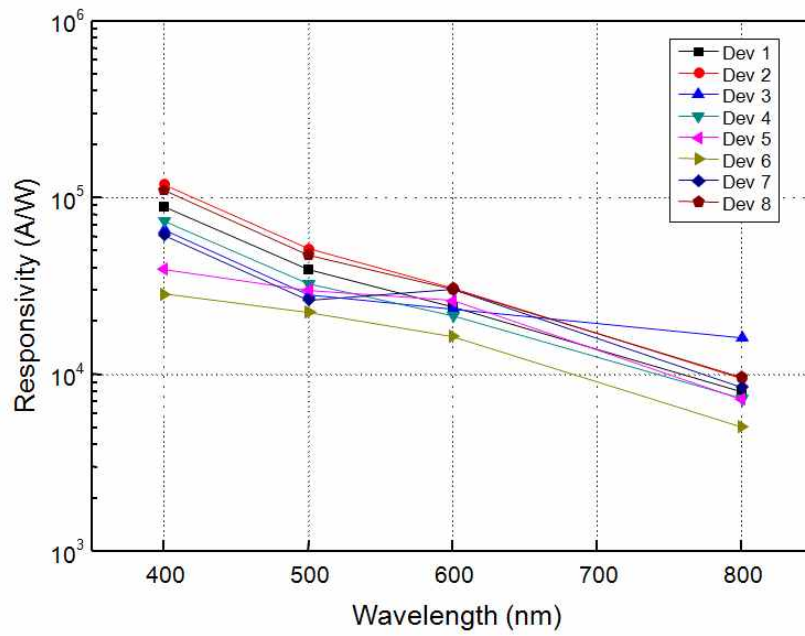
그림 2-42. Monochromator를 이용한 파장별 빛 조사에 의한 photocurrent 측정(Device #2 ~ #8).

그림 2-43은 각 소자별로 그림 2-41~42의 측정값을 토대로 계산한 응답도 계산 결과이다. 그림 2-43(a)는 파장별 응답도 계산결과로서, 파장이 짧을수록 응답도가 높게 나타나고, 최소 5.1×10^3 A/W에서 최대 1.2×10^5 A/W의 높은 값을 보이고 있다. 이러한 높은 응답도 특성은 종래의 실리콘 기반의 광 검출기 중에서 높은 응답도를 가지고 있는 APD와 비교해도 대단히 높은 값이다.

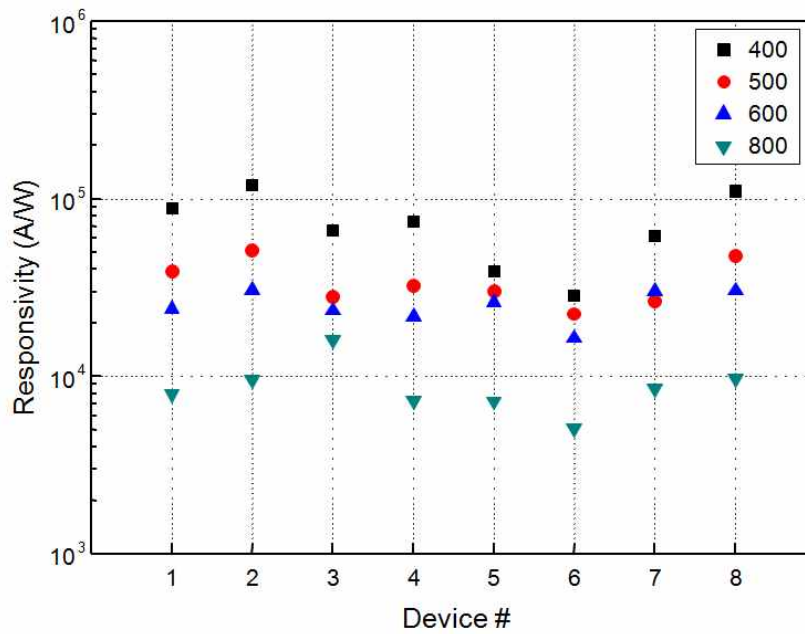
본 논문에 의한 실리콘 나노와이어 광 검출기가 단파장에서 높은 응답도를 보이는 것과는 달리 APD의 경우에는 그림 2-40의 응답도 곡선에서 보듯이 400 nm 근처의 단파장 부근에서 오히려 응답도가 작은 값을 보인다. APD의 경우 단파장에서 응답도 값이 작은 것은 그림 2-44의 실리콘에서의 빛의 감쇠상수[57]와 관련되는 것으로 판단된다. 즉 단파장의 빛은 장파장의 빛에 비해 감쇠상수가 대단히 크기 때문에 대부분 포토다이오드의 표면에서 흡수되어 광 감지영역인 공핍층에 도달하기 어려워 photocurrent에 크게 기여하지 못하게 된다. 그렇지만 실리콘 나노와이어의 경우는 굵기가 얇고 실리콘 나노와이어 자체가 감지 영역으로 이용되기 때문에 단파장의 빛이 흡수되기 유리한 구조이다. 또한 단파장의 빛은 에너지가 크고 흡수계수가 커서 나노와이어에 잘 흡수되기 때문에 photocurrent에 크게 기여할 수 있다. 장파장의 빛은 흡수계수가 작아 투

과는 잘 되지만 오히려 흡수가 잘 되지 않기 때문에 photocurrent에 기여하는 비율이 단파장에 비해 작은 것으로 판단된다.

그림 2-43(b)는 소자별로 응답 도를 그린 나타낸 그림으로서 2번 소자가 400 nm 파장에서 응답도가 가장 높게 나타났고, 추가적인 도핑 공정을 실시한 5번, 6번 소자가 낮은 응답 도를 보이고 있다. 이는 앞에서 언급한 바와 같이 implantation에 의한 격자결함이 RTA 과정에서 완화되지 않은 결과로 추측된다. 그림 2-45는 나노와이어 굵기와 응답도와의 관계를 살펴보기 위해 나노와이어 굵기가 70 nm로 제작된 광 검출기 소자 1번~4번의 응답도 평균 및 표준편차와, 나노와이어 굵기가 150 nm로 제작된 광 검출기 소자 5번~8번의 응답도 평균 및 표준편차를 파장별로 그린 그림이다. 그림에서 보듯이 70 nm 굵기의 실리콘 나노와이어 광 검출기가 150 nm로 제작된 소자에 비해 모든 파장대에서 응답도 값이 약간 높게 나타났다. 이것은 앞의 실리콘 나노와이어 광 검출기가 가지는 높은 이득의 과정에서 설명함에 있어, 실리콘 나노와이어의 굵기와 나노와이어 내부에 형성되는 에너지 밴드 분포와의 관련성을 언급한 바 있듯이, 나노와이어의 굵기는 광 검출기의 응답도와 밀접한 관계가 있다. 다만 본 실험에서 제작한 나노와이어의 굵기가 70 nm, 150 nm 두 가지 뿐이고, 그림 2-45의 응답도 결과 값이 확연한 차이가 나는 것이 아니어서 나노와이어 굵기와 응답도의 상관관계를 확실히 밝히기에는 부족하며, 다양한 굵기를 가진 많은 샘플의 광 검출기 소자를 이용한 추가적인 분석이 필요하다.



(a) 파장별 응답도.



(b) 소자별 응답도.

그림 2-43. 소자별, 파장별 응답도 계산 결과.

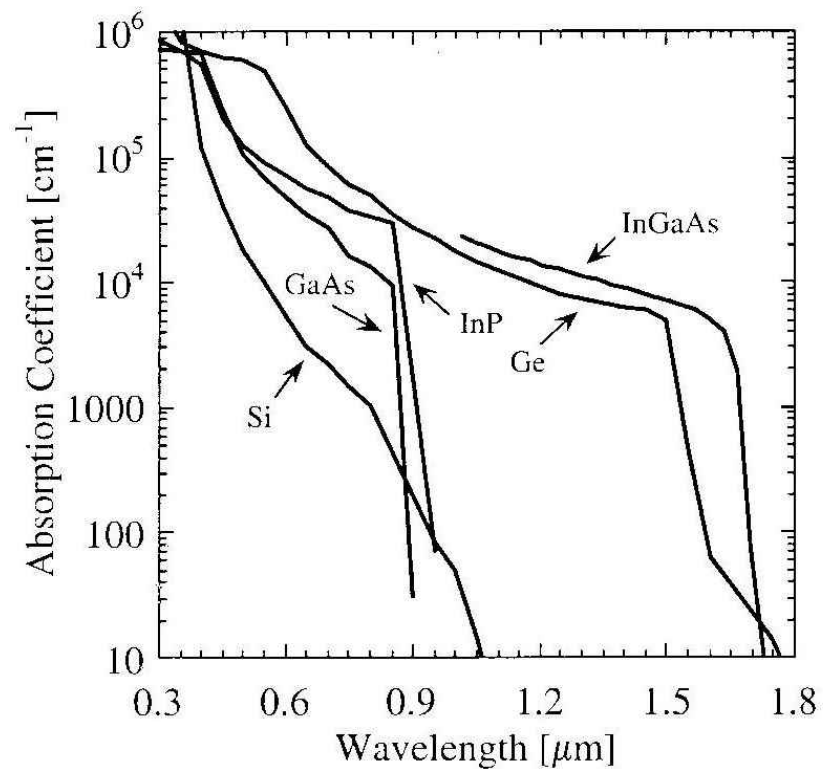


그림 2-44. 반도체 재료별 빛의 감쇠 상수[50].

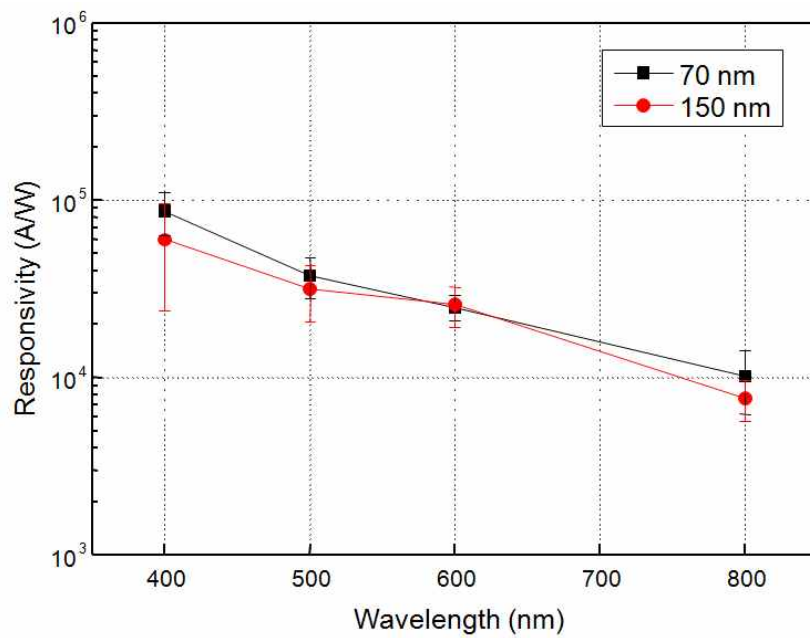


그림 2-45. 실리콘 나노와이어 굵기별 광 검출기의 응답도 비교.

3. 실리콘 나노와이어 FET 제작 및 특성 평가

3.1. 실리콘 나노와이어 전계 효과 트랜지스터(FET)의 구조

본 논문에서 인공 망막 자극기 제작에 이용하고자 하는 실리콘 나노와이어 FET의 구조를 그림 2-46에 나타내었다. 그림에서 보는 바와 같이 실리콘 나노와이어 FET는 실리콘 나노와이어 양단이 소스, 드레인이 되고, 실리콘 나노와이어 중앙부에 게이트 산화막(gate oxide)과 게이트 형성함으로써 FET 구조가 완성된다.

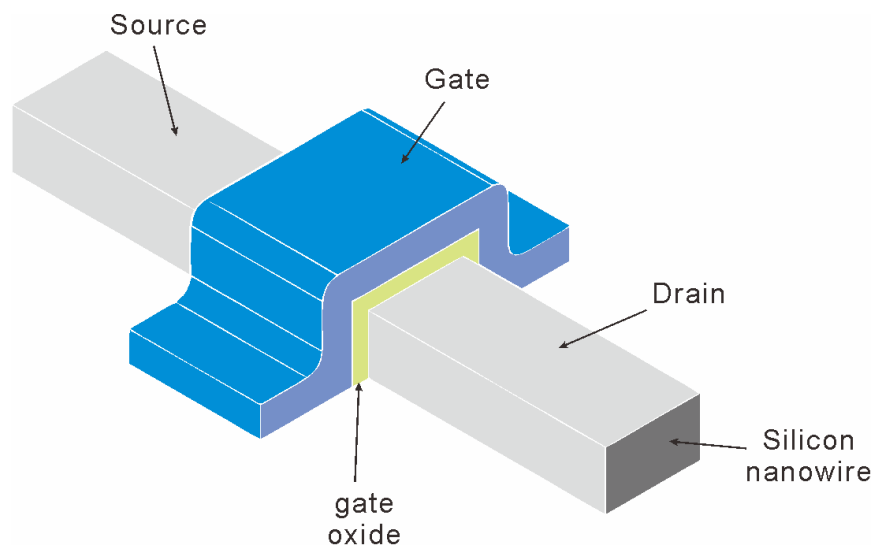


그림 2-46. 실리콘 나노와이어 FET의 구조.

지금까지 보아온 대부분의 FET는 채널이 소스, 드레인과 반대 type의 반도체 물질로 도핑되어 있는, 즉 junction이 형성된 구조이다. 채널에 형성된 junction은 게이트 바이어스가 인가되지 않은 normal 상태에서 전류를 차단하는 역할을 하며, 게이트에 바이어스가 인가되면 채널에 전류를 흐르게도 한다. 그러나 본 논문에서 망막 자극기에 이용하고자 하는 실리콘 나노와이어 FET는 채널에 junction이 형성되지 않은 형태로, 앞의 실리콘 나노와이어 광 검출기 구조에 게이트 전극이 형성된 구조이다. 그래서 실리콘 나노와이어와 같은 저항체를 이용하고 junction이 없는 구조의 FET라고 하여 실리콘 나노와이어 FET를 ‘junctionless

transistor'라고도 부른다[58-61]. 실리콘 나노와이어 FET에서도 MOS 트랜지스터처럼 게이트 바이어스 전압(V_{gs})에 대한 드레인 전류(I_d)는 다음 식을 따른다.

$$I_d \approx \mu C_{ox} \frac{W_{Si}}{L} (V_{gs} - V_{th})^2 \quad (13)$$

여기서 μ 는 전자의 이동도(mobility), C_{ox} 는 gate oxide capacitance, W_{Si} 는 실리콘 나노와이어의 폭, L 은 게이트 길이(실리콘 나노와이어의 길이), V_{gs} 는 게이트 인가 전압, 그리고 V_{th} 는 문턱 전압이다. 실리콘 나노와이어 FET는 나노와이어는 기본적으로 'normally-on'인 소자이다. 실리콘 나노와이어 FET가 ON이 되면 FET는 저항 소자처럼 작동하며 드레인 전류는 다음 식으로 나타낼 수 있다.

$$I_d \approx q\mu N_D \frac{T_{Si} W_{Si}}{L} V_{ds} \quad (14)$$

여기서, N_D 는 도핑농도, T_{Si} 는 나노와이어의 두께, 그리고 V_{ds} 는 소스-드레인간 공급전압이다. 식 (14)와 같이 실리콘 나노와이어에 흐르는 전류 레벨, 즉 저항 레벨은 실리콘 나노와이어의 치수(폭, 두께, 길이 등)와 도핑 레벨을 조절함으로써 결정된다.

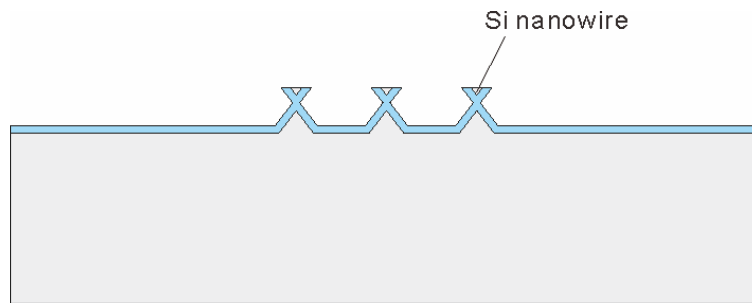
3.2. 실리콘 나노와이어 FET 제작

본 절에서는 광 검출 및 자극 신호 변조 회로 구성을 위한 실리콘 나노와이어 FET를 제작하고 그 특성을 살펴보고자 한다. 그림 2-47은 실리콘 나노와이어 FET 제조 공정도이다. 그림 2-47(a)는 그림 2-16의 공정을 통해 제작된 실리콘 나노와이어의 모습이다. 실리콘 나노와이어 FET 제작을 위해 실리콘 나노와이어의 표면을 노출시켜야 하기 때문에 그림 2-16(a)의 과정에서 실리콘 산화막(SiO_2) 대신에 실리콘 질화막(SiN_x)을 약 500 Å 정도 증착한 후 실리콘 나노와이어를 제작한 후 실리콘 질화막을 제거한 것이다. 실리콘 질화막은 인산(H_3PO_4) 용액을 이용하여 실리콘 나노와이어 및 실리콘 산화막에 크게 영향을 주지 않으면서 선택적으로 제거할 수 있다. 실리콘 질화막 제거 후 기판 세정을 실시한 후 dry oxidation 공정으로 실리콘 나노와이어 표면에 300 Å 두께의 게이트 산화막을 형성한다. 게이트 전극으로 이용하기 위해 약 4,000 Å 두께의 폴리실리콘(poly silicon)을 증착하고 POCl_3 도핑을 실시한다. 그리고 폴리실리콘의 표면에 wet oxidation 공정을 통해 약 2,000 Å 두께의 실리콘 산화막을 형성한다(그림 2-47(b)). 폴리실리콘 게이트를 패터닝하기 위해 PR 패터닝 후 노출된 산화막을 BOE로 식각한 후 실리콘 건식 식각 공정을 이용하여 폴리실리콘을 식각한 후 약 1,000 Å 열산화막을 형성하여 식각된 폴리실리콘의 표면을 passivation한다(그림 2-47(c)). 폴리실리콘 게이트 형성 후에는 그림 2-47(d)와 같이 소스, 드레인, 게이트 전극을 형성하기 위해 전극과 접촉될 부분의 산화막을 식각한다. 그림 2-47(d)까지의 공정이 완료된 후 기판 세정을 실시한다. 기판 세정 후 자연 산화막을 BOE 용액을 이용하여 제거한 후 magnetron sputter로 Al 2,000 Å, Mo 2,000 Å을 차례로 증착한다. 그림 2-47(e)와 같이 소스, 드레인, 게이트 contact 전극을 패터닝한 후 RTA(rapid thermal annealing) 공정을 통해 실리콘과 Al 전극 사이에 ohmic contact을 형성한다. 본 논문에서는 RTA 대신에 furnace를 이용하여 450 °C, 질소(N_2) 분위기에서 약 30분 동안 열처리를 진행하였다. Mo을 Al 위에 증착하는 이유는 열처리 공정에서 Al 전극이 쉽게 산화하기 Al

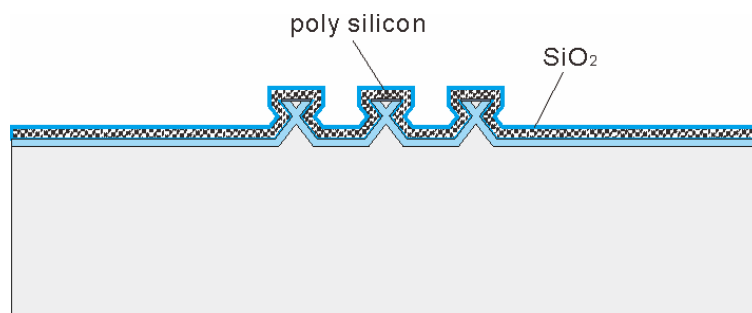
상부에 Mo을 형성함으로써 다른 금속 물질과의 접촉을 용이하게 하기 위함이다.

Contact 전극이 형성되면, 그림 2-47(f)와 같이 Microchem사의 SU-8을 이용하여 약 3 μm 두께의 유전층을 형성한다. PR 패터닝 후 SU-8의 절연성능을 극대화하기 위해 150 $^{\circ}\text{C}$ 의 hot plate에서 약 10분간 베이킹을 실시한다. SU-8 유전체 형성 후 그림 2-47(g)와 같이 특성 측정을 위한 소스, 드레인, 게이트 전극 패드를 형성한다. 전극 패드를 형성하는 방법으로 두 가지를 이용했는데, 첫 번째는 Au 전주도금(electroplating)을 이용하는 방법과, 두 번째는 Al 증착 후 패터닝하는 방법이다. Au 전주도금 방법에서는 그림 2-47(f)의 기판 위에 Au 도금을 위한 도금기저막(plating base)으로서 Ti 300 \AA , Au 500 \AA 을 증착한 후 Clariant사의 AZ4620 PR(photoresist)을 이용하여 약 5 μm 두께의 PR 패터를 형성한다. PR 패터닝 후 O_2 plasma 장비를 이용하여 기판 표면을 친수성으로 처리한 후 Au 전주도금공정을 통해 약 1.5 μm 두께의 Au 전극을 형성한다. Au 도금 공정 완료 후 PR을 제거하고, 도금기저막을 제거하면 그림 2-47(g) 나타낸 바와 같이 전극 패드 형성이 완료된다. 한편 Al 증착 및 패터닝 방법에서는 그림 2-47(f)의 기판 위에 약 4,000 \AA 두께의 Al을 증착한 후 PR 패터닝 및 Al 식각, PR 제거의 과정을 거쳐 그림 2-47(g)의 전극 패드가 형성한다. 그림 2-47(g)의 전극 패드 형성 공정이 완료되면, 그 위에 bonding wax를 코팅한 후 그림 2-47(h)와 같이 dummy 기판에 실리콘 나노와이어 FET 제작 기판을 본딩한다. 본딩 후 그림 2-47(i)의 CMP(chemical mechanical polishing) 공정으로 작업된 기판을 약 30 μm 두께로 thinning한다. 그 위에 AZ4620 PR을 이용하여 약 5 μm 두께의 PR 패터닝 후 Si DRIE 공정을 통해 그림 2-47(j)와 같이 실리콘 나노와이어 FET 소자를 완성한다. 그림 2-47(j)에서 보듯이 Si DRIE 공정을 이용한 실리콘 식각시, 실리콘 나노와이어 위에는 실리콘 나노와이어 제조 과정에서 형성된 실리콘 산화막이 덮고 있어 Si DRIE 공정으로부터 실리콘 나노와이어를 보호하는 역할을 해준다. 그림 2-47(j)의 실리콘 나노와이어 FET는 bonding wax를 매개로 하여 기판

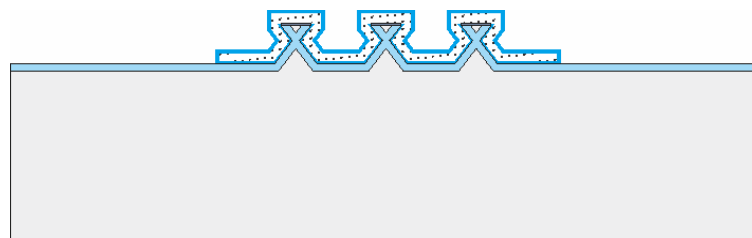
에 붙어 있는데, 그림 2-47(j)의 기판 위에 두껍게 폴리이미드 필름을 형성한 후 bonding wax에 열을 가하면 녹게 되는데, 이 때 기판 상부에 형성된 필름층을 기판으로부터 분리함으로써 flexible한 형태의 실리콘 나노와이어 FET를 제작할 수 있게 된다. 본 논문에서는 그림 2-47(j)의 상태까지만 공정을 진행한 후 실리콘 나노와이어 FET의 특성을 측정하였다.



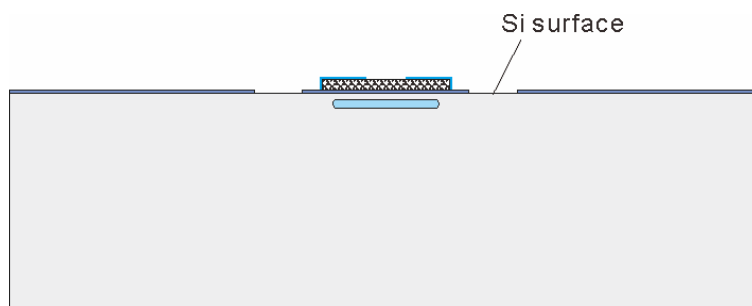
(a) 실리콘 나노와이어 제작.



(b) 게이트 산화막 및 폴리실리콘 증착.

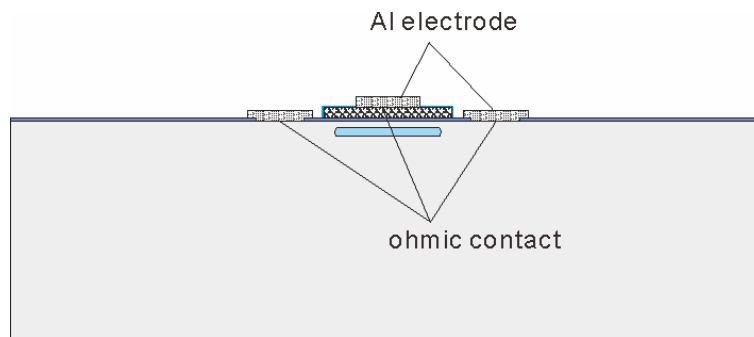


(c) 폴리실리콘 게이트 패터닝 & 산화막 형성.

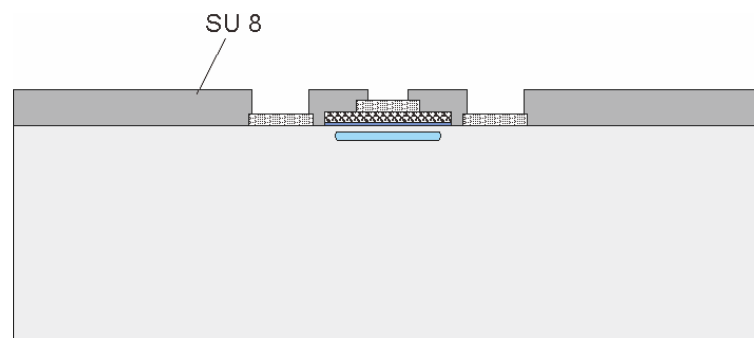


(d) 소스, 드레인, 게이트 전극 접촉부 개방.

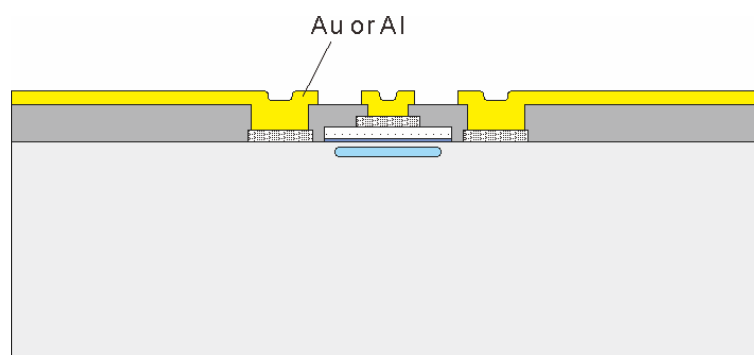
그림 2-47. 실리콘 나노와이어 FET 제조 공정도.



(e) 소스, 드레인, 게이트 전극 패터닝.

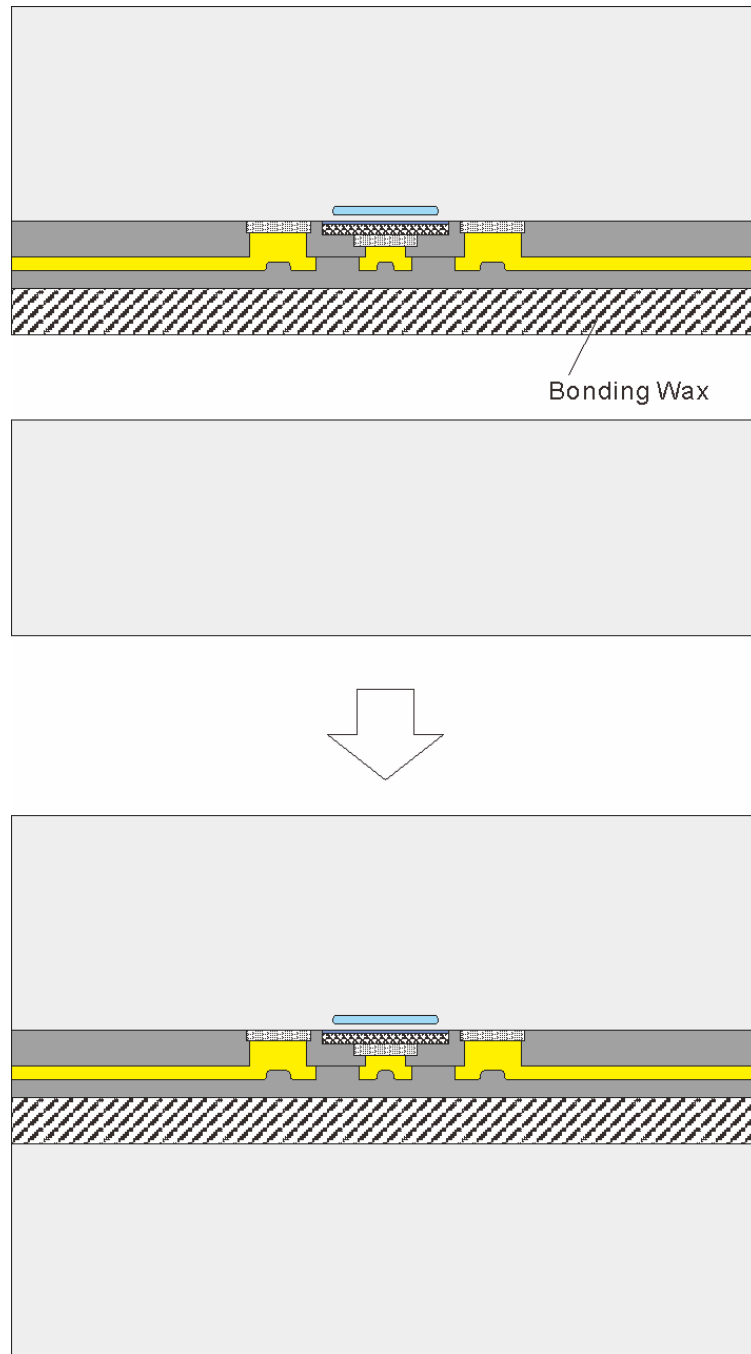


(f) 유전층 형성.



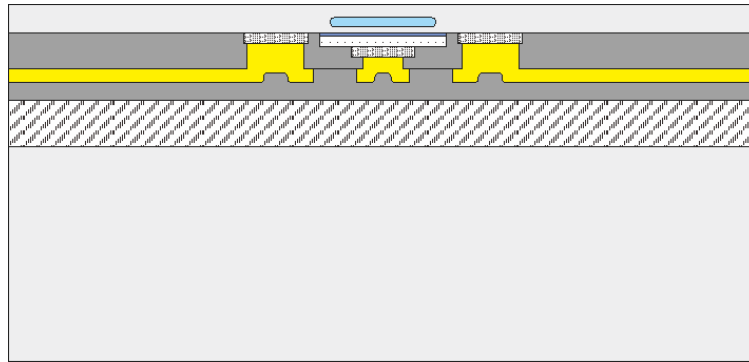
(g) 특성 측정용 전극 패드 형성.

그림 2-47. 실리콘 나노와이어 FET 제조 공정도.

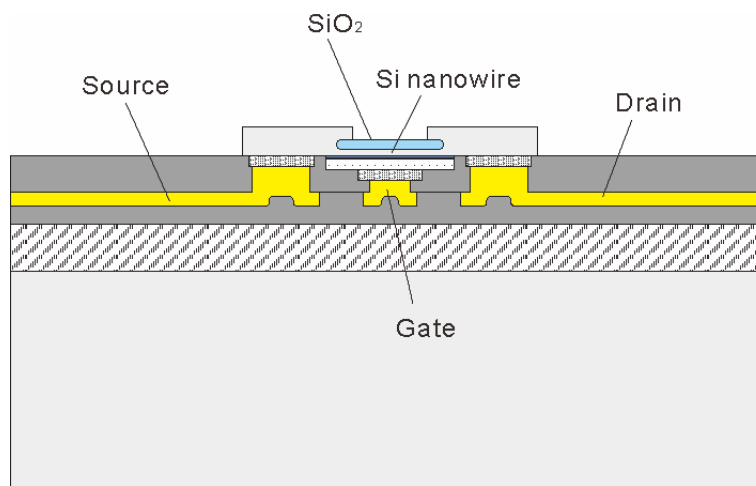


(h) 기판 본딩.

그림 2-47. 실리콘 나노와이어 FET 제조 공정도.



(i) 기판 thinning.



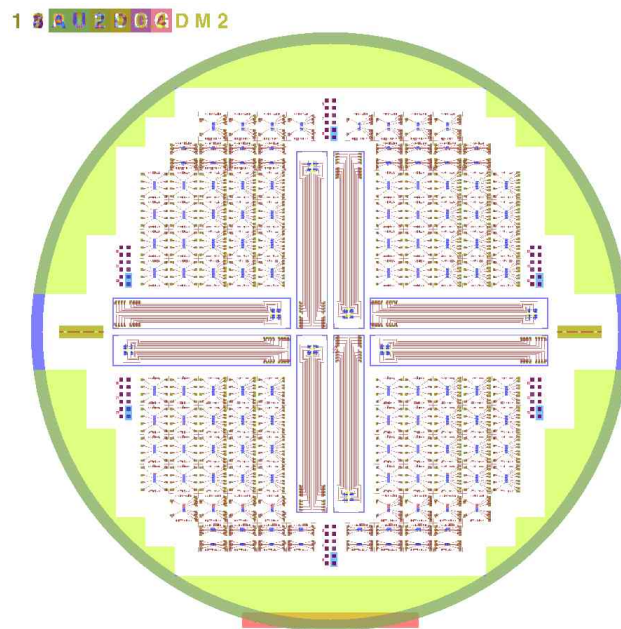
(j) 실리콘 식각.

그림 2-47. 실리콘 나노와이어 FET 제조 공정도.

표 2-7은 실리콘 나노와이어 FET의 설계 파라미터로서 실리콘 나노와이어의 개수와 길이의 설정 값을 보여준다. 실리콘 나노와이어의 개수에 특성 평가 비교를 위해 실리콘 나노와이어의 길이는 20 μm 로 고정한 후 실리콘 나노와이어의 개수를 1개, 5개, 10개, 20개로 변화하는 값으로 설계하였고, 실리콘 나노와이어의 길이에 대한 특성 평가 비교를 위해 나노와이어의 개수는 20개로 고정한 후 실리콘 나노와이어의 길이를 5 μm , 10 μm , 20 μm , 40 μm 로 변화시켰다. 그림 2-48은 실리콘 나노와이어 FET 특성평가용 소자 제작을 위한 마스크 설계도이다. 그림 2-48(a)는 전체적인 마스크 레이아웃을 보여주며, 4인치 실리콘 기판을 이용하여 설계 파라미터 별로 실리콘 나노와이어 FET 소자를 설계하여 웨이퍼 위치별로 골고루 배치하였다. 그림 2-48(b)는 실리콘 나노와이어 FET 테스트 칩의 설계도를 보여주며, 테스트 칩의 크기는 5 mm \times 5 mm이고, 한 칩에는 설계 파라미터 값이 다르게 적용된 4개의 FET 소자를 배치하였다. 그림 2-48(c)는 실리콘 나노와이어 FET의 설계의 한 예를 보여주고 있다.

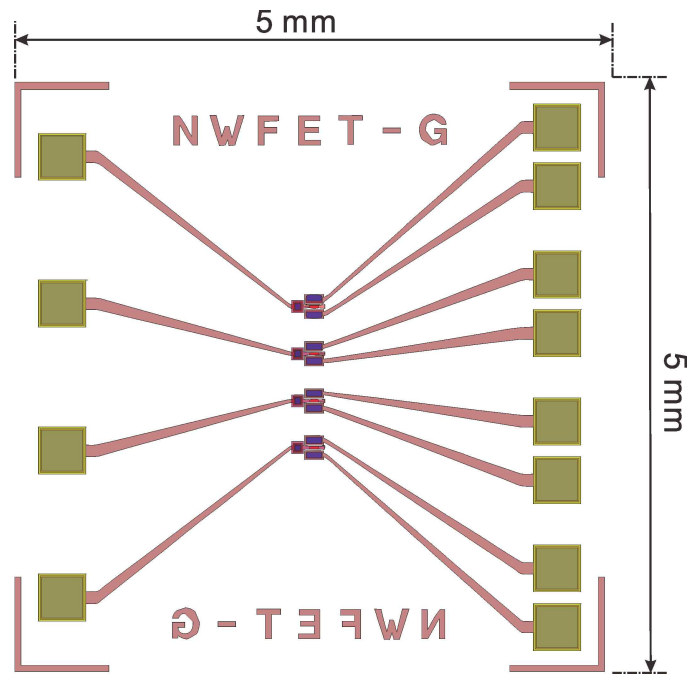
표 2-7. 실리콘 나노와이어 FET의 설계 파라미터

실리콘 나노와이어 개수	1 개	5 개	10 개	20 개
	실리콘 나노와이어 길이 = 20 μm			
실리콘 나노와이어 길이	5 μm	10 μm	20 μm	40 μm
	실리콘 나노와이어 개수 = 20 개			

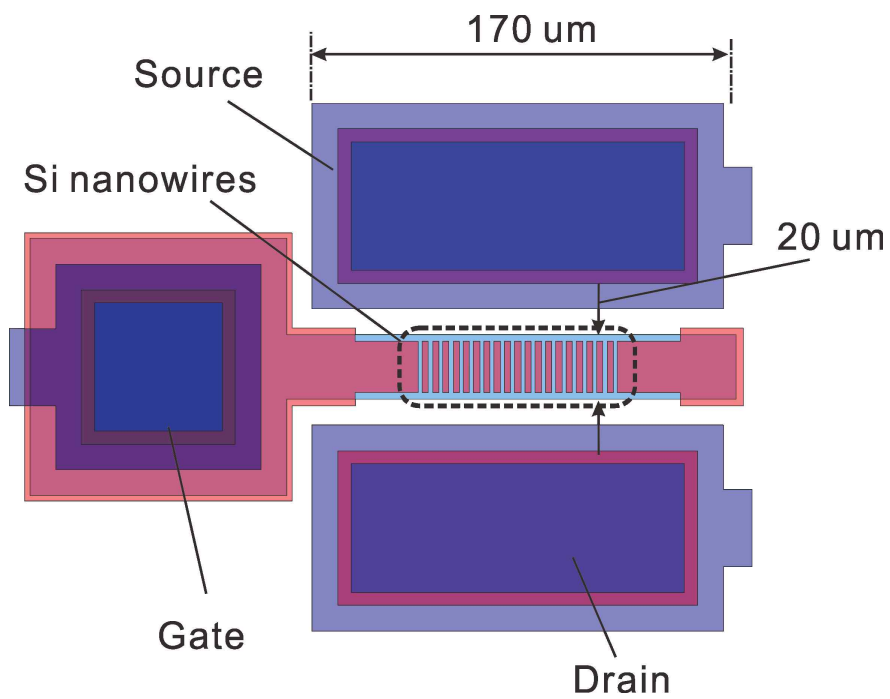


(a) 전체 마스크 레이아웃

그림 2-48. 실리콘 나노와이어 FET 제작을 위한 마스크 설계.



(b) 실리콘 나노와이어 FET 테스트 칩 설계도.



(c) 실리콘 나노와이어 FET 세부 설계도.

그림 2-48. 실리콘 나노와이어 FET 제작을 위한 마스크 설계.

그림 2-49는 실리콘 나노와이어 FET 제작을 위해 나노와이어 제조 공정에서 실리콘 질화막을 이용한 결과이다. 그림 2-18(c)에서 보인 바와 같이 실리콘 나노와이어가 상부의 실리콘 질화막과 밀착되어 제작된 모습을 볼 수 있다. 제작된 실리콘 나노와이어의 폭은 약 300 nm이다.

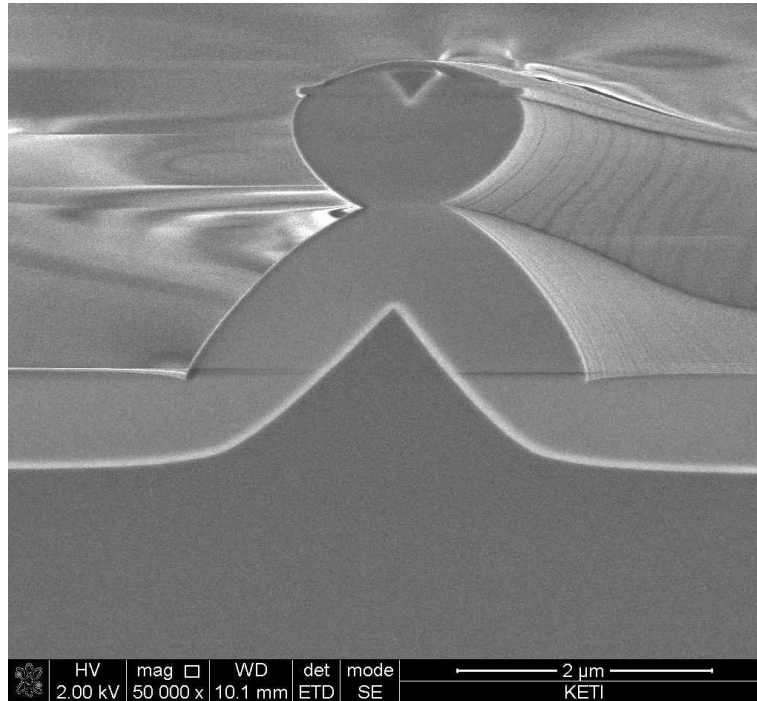
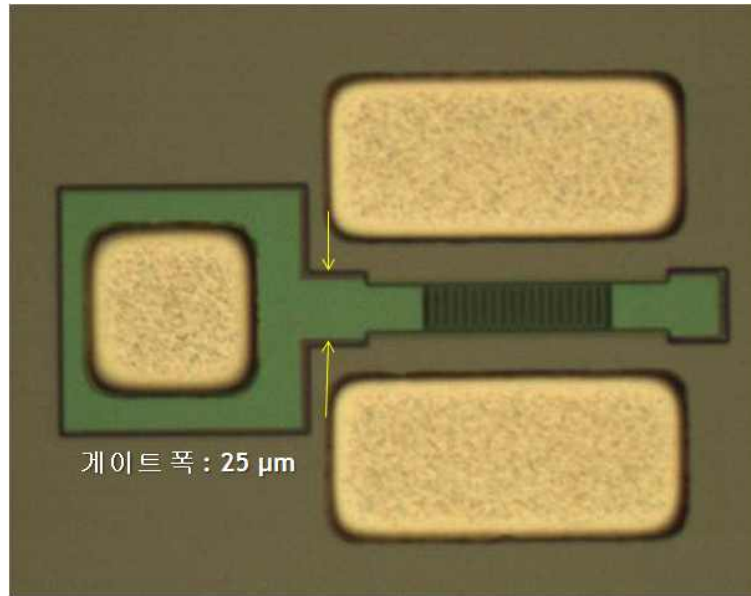


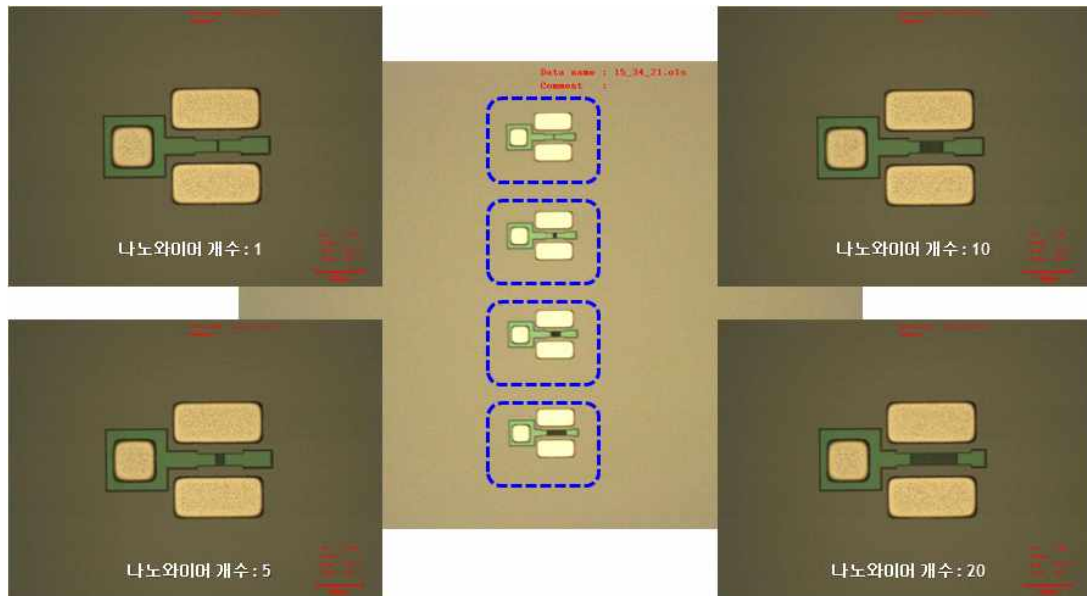
그림 2-49. 실리콘 나노와이어 제조 결과(SiN_x 이용 시).

그림 2-50은 그림 2-47의 실리콘 나노와이어 FET 제조 공정에 의한 결과 사진이다. 그림 2-50(a)는 폴리실리콘 패터닝 후 Al/Mo contact 전극을 형성한 후 열처리 공정이 완료된 후의 모습이다. 그림에서 실리콘 나노와이어의 길이는 20 μm 이며, 폴리실리콘의 폭은 25 μm 로서 폴리실리콘 게이트가 실리콘 나노와이어를 완전히 덮도록 제작된 모습을 볼 수 있다. 그림 2-50(b)는 실리콘 나노와이어의 길이를 20 μm 로 고정하고, 실리콘 나노와이어의 개수를 1개, 5개, 10개, 20개로 설계하여 FET를 제작하기 위한 패턴으로서 역시 Al/Mo contact 전극의 열처리 후의 모습이다. 그림 2-50(c)는 실리콘 나노와이어의 개수를 20개로 고

정하고, 실리콘 나노와이어의 길이를 5 μm , 10 μm , 20 μm , 40 μm 로 변화시킨 FET 테스트 소자를 제작하기 위한 패턴이다. 그림 2-50(d)는 contact 전극 형성 후 전극 패드를 형성한 후 본딩 왁스를 이용하여 기판을 본딩한 후 CMP이 공정으로 실리콘의 두께를 약 30 μm 정도의 두께로 thinning한 후의 모습이다. 그림 2-50(e)는 Si DRIE 공정 후 실리콘 나노와이어 FET 제작이 완료된 후의 기판의 모습이다.

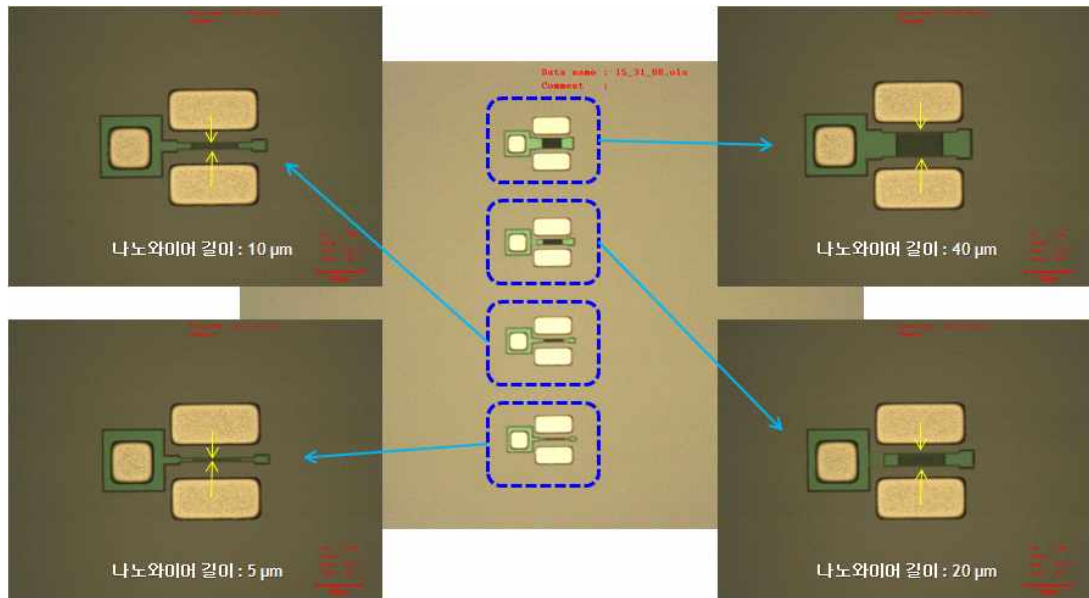


(a) Contact 전극 형성 후.

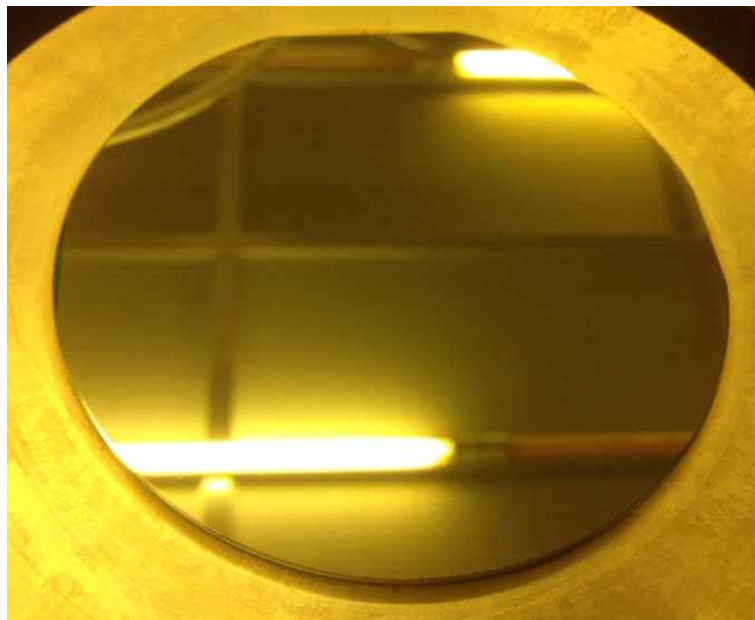


(b) 나노와이어 개수별 제작 시편.

그림 2-50. 실리콘 나노와이어 FET 제조 결과.

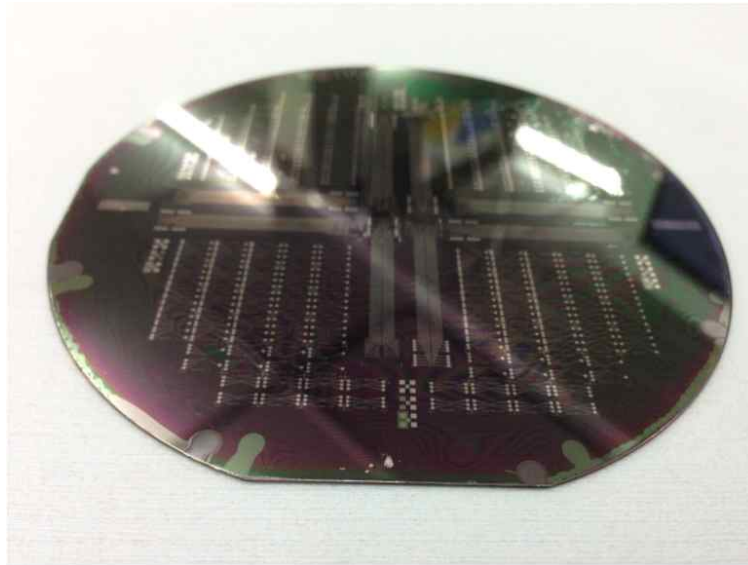


(c) 나노와이어 길이별 제작 시편.

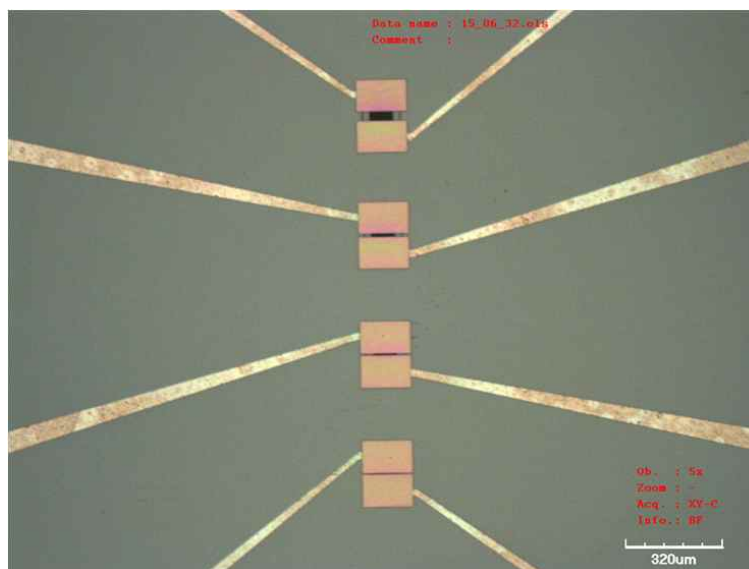


(d) 기판 thinning 후.

그림 2-50. 실리콘 나노와이어 FET 제조 결과.



(e) 실리콘 DRIE 공정 후.



(f) 제작된 실리콘 나노와이어 FET 소자.

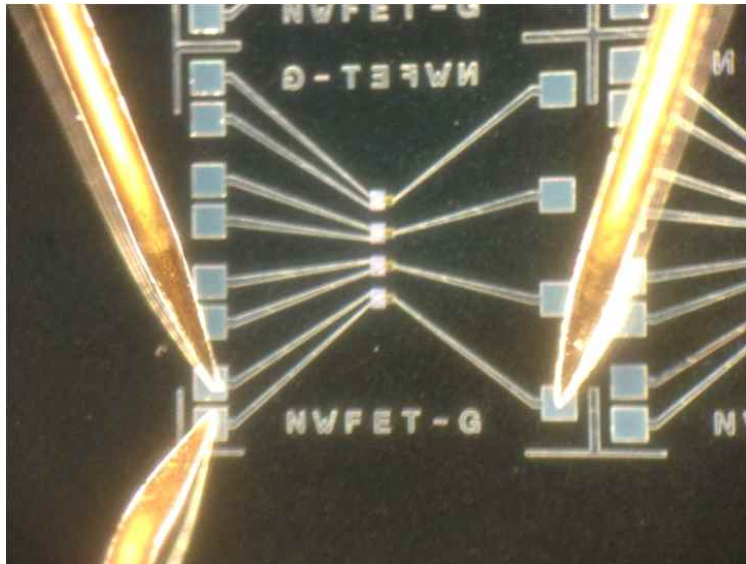
그림 2-50. 실리콘 나노와이어 FET 제조 결과.

3.3. 실리콘 나노와이어 FET 특성 평가

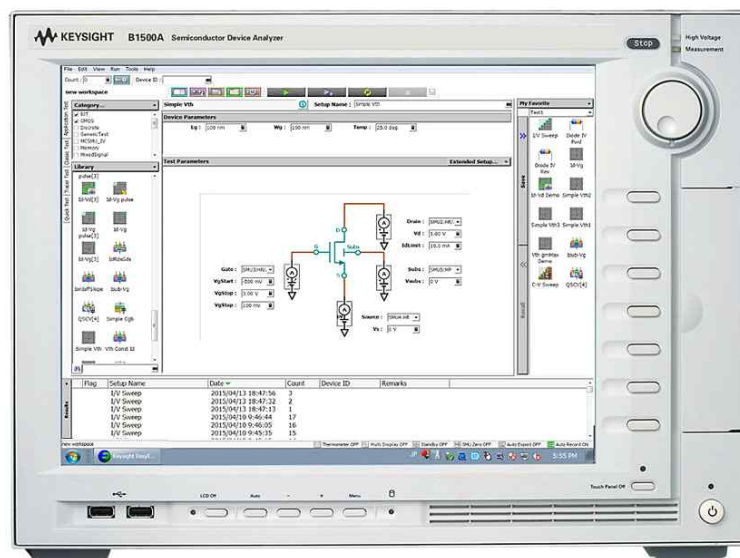
제작된 실리콘 나노와이어 FET에 대하여 그림 2-50의 probe station과 키사이트사의 반도체 파라미터 측정기(모델명 : B1500A)를 이용하여 전기적 특성을 평가하였다. 그림 2-52 및 표 2-8은 실리콘 나노와이어 개수별 FET 특성 평가 결과이다. 그림 2-52는 게이트 전압(V_{gs}) 인가에 따른 드레인 전류(I_{ds}) 그래프로서, 나노와이어의 개수가 1개, 5개, 10개, 20개로 늘어남에 따라 on 상태에서의 최대 전류(I_{on_max}) 값은 4.1 μA , 17.6 μA , 39.2 μA , 79.8 μA 로 커지는데 이는 나노와이어의 개수가 1개일 때의 전류 값의 비로 환산하면 각각 4.3배(5개), 9.6배(10개), 19.5배(20개)로 거의 나노와이어 개수에 비례하는 만큼의 전류 증가를 보이고 있다. 만약 나노와이어가 모두 동일한 사양으로 제작되었다면 나노와이어의 개수가 N개일 경우 전류는 정확히 N배 증가하여야 하지만 나노와이어 간의 굵기 편차, 도핑 농도의 편차 등이 존재하기 때문에 약간의 차이를 보이는 것으로 판단된다.

Off 상태의 전류(I_{off}) 모두 거의 비슷하게 28~29 nA의 값을 유지하고 있는데, off 상태의 전류 값이 비교적 높은 것을 볼 수 있다. Off 상태의 전류 값이 높은 것은 게이트 전압에 의해 나노와이어가 완전히 공핍(depletion)되지 못하기 때문으로 볼 수 있는데, 이는 제작된 나노와이어가 굵을 경우 게이트 전극과 인접된 나노와이어의 상단부는 게이트 전압 인가에 의해 공핍되지만 게이트 전극과 먼 나노와이어의 하단부는 공핍되지 못하기 때문에 완전히 off 되지 못하고 상당한 수준의 전류가 흐르게 된다. 전류의 스윙 범위를 나타내는 on-off ratio는 나노와이어의 개수가 증가함에 따라 커지며 나노와이어의 개수가 10일 때 약 1×10^3 이상의 값을 보인다. 문턱 전압은 나노와이어의 개수가 1개일 때 0.88 V에서 나노와이어의 개수가 20개일 때 1.10 V로 나노와이어 개수 증가에 따라 조금씩 증가하는 경향을 보이고 있다. FET의 민감도를 나타내는 SS(subthreshold swing) 값은 나노와이어가 1개일 때 약 950 mV의 매우 큰 값을 보이며, 나노와이어의 개수가 증가함에 따라 SS는 작아지고, 나노와이어의 개수가 20일 때 250 mV로 나타나 나노와이어의 개수

가 많을수록 민감한 특성을 보이는 것으로 조사되었다.



(a) 실리콘 나노와이어 FET 특성 측정 모습.



(b) 키사이트사의 반도체 파라미터 측정기(B1500A).

그림 2-51. 실리콘 나노와이어 FET 특성 측정.

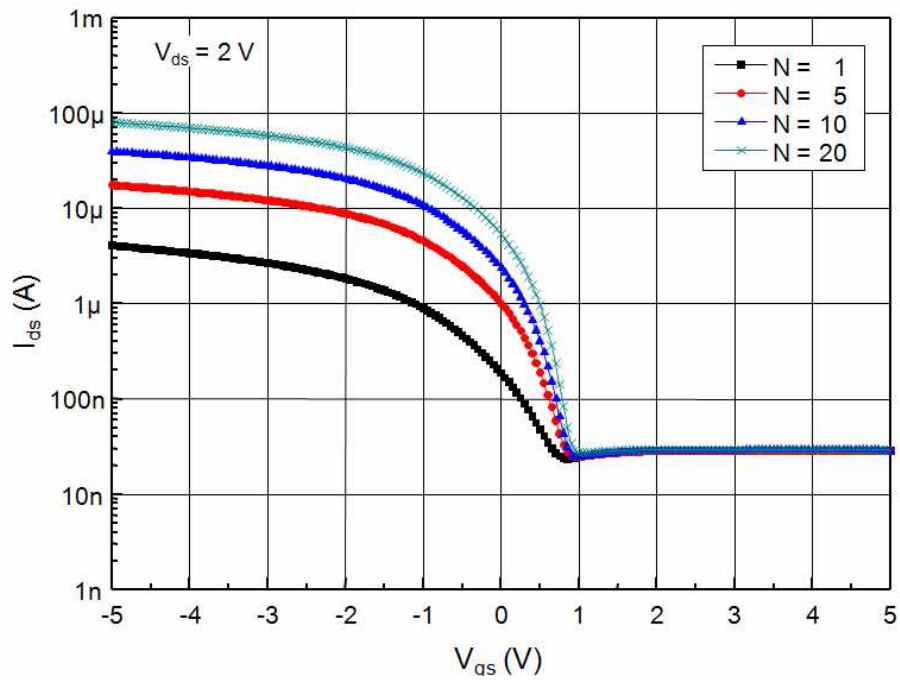


그림 2-52. 실리콘 나노와이어 개수별 FET 특성.

표 2-8. 실리콘 나노와이어 개수별 FET 특성 요약

나노와이어 개수	1	5	10	20
I_{on_max}	~4.1 μ A	~17.6 μ A	~39.2 μ A	~79.8 μ A
I_{off}	~29 nA	~28 nA	~29 nA	~29 nA
on-off ratio	$> 1.3 \times 10^2$	$> 5.9 \times 10^2$	$> 1.3 \times 10^3$	$> 2.7 \times 10^3$
V_{th}	0.88 V	1.03 V	1.05 V	1.10 V
SS	~950 mV	~390 mV	~300 mV	~250 mV

그림 2-53 및 표 2-9는 실리콘 나노와이어 길이별 FET 특성 평가 결과이다. 그림 2-53의 $V_{gs}-I_{ds}$ 그래프로부터, 나노와이어의 길이가 길수록 나노와이어 자체의 저항이 증가하기 때문에 FET의 전류레벨도 낮아지는 것을 확인할 수 있다. I_{on_max} 는 나노와이어의 길이가 5 μm 일 때 약 128.54 μA 의 비교적 높은 전류 레벨을 보이고 있다. I_{off} 는 나노와이어의 길이에 관계없이 대부분 33 nA 수준을 보였고, on-off ratio는 모두 10^3 이상 값을 보이고 있다. 문턱 전압은 나노와이어의 길이가 길수록 1.1 V에서 0.95 V로 조금씩 이동하는 것으로 조사되었다. SS는 나노와이어의 길이가 짧을수록 작은 값을 가지는 것으로 나타났는데 나노와이어의 길이가 5 μm 일 때 SS는 약 180 mV의 값을 보였다.

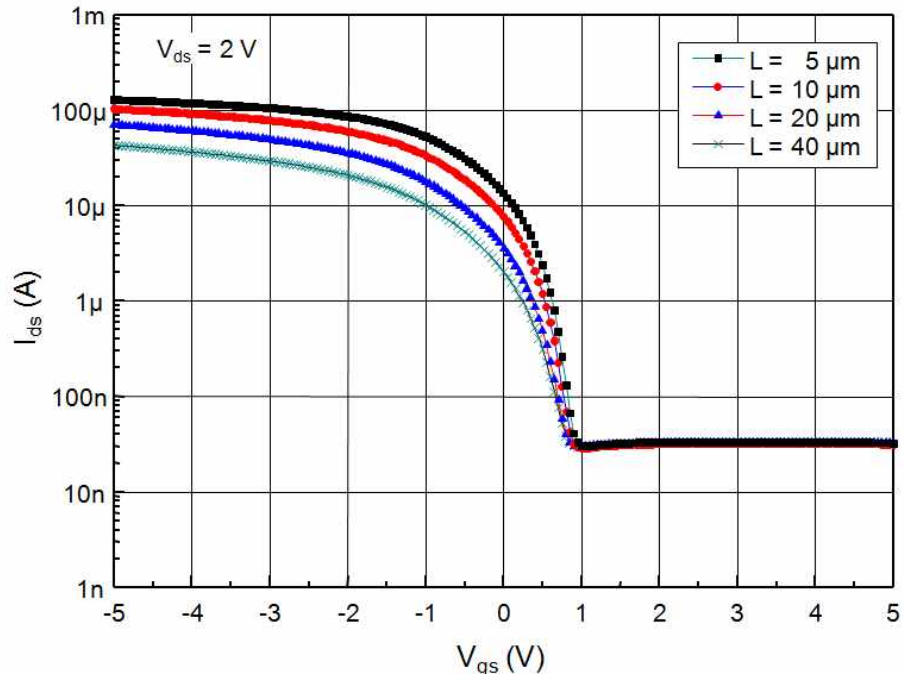


그림 2-53. 실리콘 나노와이어 길이별 FET 특성.

표 2-9. 실리콘 나노와이어 길이별 FET 특성 요약

나노와이어 길이	5 μm	10 μm	20 μm	40 μm
I_{on_max}	$\sim 128.4 \mu\text{A}$	$\sim 103.3 \mu\text{A}$	$\sim 70.2 \mu\text{A}$	$\sim 43.1 \mu\text{A}$
I_{off}	$\sim 33 \text{ nA}$	$\sim 32 \text{ nA}$	$\sim 33 \text{ nA}$	$\sim 33 \text{ nA}$
on-off ratio	$> 4.0 \times 10^3$	$> 3.2 \times 10^3$	$> 2.1 \times 10^3$	$> 1.3 \times 10^3$
V_{th}	1.10 V	1.07 V	1.02 V	0.95 V
SS	$\sim 180 \text{ mV}$	$\sim 200 \text{ mV}$	$\sim 290 \text{ mV}$	$\sim 390 \text{ mV}$

앞의 실리콘 나노와이어의 개수별, 길이별 특성 평가에서는 나노와이어 FET의 구동 전압이 2 V인 상태에서의 스위칭 특성을 조사하였다. 그림 2-54 및 표 2-10은 실리콘 나노와이어 FET의 구동 전압을 변화시켰을 때의 특성 변화를 평가한 결과이다. 특성 측정에 사용된 실리콘 나노와이어 FET는 길이는 20 μm , 개수는 20개인 실리콘 나노와이어가 적용된 소자이다. 그림 2-54의 $V_{gs}-I_{ds}$ 그래프로부터, 구동전압이 커짐에 따라 FET의 전류레벨도 크게 증가하는 것을 볼 수 있는데, I_{on_max} 는 1 V에서 약 37.6 μA , 5 V에서 약 79.8 μA , 5 V에서는 약 224.9 μA 의 값을 갖는다. 전류 레벨의 증가와 함께 특히 눈여겨 볼 수 있는 것은 FET의 구동 전압을 높이면 구동 전압 증가분만큼 문턱전압이 커진다는 점이다. 이는 그래프를 통해서도 즉시 확인할 수 있는 사항으로서 구동전압이 1 V일 때는 문턱전압이 0 V 근처이지만, 구동 전압을 2 V, 5V로 높임에 따라 문턱 전압이 1 V, 4 V로 근처로 이동하는 것을 볼 수 있다.

Off current 특성은 구동 전압이 1 V일 때 문턱 전압 근처에서 6 nA로 급격히 낮아진 후 V_{gs} 증가에 따라 off current가 증가하다가 일정한 값을 유지하는 경향을 보이고, 구동 전압이 2 V, 5 V일 때는 30 nA 수준의 일정한 값을 유지한다. 이에 따라 on-off ratio는 구동 전압이 1 V일 때 6.3×10^4 , 구동 전압이 5 V일 때 7.3×10^4 로 구동 전압이 2 V일 때보다 높은 값을 보였다. SS 값은 구동 전압이 1 V일 때 약 150 mV로 가장 작은 값을 가지며, 구동 전압의 증가에 따라 약간씩 증가하는 경향을 보이고 있다.

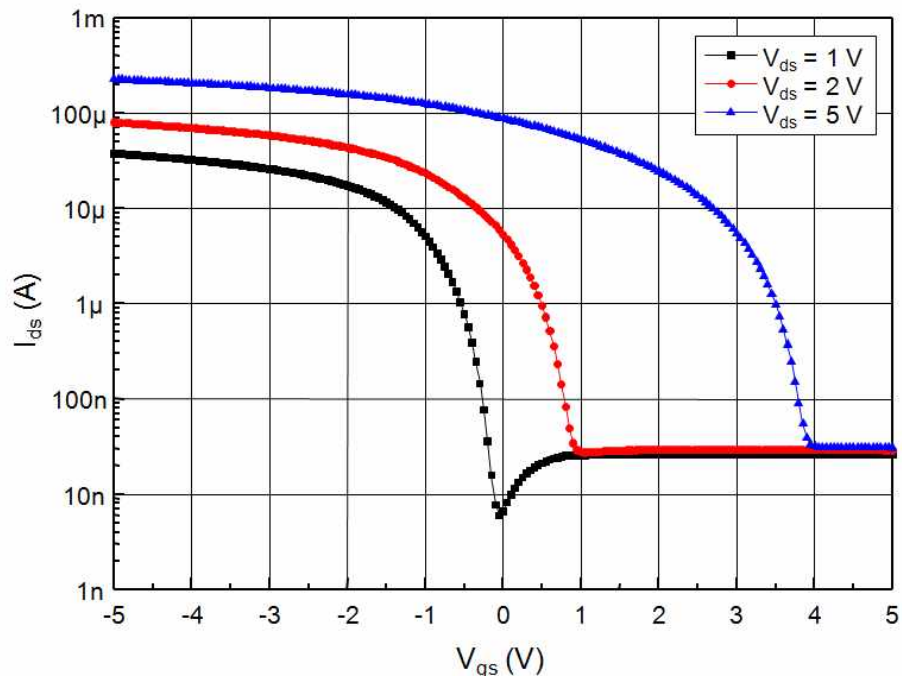


그림 2-54. 구동전압별 실리콘 나노와이어 FET의 특성.

표 2-10. 구동전압별 실리콘 나노와이어 FET의 특성 요약

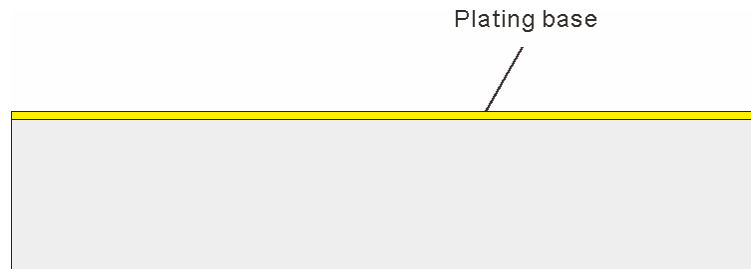
구동 전압	1 V	2 V	5 V
I_{on_max}	~37.6 μ A	~79.8 μ A	~224.9 μ A
I_{off}	~6 nA	~29 nA	~31 nA
on-off ratio	$> 6.3 \times 10^4$	$> 2.8 \times 10^3$	$> 7.3 \times 10^4$
V_{th}	-0.05 V	1.10 V	4.20 V
SS	~150 mV	~240 mV	~260 mV

이상을 통해 실리콘 나노와이어 FET의 제작과 특성 평가를 통해 실리콘 나노와이어 FET의 성능을 조사하였다. 본 논문에서 설계한 망막 자극기 회로에 있어서, 전압 분배기에 사용되는 실리콘 나노와이어 FET의 특성과 전류 구동기에 사용되는 실리콘 나노와이어 FET의 요구 조건이 다름을 언급한 바 있다. 즉 전압 분배기에 사용되는 실리콘 나노와이어 FET의 경우에는 전압 분배기의 출력 전압의 스윙 범위가 크게 나타날 수 있도록 빛의 세기에 따른 실리콘 나노와이어 광 검출기 저항 값과의 상대적인 비율로서 작용할 수 있도록 실리콘 나노와이어 FET의 구동 상태의 저항 값이 중요하고, 전류 구동기에 사용되는 실리콘 나노와이어 FET의 경우에는 망막 시세포를 충분히 자극할 수 있도록 큰 전류 레벨이 필요하고, 작은 전압 범위에서 on, off가 가능하도록 큰 on-off ratio 및 낮은 스위칭 전압, SS 등이 중요한 고려사항이 된다. 이러한 FET의 요구 조건에 맞는 실리콘 나노와이어 FET 제작조건을 확보할 필요가 있으며, 이를 위한 토대로서 실리콘 나노와이어 개수, 길이 및 구동 전압을 특성 평가 파라미터로 하여 실리콘 나노와이어 FET 테스트 소자를 제작하고 이에 대한 특성 평가 결과를 살펴보았다.

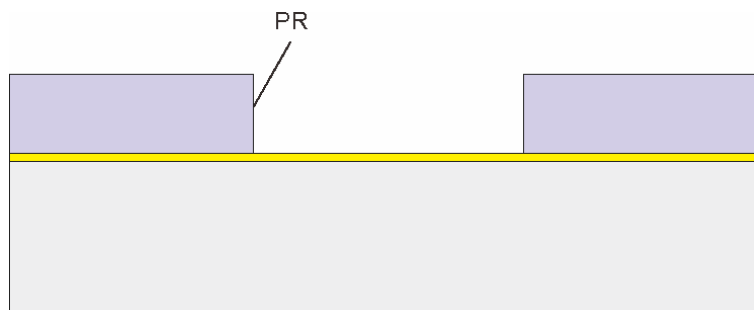
4. 고밀도 미세 전극을 위한 나노 3-D 전극 제작

앞 절을 통해 본 논문에서 제안하는 고해상도 인공 망막 자극기를 위한 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 구성하는 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET에 대하여 소자 제작 및 특성 평가 과정을 자세히 살펴보았다. 망막 자극기 회로 구성을 위한 마지막 구성 요소로서 미세 전극의 구현 방법에 대해 살펴보려고 한다. 고해상도 망막 시스템을 위해서는 작은 면적에서도 망막 시세포와의 낮은 접촉 임피던스 확보를 통해 높은 전류를 주입할 수 있는 고효율의 미세 전극의 제작이 필요하다. 아울러 앞에서 제작한 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET 제조 공정과 쉽게 결합할 수 있는 제조 방법으로 구현 가능한 고밀도 미세 전극이 필요하다.

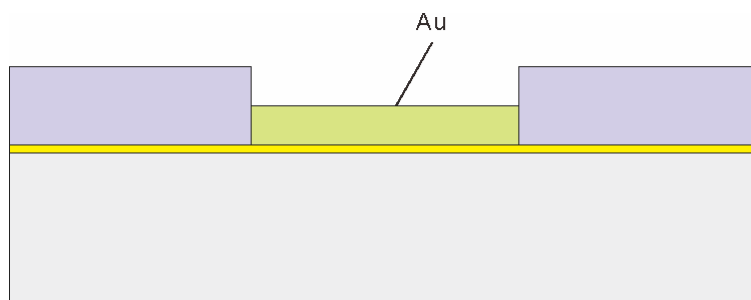
그림 2-55는 본 논문에서 이용한 고밀도 미세 전극의 제조 공정도로서, 본 연구그룹에서는 작은 면적을 차지하면서도 높은 표면적 확보가 가능한 방법으로 원통형 전극을 제작한 후 전극 표면에 미세한 나노구조체를 형성하여 표면적을 크게 늘릴 수 있는 나노 3D 미세 전극 제조 방법을 고안하여 그 연구 결과를 해외 저널에 투고한 바 있다[62]. 그림 2-55의 나노 3D 미세 전극 제조 공정을 살펴보면, 먼저 기판 위에 도금 기저막으로서 Ti 300 Å, Au, 500 Å를 증착한다(그림 2-55(a)). 그리고 PR 코팅 및 패터닝의 과정을 통해 그림 2-55(b)와 같이 미세 전극이 형성될 위치에 도금기저막이 드러나도록 한다. 도금기저막이 드러나면 O₂ plasma 공정을 이용하여 도금기저막 표면의 PR 잔유물을 제거하고 기판 표면을 친수성이 되도록 처리 한다. 그리고 Au 전주도금 공정을 통해 일정 두께의 원통형 전극을 형성한다(그림 2-55(c)). Au 전주도금 공정 후에는 PR을 바로 제거하지 않고 곧바로 Pt-black 도금 공정을 통해 Au 도금면 위에 Pt-black 도금층을 형성한다(그림 2-55(d)). Pt-black이 형성된 후에는 PR을 제거하고(그림 2-55(e)), 기판 표면으로 드러난 도금기저막을 제거하면 그림 2-55(e)의 나노 3D 미세 전극의 제작이 완료된다.



(a) 도금기저막 형성.

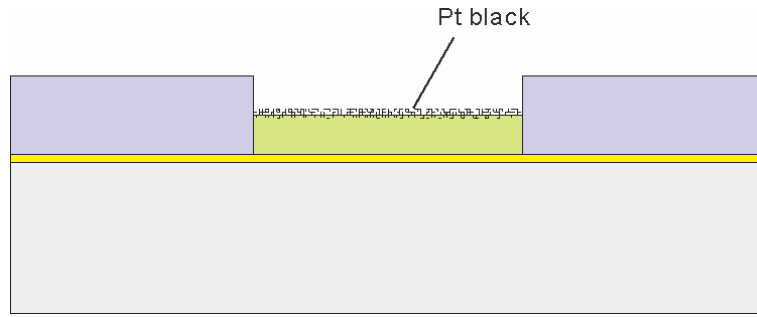


(b) PR 패터닝.

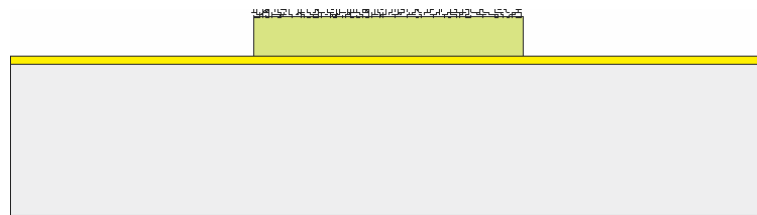


(c) Au 도금.

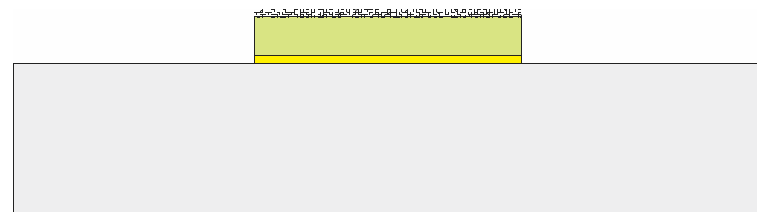
그림 2-55. 고밀도 미세 전극용 나노 3D 전극 제조 공정도.



(d) Pt black 도금.



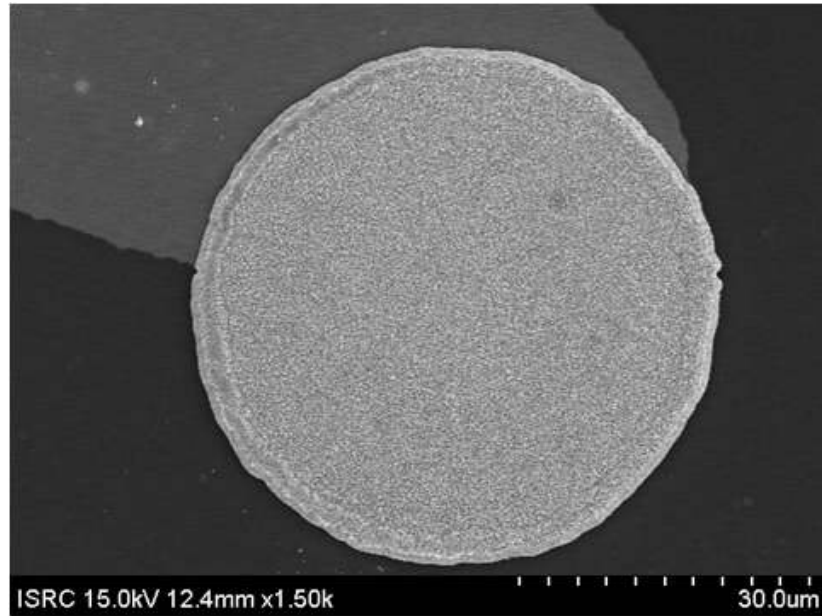
(e) PR 제거.



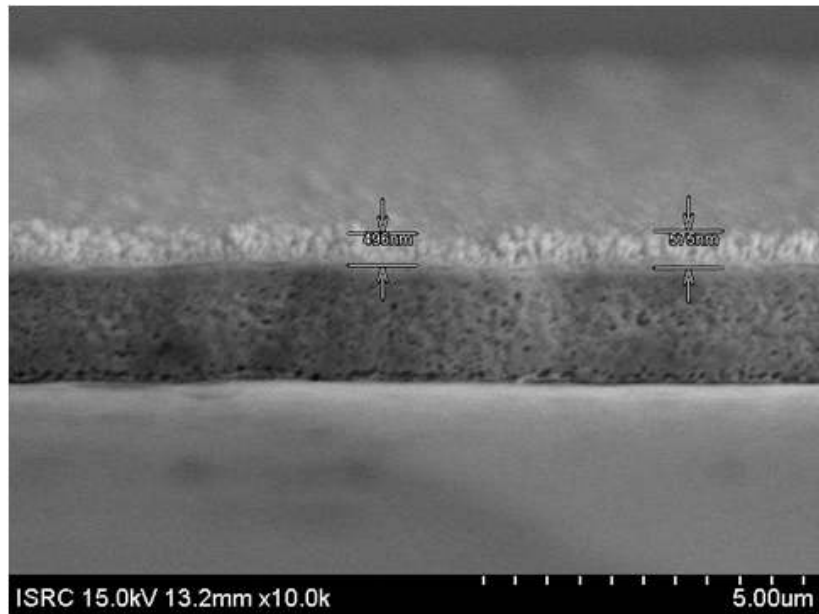
(f) 도금기저막 제거.

그림 2-55. 고밀도 미세 전극용 나노 3D 전극 제조 공정도.

그림 2-56은 나노 3D 미세 전극의 제조 결과 사진이다. 그림 2-56(a), (b)에서 보듯이 약 $50\ \mu\text{m}$ 의 직경을 가진 원통형의 Au 전극의 상부면에 두께가 약 $5000\ \text{\AA}$ 정도의 아주 미세하고 거친 미세한 돌기 모양의 Pt-black 층이 형성된 모습을 볼 수 있다. 그림 2-56(c), (d)의 Pt-black의 표면 사진을 통해 종횡비가 아주 높은 Pt 구조물이 촘촘히 배열되어 있고 매우 porous한 형상을 하고 있기 때문에 표면적이 매우 클 것임을 확인할 수 있다.

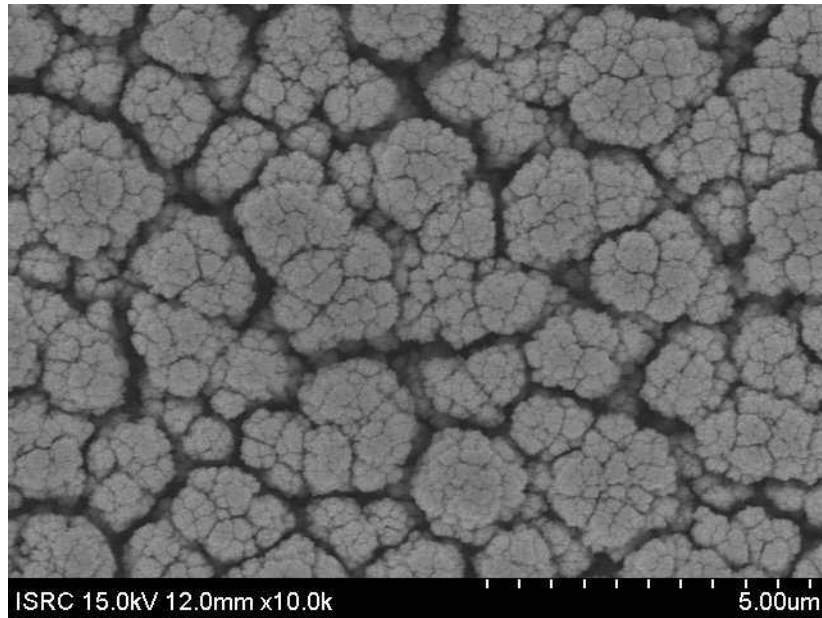


(a) 전극 상부 형상.

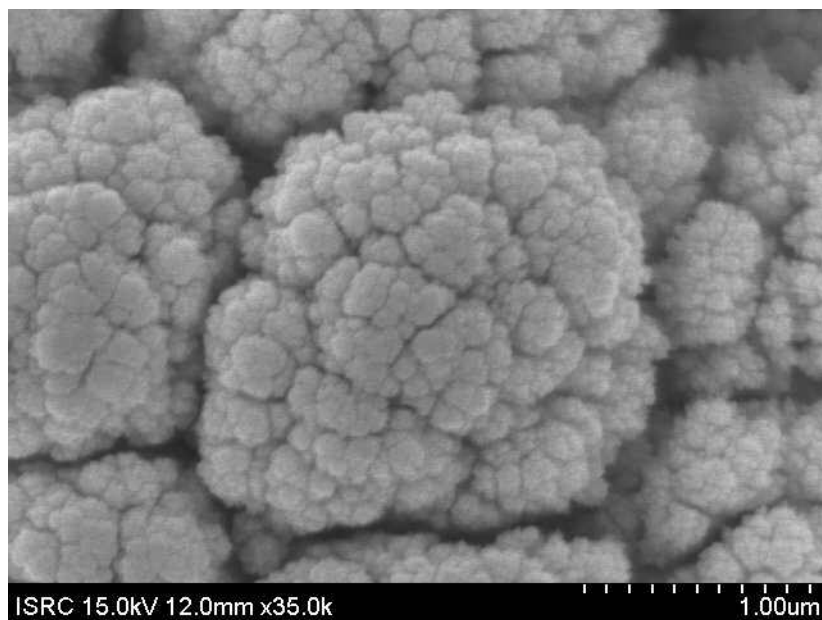


(b) 전극 측면 형상.

그림 2-56. 고밀도 미세 전극용 나노 3D 전극 제조 결과.



(c) 전극 표면 형상(10,000배).



(d) 전극 표면 형상(35,000배).

그림 2-56. 고밀도 미세 전극용 나노 3D 전극 제조 결과.

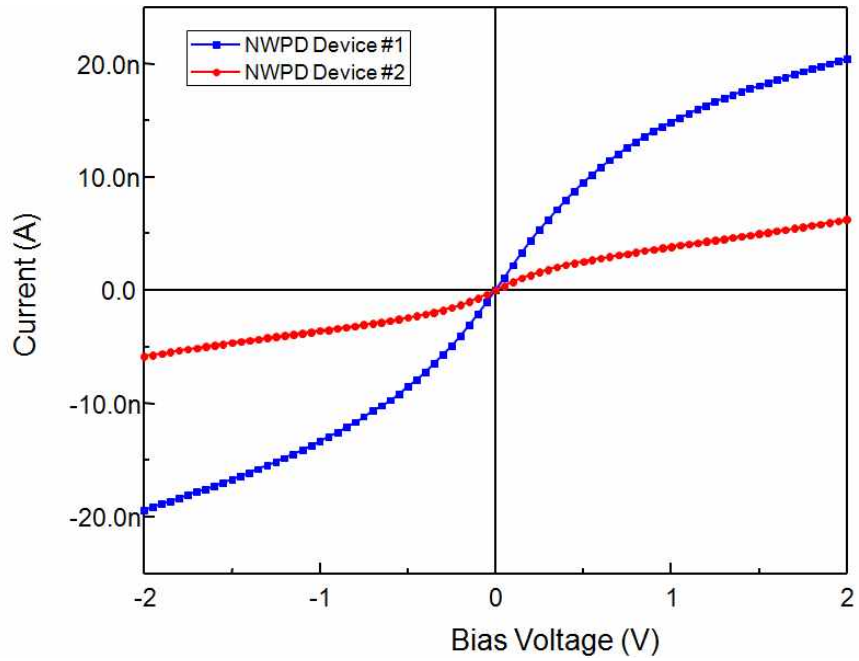
논문[62]의 결과에 따르면, 비슷한 면적을 차지하는 나노 3D 전극과 화살촉 전극[9]의 PBS용액과의 interface impedance 측정 결과, 나노 3D 전극은 1 kHz 주파수에서 interface impedance 값이 약 43.2 k Ω 으로 측정되어 화살촉 전극의 계면 임피던스의 약 80% 수준으로 나타났다. 또한 최대 전류 주입용량에 있어서는 나노 3D 전극이 392.1 μ A로 측정되었는데 이는 3차원 화살촉 전극 보다 무려 430% 높은 값이다. 이러한 결과를 통해 나노 3D 미세 전극은 제조 방법이 쉬우면서도 작은 면적에서 큰 전류 주입용량을 확보할 수 있기 때문에 고해상도 인공 망막 시스템에서의 미세 전극으로 사용하기에 적합함을 확인할 수 있다.

제 4 절 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로 제작 및 특성 평가

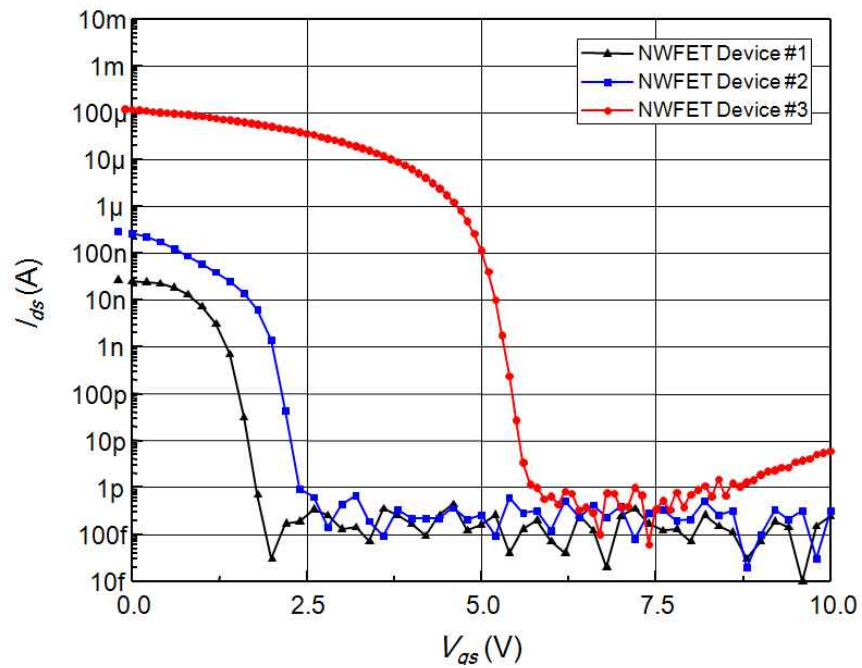
제2장 3절에서는 본 논문에서 제안하는 고해상도 인공 망막 시스템을 위한 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 구성하는 각 소자들의 제작 및 특성 평가를 진행함으로써 자극기 구성을 위한 기초 작업을 진행하였으며, 이번 절에서는 제작된 각 소자들을 조합하여 망막 자극기를 구성하는 전압 분배기 및 전류 구동기 각각의 회로를 구성하여 그 동작을 검증하고 성능을 조사함으로써 본 논문의 설계 원리가 잘 적용되는지를 살펴보고자 한다.

1. 전압분배기 동작 시험

먼저 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET로 구성되는 그림 2-4의 전압 분배기를 구성하여 동작을 살펴보도록 한다. 전압 분배기의 동작을 조사하기 위해 각기 다른 성능을 가지는 실리콘 나노와이어 광 검출기 소자 2개와 실리콘 나노와이어 FET 소자 3개를 선택하였으며, 그 특성 그래프를 그림 2-57에 나타내었다. 실리콘 나노와이어 광 검출기의 경우 dark 상태에서의 암전류 레벨이 다른 2개의 소자를 선택했으며, 선택된 소자는 모두 저항의 변화 비율이 1,000 배가 넘는 우수한 특성을 가진 광 검출기이다. 실리콘 나노와이어 FET의 경우는 그림 2-57(b)와 표 2-11에서 볼 수 있듯이 on current level이 각기 다른 세 개의 소자를 선택한 것이며 기타 다른 특성은 표 2-11에 나타낸 바와 같다.



(a) NWPD의 I-V 특성.



(b) NWFET의 스위칭 특성.

그림 2-57. 전압 분배기 구성에 사용된 실리콘 나노와이어 광 검출기 소자 및 실리콘 나노와이어 FET 소자의 특성 곡선.

표 2-11. 전압 분배기 구성에 사용된 실리콘 나노와이어
FET 소자들의 특성표

	NWFET Dev. #1	NWFET Dev. #2	NWFET Dev. #3
I_{on_max}	~ 30 nA	~ 400 nA	~ 300 μ A
I_{off}	< 1pA	< 1 pA	< 1 pA
ON/OFF ratio	> 10^5	> 10^6	> 10^8
V_{th}	1.2 V	1.2 V	4.0 V
SS	120 mV	120 mV	110 mV

광 검출기 소자 2개와 FET 소자 3개를 이용하여 총 6개의 조합으로 전압 분배기를 구성하였고 각각의 경우에 대하여 동작 테스트를 진행하였으며, 그 결과를 그림 2-58에 나타내었다. 측정 방식은 할로젠램프를 이용하여 광 검출기에 세기별로 빛을 조사하면서 전압 분배기 출력 전압을 측정하였다. 빛의 세기는 정밀한 측정을 위해 조도계 대신에 Gigahertz Optik사의 검출기(모델명 LP-0101-2)를 이용하였으며 중심 파장 800 nm에서 측정하였다.

먼저 그림 2-58(a), (b)의 결과는 나노와이어 FET는 1번 소자로 고정하고, 나노와이어 광 검출기 소자는 1번과 2번을 이용하여 전압 분배기를 구성한 후 전압 분배기에 1 V의 전압을 공급한 후 광 검출기에 빛의 세기를 점점 늘려가며 출력 전압을 측정한 것이다. 그림 2-58(a)와 (b)를 비교해서 보면, NWPD #2의 전압 분배기 출력이 NWPD #1보다 높게 나타나는 것을 볼 수 있는데, 이는 dark 상태에서의 저항 값이 NWPD #2가 #1보다 4배 정도 크기 때문이다. 각 그래프 안의 작은 그래프는 제어 전압(V_c)에 대한 출력 전압의 최대 스윙 범위를 나타낸 것이다. 그림 2-58(a)의 조합에서는 V_c 가 0 V일 때 약 0.5 V의 최대 스

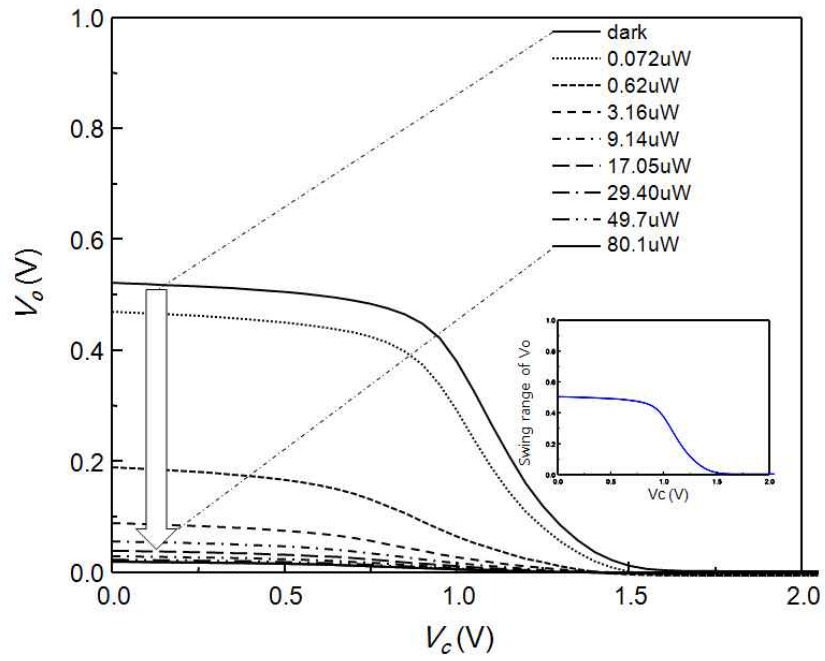
영 범위를 나타냈고, 5-58(b)의 조합에서는 0 V일 때 약 0.75 V의 최대 스윙 범위를 나타냈다.

그림 2-58(c), (d)의 결과는 나노와이어 FET는 2번 소자로 고정하고, 나노와이어 광 검출기 소자는 1번과 2번을 이용하여 전압 분배기를 구성한 후 출력 전압을 측정한 것이다. 그림 2-58(c)와 (d)를 비교해서 보면, 역시 NWPD #2를 이용했을 때 더 큰 출력이 나타나는 것을 볼 수 있다. 제어 전압(V_c)에 대한 출력 전압의 최대 스윙 범위는, 2-58(c)의 조합에서는 V_c 가 0 V일 때 약 0.55 V의 최대 스윙 범위를 나타냈고, 5-58(d)의 조합에서는 0.8 V일 때, 약 0.8 V의 최대 스윙 범위를 나타냈다.

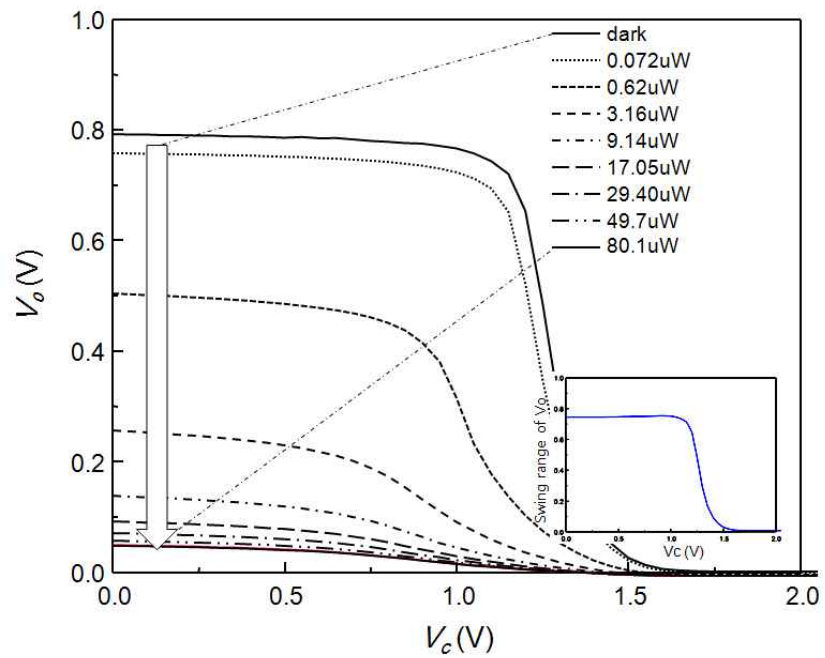
그림 2-58(e), (f)는 나노와이어 FET는 3번 소자로 고정하고, 나노와이어 광 검출기 소자는 1번과 2번을 이용하여 전압 분배기를 구성한 후 출력 전압을 측정한 것이다. 그림 2-58(e)와 (f)를 보면 그래프 모양이 거의 비슷한 것을 볼 수 있다. 앞의 그림 2-58(a)~(d)의 결과와 구별되는 점은 제어 전압이 0 V 부근에서는 전압 분배기 출력 전압이 전압 분배기 인가전압에 근접한 값을 나타내고 스윙 범위도 아주 작은 것을 볼 수 있다. 이러한 이유는 NWFET #3의 on 저항 값이 나노와이어 광 검출기에 최대의 빛을 조사했을 때의 저항 값보다도 훨씬 작은 값을 가지는데, 이는 앞의 2장 2절의 전압 분배기 설계에 있어서 'Case III'에 해당하는 조건의 전압 분배기 구성이기 때문이다. 그렇지만 그림 5-58(e), (f)에서 보듯이 제어 전압을 서서히 높이면, NWFET #3는 off 상태로 접어들면서 저항 값이 점점 늘어나고 정상적인 전압 분배기의 동작이 가능해지고, 출력 전압의 스윙 범위도 점점 커지게 된다. 그림 5-58(e), (f)의 작은 그래프에서 보듯이 두 경우 모두 제어 전압이 1 V인 지점에서 전압 분배기 출력 전압이 최대가 되고, 약 0.9 V로 높은 스윙 범위를 보인다.

이상으로 실제로 제작된 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET를 이용하여 전압 분배기를 구성하여 전압 분배기의 동작을 살펴보았으며, 전압 분배기를 구성하는 소자들의 조건에 따른 출력 전압

특성이 2장 2절의 전압 분배기 설계에 있어서의 시뮬레이션 결과와 잘 부합함을 확인할 수 있었다.

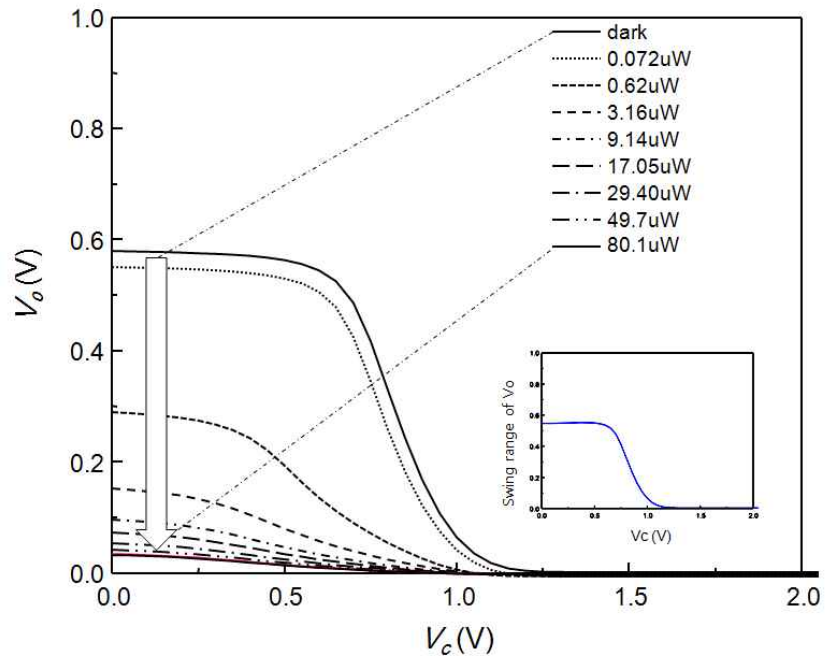


(a) NWPD#1, NWFET#1의 조합

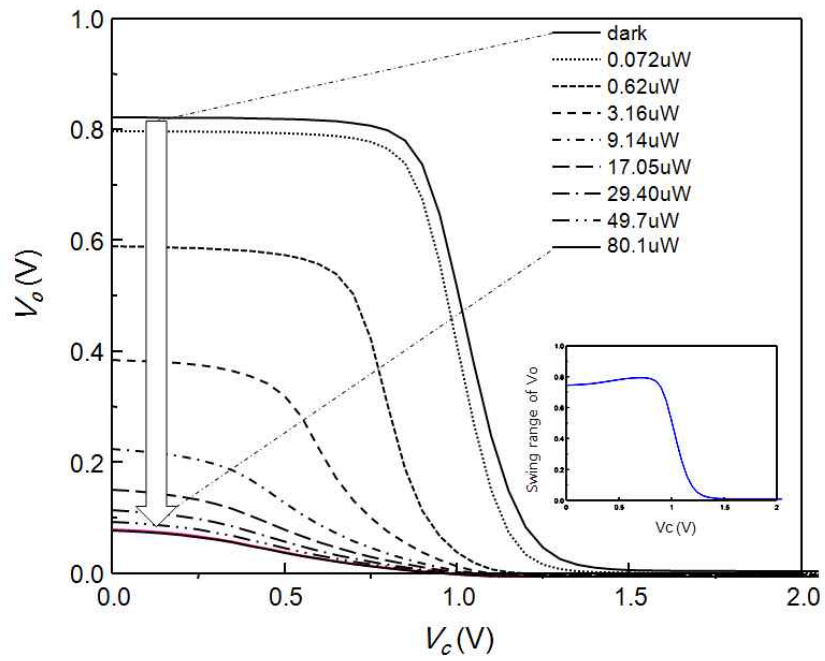


(b) NWPD#2, NWFET#1의 조합.

그림 2-58. 전압 분배기 동작 시험.

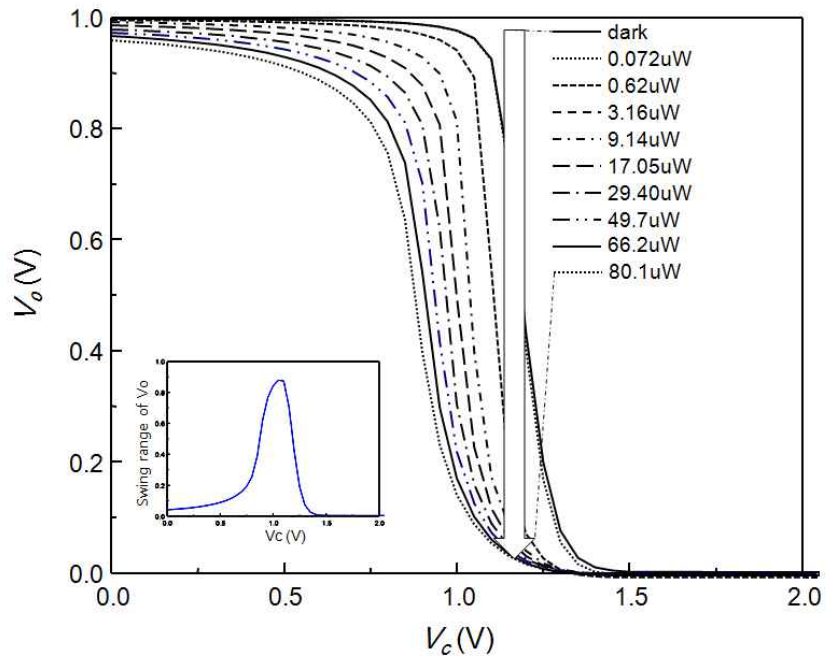


(c) NWPD#1, NWFET#2의 조합.

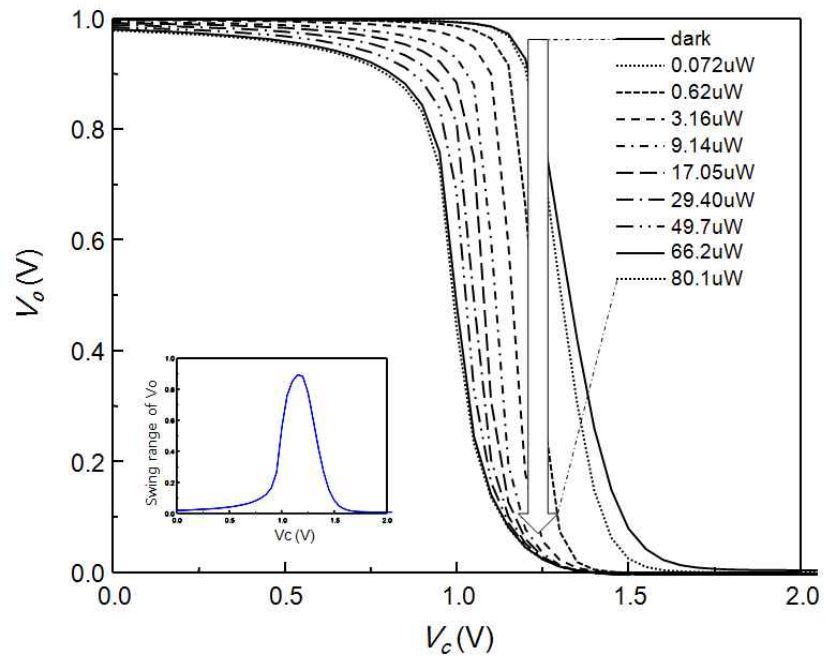


(d) NWPD#2, NWFET#2의 조합.

그림 2-58. 전압 분배기 동작 시험.



(e) NWPD#1, NWFET#3의 조합.

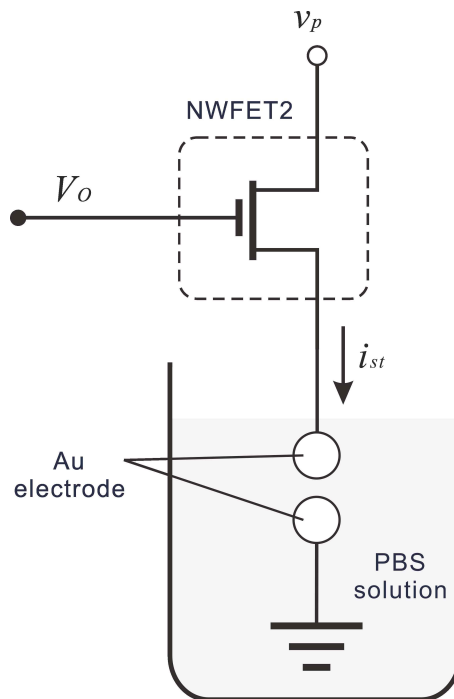


(f) NWPD#2, NWFET#3의 조합.

그림 2-58. 전압 분배기 동작 시험.

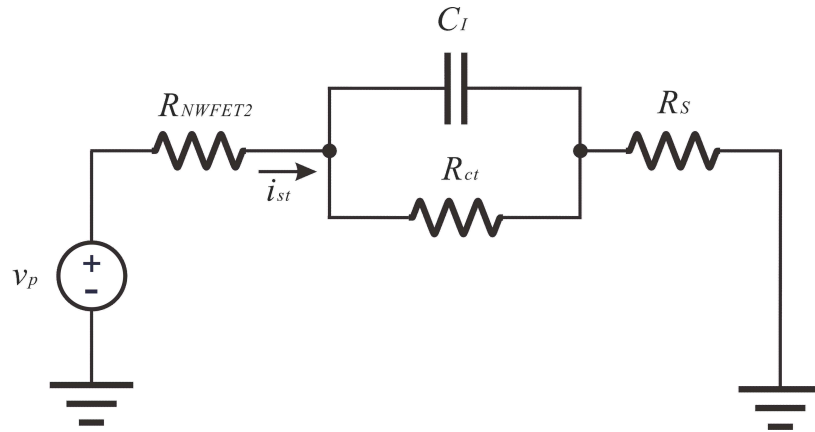
2. 전류 구동기 동작 시험

그림 2-59(a)는 전류 구동기의 동작 시험을 위한 측정 셋업 도면이다. 회로에 나타난 바와 같이 전류 구동기는 전압 분배기의 출력 전압으로 출력 전류가 제어되며 Au 전극에 직접 연결되어 자극 전류를 전달해주며 준다. 그림 2-59(b)는 그림 2-59(a)의 등가 회로 모델로서, Au 전극과 PBS 용액과의 interface impedance는 그림과 같이 R, C 등가회로로 표현할 수 있으며, C 는 interface capacitance, R_{ct} 는 charge transfer resistance, 그리고 R_s 는 solution resistance를 의미한다[63-66]. Interface impedance의 각 파라미터는 신호의 전달 특성을 결정하는 인자로서, 전극의 크기 및 재료, electrolyte의 종류에 따라 달라지게 된다. 2-59(c)는 전류 구동기 시험에 사용된 Au 전극으로서 중앙에 2 mm 직경의 원형 전극과 그 주변으로 약 300 μm 간격을 두고 약 500 μm 폭의 ground 전극이 형성되어 있다. Au 전극은 NWFET2의 소스에 연결한 후 PBS 용액에 담그게 된다.

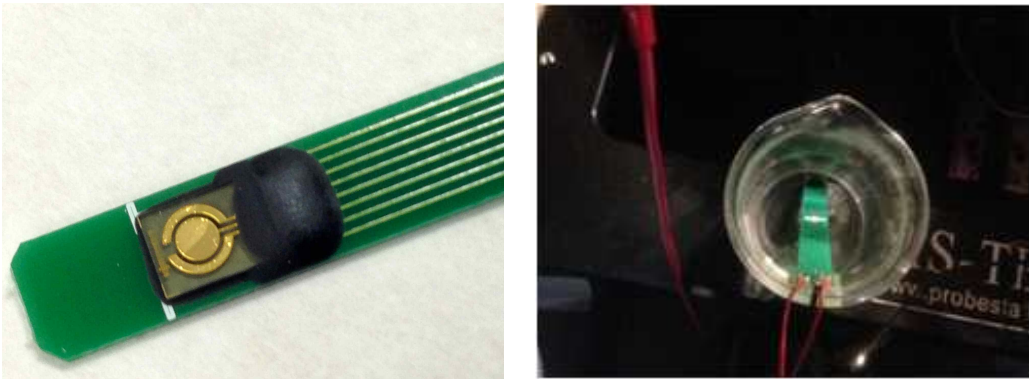


(a) 전류 구동기 동작 시험을 위한 측정 셋업.

그림 2-59. 전류 구동기 동작 시험을 위한 측정 셋업.



(b) 등가 회로 모델.



(c) Au 전극.

그림 2-59. 전류 구동기 동작 시험을 위한 측정 셋업.

전류 구동기에 사용되는 실리콘 나노와이어 FET, 즉 NWFET2는 미세 전극에 전류를 충분히 전달해 줄 수 있도록 on current 레벨이 높아야 하고 off 상태에서는 전류를 완벽히 차단할 수 있도록 off current 레벨은 낮을수록 좋다. 그림 2-60은 전류 구동기의 동작 시험에 사용된 실리콘 나노와이어 FET의 스위칭 특성 그래프이다. 그림에 나타난 바와 같이 NWFET2의 공급 전압(V_{dd})을 5 V에서 -5 V로 변화시켜가며 게이트 전압에 대한 스위칭 특성을 측정하였다. 공급 전압의 변화에 따라 전류 레벨과 문턱 전압이 바뀌는 것을 확인할 수 있다.

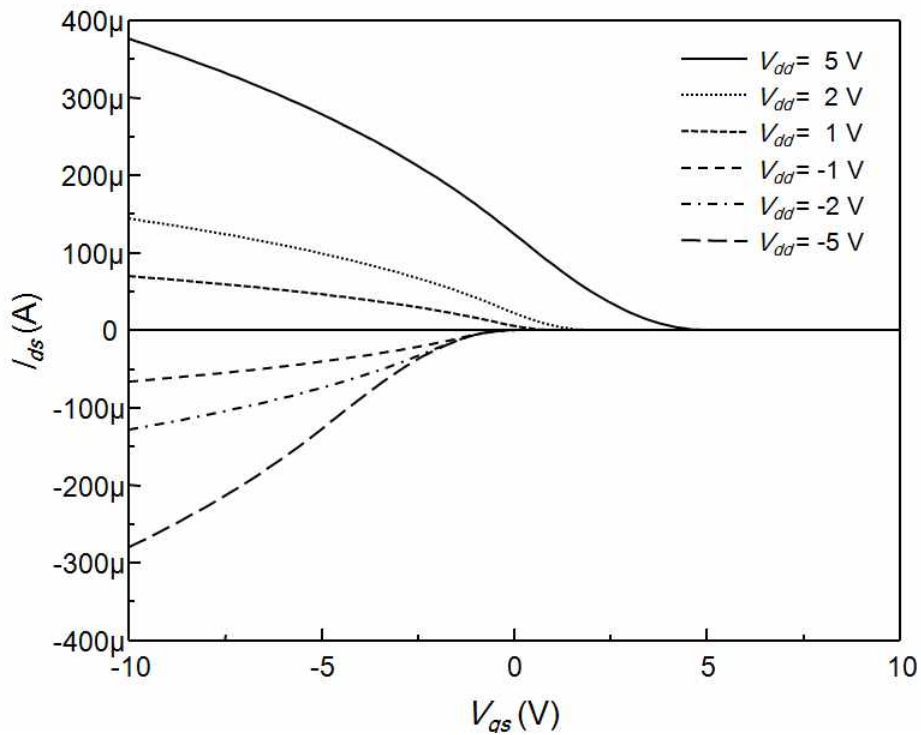
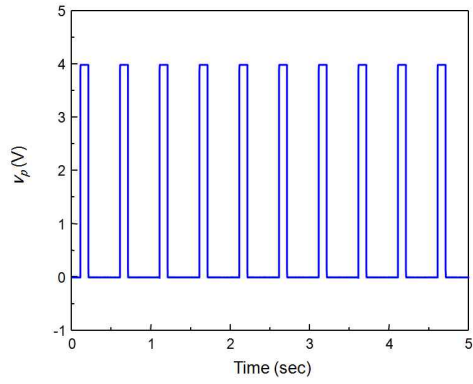


그림 2-60. NWFET2의 스위칭 특성.

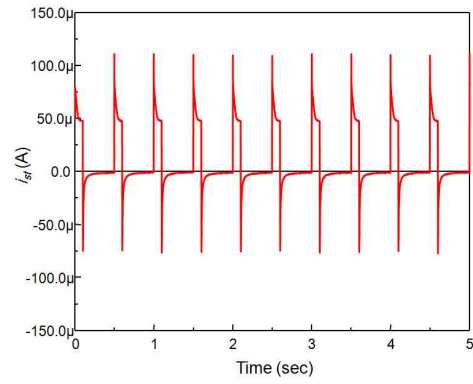
전류 구동기의 동작 시험을 위해 실리콘 나노와이어 FET의 드레인에는 신호발생기(function generator)로부터 생성된 기준 자극 신호를 인가하였다. NWFET2의 게이트 전압은 전압 분배기의 출력 전압 V_o 대신 반도체 파라미터 측정기를 통해 제어하였다.

전류 구동기의 동작 시험을 위해 먼저 게이트 전압에 따른 기준 펄스 신호의 on-off 제어 특성을 조사하였다. 그림 2-61은 신호발생기를 이용하여 기준 자극 신호를 생성하여 실리콘 나노와이어 FET의 드레인 전극에 인가한 후 게이트 전압 조절을 통해 미세 전극으로의 파형 전달 제어, 즉 on-off 특성을 측정한 결과이다. 기준 자극 신호는 mono-phase의 펄스 신호로서, 그림 2-61(a)에서 보는 바와 같이 4 V의 진폭과 100 msec의 duration을 가지고 있다. 그림 2-61(b)는 게이트 전압 V_o 에 -5 V를 인가한 후 미세 전극으로 전달된 전류 신호를 측정한 결과로서, 최대 피크 전류는 약 120 μ A이다. 게이트 전압에 따른

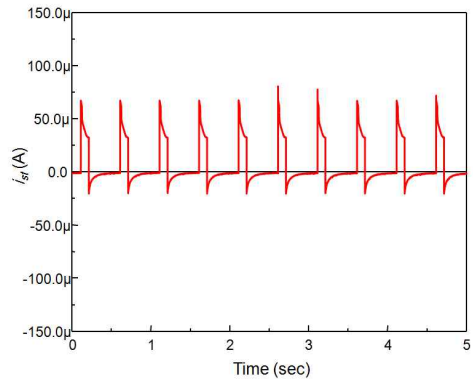
최대 피크 전류는 0 V일 때는 약 75 μ A, 1 V일 때는 약 50 μ A, 3 V일 때는 10 μ A로, 게이트 전압을 증가시킬 때마다 Au 전극으로 전달되는 전류 신호의 레벨은 점점 줄어들게 되고, $V_g = 4$ V 이상일 때 FET가 off가 되면서 더 이상 전류는 전달되지 않는 것을 볼 수 있다. 이를 통해 제작된 실리콘 나노와이어 FET의 게이트 전압의 제어를 통해 기준 자극 신호의 current level 조절 및 on, off 제어가 가능함을 확인할 수 있다.



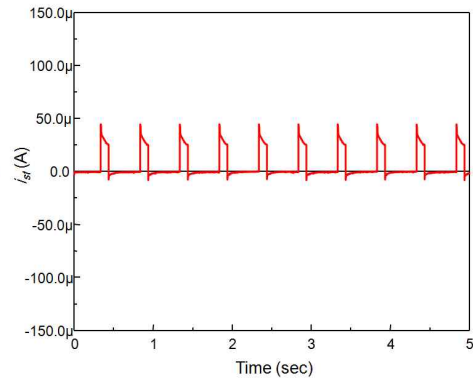
(a) v_p .



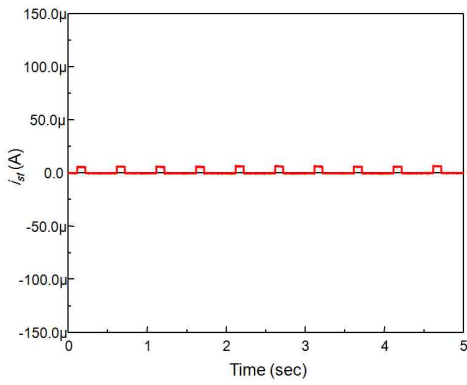
(b) $V_o = -5$ V일 때의 v_{st} .



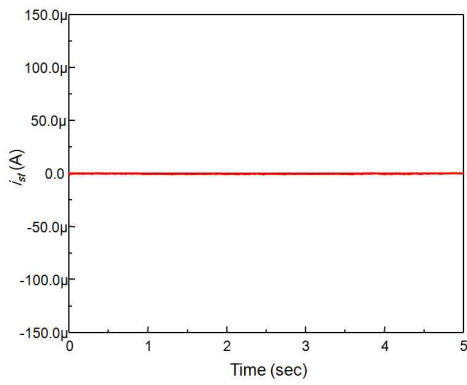
(c) $V_o = 0$ V일 때의 v_{st} .



(d) $V_o = 1$ V일 때의 v_{st} .



(c) $V_o = 3$ V일 때의 v_{st} .



(d) $V_o = 4$ V일 때의 v_{st} .

그림 2-61. 전류 구동기 동작 시험(스위칭 특성).

그림 2-62는 파형 발생기를 이용하여 기준 자극 신호의 형태를 바꿨을 때 Au 전극으로의 전류 파형의 전달 특성을 조사한 결과이다. 이번 실험에서는 FET를 완전히 on 상태가 되도록 게이트 전압을 조정 한 후 기준 자극 신호의 형태를 바꾸면서 Au 전극으로 전달된 전류 펄스의 파형을 측정하였다. 전류 신호의 전달 특성은 그림 2-59(b)에 나타낸 바와 같이 Au 전극과 PBS 용액과의 interface impedance에 의해 영향을 받게 된다. 파형 발생기를 이용하여 긴 duration을 갖는 구형 펄스와 짧은 duration을 갖는 펄스, mono-phase와 bi-phase 펄스 등을 인가하였다.

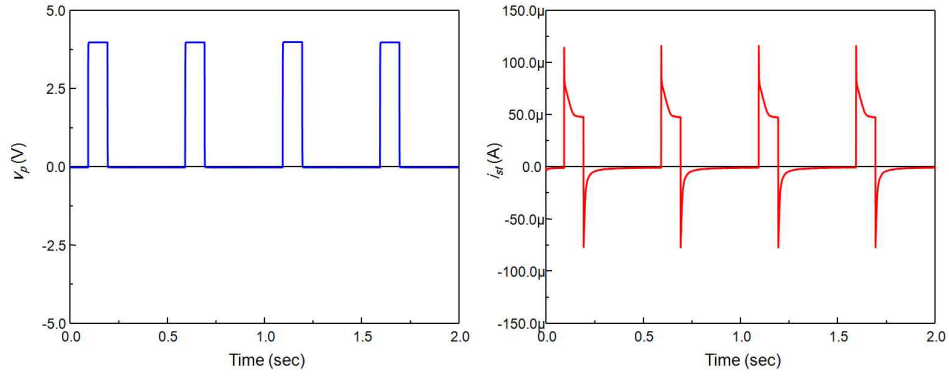
그림 2-62(a)는 100 msec의 duration을 갖는 4 V 진폭의 mono-phase pulse를 인가한 후 전류 전달 특성을 측정한 결과이다. 그림 2-62(a)에서 보듯이 구형 펄스의 rising 및 falling 시점에서는 신호의 교류 성분이 그림 2-59(b)의 interface capacitor를 통해 신호가 전달되며, 이때 capacitor에는 충전이 이루어지고, 구형 펄스의 on 구간 및 off 구간, 즉 DC 구간에서는 charge transfer resistor에 의한 신호 전달과 interface capacitor에서의 방전이 이루어지는 형태의 파형이다. 따라서 구형 펄스의 rising 및 falling 시점에서는 매우 sharp한 impulse 형태의 파형을 보이고 있다.

그림 2-62(b)는 5 msec의 짧은 duration을 갖는 4 V 진폭의 mono-phase pulse를 인가한 후 전류 전달 특성을 측정한 결과이다. 그림 2-62(d)에서 보듯이 구형 펄스의 on 구간이 짧아 interface capacitor에서의 방전시간이 짧아 rising 구간 및 falling 시점에서의 impulse 형태가 그림 2-62(a) 보다 완만한 것을 볼 수 있다.

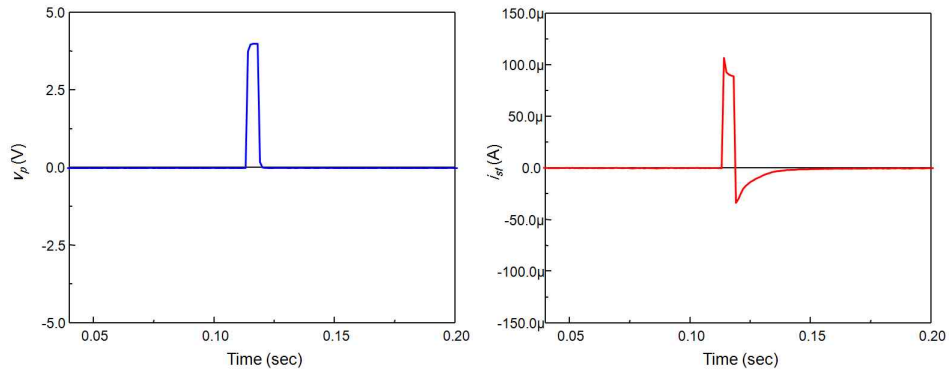
그림 2-62(c)는 +2 V의 진폭을 가진 양의 구형 펄스와 -4 V의 진폭을 가진 음의 구형 펄스가 1% duty 비(5 msec : 495 msec)로 구성되는 을 가지는 bi-phase pulse를 인가한 후 전류 전달 특성을 측정한 결과이다. Bi-phase 신호 인가에 따라 Au 전극으로 전달된 전류 파형에도 DC offset이 존재하는 것을 볼 있다. Bi-phase 신호 인가에 따른 특징적인 점은 양의 펄스에서의 DC 구간에서의 방전 패턴은 mono-phase

신호를 인가했을 때와 비슷한 모습을 보이지만, 음의 펄스에서의 DC 구간에서의 방전은 앞의 두 경우에 비해 매우 빠르게 진행됨을 볼 수 있다. 즉 그림 2-62(b)의 mono-phase 신호 인가에 따른 전류 전달 파형에서는 falling 시점에서 interface capacitor에 충전된 전압이 0 V 구간에서 완전히 방전되는 데에는 상당한 시간이 소요되지만, 그림 2-62(c)에서의 전류 전달 파형에서 falling 시점 이후에 ‘-’ 전압의 펄스를 인가해 줌으로써 interface capacitor에 충전된 전압을 빠르게 방전할 수 있게 된다. 이를 통해 Bi-phase 신호를 인가해 줌으로써 interface capacitor의 충전을 최소화할 수 있기 때문에 빠른 신호를 인가하는데 있어 유리하게 됨을 알 수 있다.

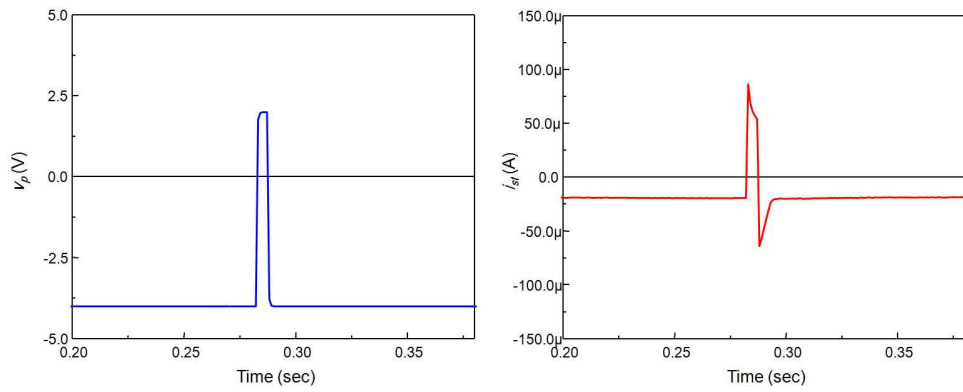
이상의 전류 구동기 실험을 통해 실리콘 나노와이어 FET를 이용한 Au 전극으로의 자극 신호의 전달 및 제어가 효과적으로 잘 이루어짐을 확인할 수 있었다.



(a) pulse duration : 100 msec, mono-phase.



(b) pulse duration : 5 msec, mono-phase.



(c) pulse duration : 5 msec, bi-phase.

그림 2-62. 전류 구동기 동작 시험.

(PBS 용액에서의 펄스 전달 특성)

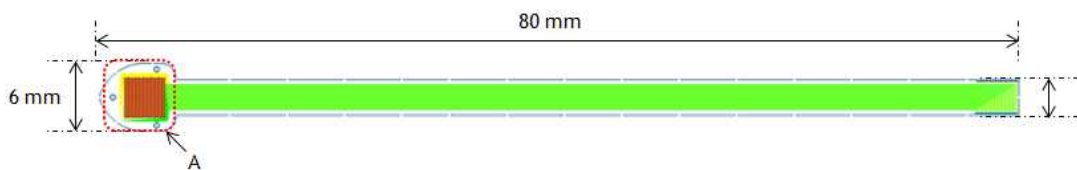
제 5 절 실리콘 나노와이어 광 검출기가 내장된 32×32 고해상도 망막 자극기의 설계 및 제작

본 논문에서는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 내장된 망막 자극기 및 자극 기법에 대하여 제안하였으며, 픽셀 단위의 광 검출 및 자극 신호 변조가 가능하기 때문에 시스템 구성요소들 간의 신호선을 최소화할 수 있어 고해상도화에 유리함을 설명한 바 있다. 그리고 앞에서 망막 자극기 회로를 구성하는 기본 소자로서 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET, 그리고 미세 전극을 제작하여 각각의 특성을 살펴보았다. 아울러 제작된 기본 소자들을 이용하여 망막 자극기 회로를 구성하고 회로의 동작을 조사함으로써 본 논문에서 제안하는 광 검출 및 자극 신호 변조 원리가 잘 적용됨을 살펴보았다. 그러나 앞에서 검증했던 방법은 제안하는 방법의 원리를 규명하기 위한 과정이었을 뿐이며 실제로 사람에게 적용할 수 있는 인공 망막 시스템을 구현하기 위해서는 픽셀 단위의 동작이 가능한 $N \times N$ matrix 형태의 집적화된 고해상도 망막 자극기가 필요하다. 이를 위해 본 절에서는 $N \times N$ matrix 형태의 고해상도 망막 자극기를 설계하고 실제로 제작해 봄으로써 설계 및 제작 과정에서의 문제점은 없는지, 제작이 용이한지 등의 제조 측면에서의 고해상도 망막 자극기 구현의 용이성을 검토하고자 한다.

1. 32×32 고해상도 망막 자극기의 설계

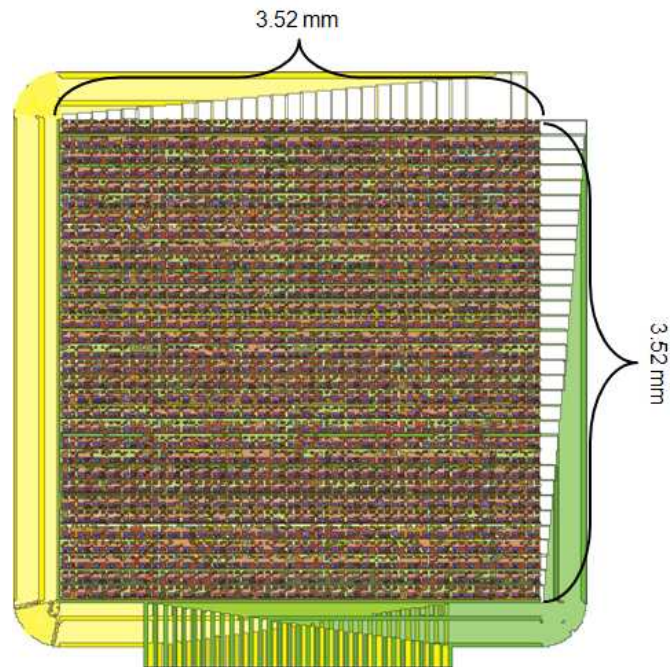
그림 2-63은 본 논문에서 설계한 32×32의 해상도를 가진 고해상도 망막 자극기를 제작하기 위한 반도체 공정용 마스크의 설계도이다. 그림 2-63(a)는 망막 자극기의 전체적인 크기를 나타내고 있는데, 망막 자극기의 길이는 약 8 cm이고, 폭은 약 3 mm가 되도록 설계하였다. 그림에서 망막 자극기 왼쪽의 'A' 부분은 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로, 미세 전극 어레이가 집적되어 있는 망막 자극기의 코어 부분이며 크기는 약 $6 \times 6 \text{ mm}^2$ 이다. 망막 자극기의 오른쪽은

외부의 신호처리 장치와의 전기적인 연결을 위한 wire bonding pad로서 32개의 제어 신호선(V_c)과 32개의 기준 자극 신호선(V_p), 그리고 1개의 ground line연결용 pad가 위치하고 있다. 그림 2-63(b)는 망막 자극기 코어 부분을 확대한 그림으로서, 코어 내부에는 그림 32×32의 matrix 형태로 그림 2-63(c)의 단위 픽셀이 배열되어 있으며, matrix 주변으로 제어 신호선인 scan line(V_c)과 기준 자극 신호선인 data line(V_p), ground line이 배치되어 있다. 그림 2-63(c)는 단위 픽셀의 설계도로서, 단위 픽셀의 크기는 $110 \times 110 \mu\text{m}^2$ 이며, 단위 픽셀은 본 논문에서 의한 실리콘 나노와이어 기반의 광 검출기 및 자극 신호 변조를 위한 1개의 실리콘 나노와이어 광 검출기와 2개의 실리콘 나노와이어 FET, 그리고 미세 전극으로 구성되어 있다. 개수는 10개, 길이는 $20 \mu\text{m}$ 인 실리콘 나노와이어를 이용하여 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET가 제작되도록 하였다. 미세 전극의 크기는 지름이 $20 \mu\text{m}$ 로 설계하였는데, 미세 전극의 크기가 대단히 작기 때문에 넓은 표면적을 확보하기 위해 원통형의 Au 전극을 형성한 후 그 위에 Pt-black을 형성하도록 하였다. 한편 신호선의 배선에 있어서 각 픽셀에는 제어 전압 V_c 와 기준 자극 신호 V_p , ground 선이 배치되어 있으며, 좌측의 전압 분배기의 공급전압은 V_p 를 공유하도록 하였다.

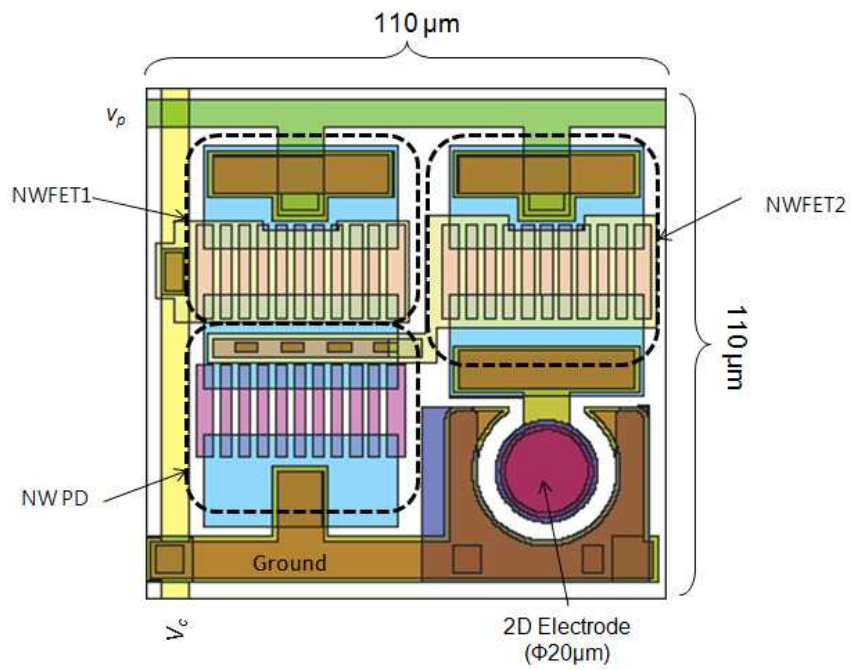


(a) 망막 자극기 전체 모습.

그림 2-63. 32×32 고해상도 망막 자극기 설계도.



(b) 'A'부 상세도.



(c) 단위 픽셀 설계도

그림 2-63. 32×32 고해상도 망막 자극기 설계도.

망막 자극기 제작을 위한 마스크는 총 11장이 소요되며, 각 사용 내역을 표 2-12에 정리하였다.

표 2-12. 32×32 고해상도 망막 자극기 제작을 위한 마스크 소요 내역

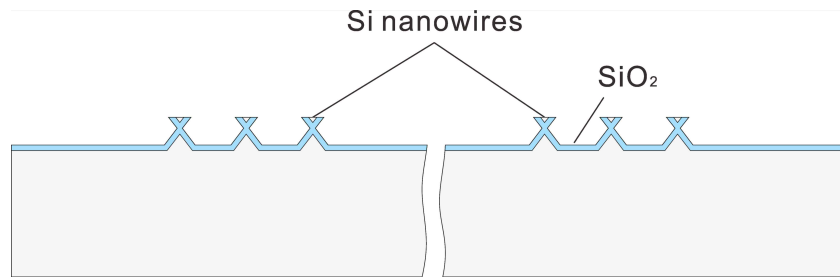
Mask No.	Mask ID	용 도	비 고
1	11NW	실리콘 나노와이어 제작	최소 선폭 1.6 μm
2	12POLY	폴리실리콘게이트 패터닝	Poly-Si 4,000 \AA
3	13OXR	컨택 전극 형성	Al 2,000 \AA / Mo 2,000 \AA
4	14SDG	소스, 드레인, 게이트 전극 형성	Cr 300 \AA / Au 1000 \AA
5	21PI1	1차 유전체층 형성	SU-8 1.5 μm
6	22AUD	Data line(V_D) 형성	Au 0.8 μm
7	23PI2	2차 유전체층	SU-8 1.5 μm
8	24AUS	Scan line(V_C) 형성	Au 0.8 μm
9	25PI3	3차 유전체층 형성	Polyimide 6 μm
10	26AU2D	미세 전극 형성	Au 3.0 μm / Pt-black 5,000 \AA
11	31SI	실리콘 DRIE	Si CMP 두께 30 μm

2. 32×32 고해상도 망막 자극기의 제작

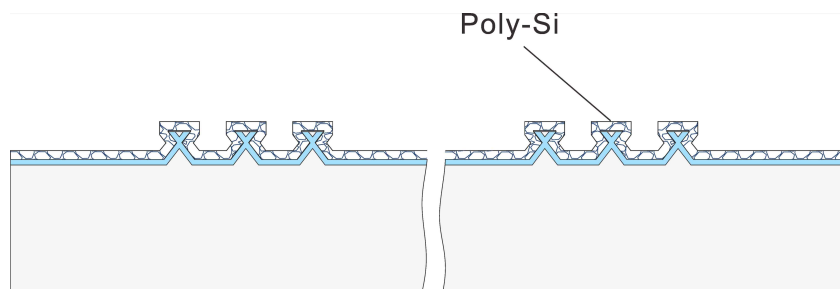
그림 2-64는 앞에서 설계한 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 내장된 32×32 고해상도 망막 자극기를 제작하기 위한 제조 공정도이다. 그림 2-64(a)~(e)는 앞의 그림 2-47의 실리콘 나노와이어 FET 제조 공정의 전반부와 동일하다. 다만 실리콘 나노와이어 FET와 함께 실리콘 나노와이어 광 검출기도 함께 제작해야 하기 때문에 그림 2-64(e)의 좌측의 실리콘 나노와이어 상부에는 폴리실리콘 게이트를 형성하지 않게 된다.

그림 2-64(e)의 contact 전극이 형성된 후에는, 그림 2-64(f)와 같이 Microchem사의 SU-8을 이용하여 약 1.5 μm 두께의 유전층을 형성한 후 Au 전주 도금 공정을 이용하여 1차 배선으로서 약 0.8 μm 두께로 data line을 형성한다. 이때 data line을 형성하면서 각 픽셀 내부의 구성 소자들간의 전기적인 연결이 이루어지는데, 그림 2-64(f)에서도 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET가 서로 연결된 모습을 볼 수 있다. Data line 형성 후 다시 SU-8을 이용하여 약 1.5 μm 두께의 유전층을 형성한 후 전주 도금 공정을 이용하여 2차 배선으로서 약 0.8 μm 두께로 scan line을 형성한다(그림 2-64(g)). 2차 배선 공정이 완료되면 3차 유전체로서 폴리이미드를 이용하여 약 6 μm 두께의 절연층을 형성한 후 Au 전주도금공정으로 약 3 μm 두께의 원통형의 미세 전극 어레이를 형성한다. Au 전주도금공정으로 미세 전극 어레이를 형성한 후에는 Au 도금 공정에서 사용했던 PR을 지우지 않은 상태에서 그림 2-55 공정처럼 약 5,000 Å 두께의 Pt-black을 형성한다. Pt-black을 형성한 후 PR 및 도금 seed layer를 제거하면 그림 2-64(h)와 같이 미세 전극 어레이가 형성된다. 미세 전극 어레이 제조 공정이 완료된 후에는 본딩 왁스를 코팅 한 후(그림 2-64(i)), 망막 자극기 제작 기판과 dummy 기판을 본딩한다(그림 2-64(j)). 본딩 후에는 CMP 공정으로 망막 자극기 제작 기판을 약 30 μm 두께로 thinning한다(그림 2-64(k)). 망막 자극기를 flexible하게 제작하기 위해서는 실리콘 층의 두께를 뒤틀 수 있으면 얇게 가공하는 것이 좋은데 본 연구에서는 약 30 μm 두께까

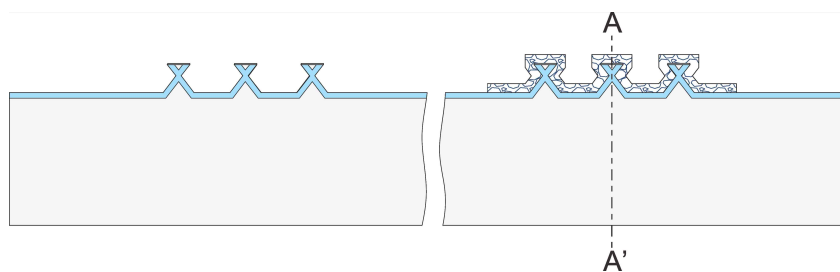
지는 CMP 공정으로 thinning하고, 추가적인 thinning을 위해 Si DRIE 공정을 이용하여 기판을 전면 식각하는 방법으로 그림 2-64(l)과 같이 실리콘 층의 두께를 약 10 μm 정도의 두께가 되도록 하였다. 기판 thinning이 완료되면 그 위에 AZ4620 PR을 이용하여 약 5 μm 두께의 PR 패터닝 후 Si DRIE 공정을 통해 그림 2-64(m)과 같이 실리콘 나노 와이어 광 검출기 및 실리콘 나노와이어 FET 소자를 형성한다. 실리콘 DRIE 공정으로 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET 소자가 형성된 후에는 소자의 보호를 위해 그림 2-64(n)과 같이 약 30 μm 두께로 액상 폴리이미드를 코팅한 후 폴리이미드의 절연성능 향상 등 내구성을 강화하기 위해 convection oven을 이용하여 약 250℃에서 약 12시간 정도 열처리를 실시함으로써 망막 자극기의 보호층을 형성한다. 망막 자극기의 보호층을 형성함에 있어 그림 2-64(n)의 액상 폴리이미드를 이용하는 방법 대신에 UV 경화 epoxy를 코팅한 후 UV 조사를 통해 경화하는 방법을 이용하거나, UV 경화 epoxy를 코팅한 후 그 위에 폴리이미드 필름을 lamination하여 접착하는 방식도 이용할 수 있다. 그림 2-64(n)의 망막 자극기 보호층이 형성되면 그림 2-64(o)와 같이 기판에 열을 가하여 bonding wax를 녹인 후 기판 상부에 flexible한 형태로 제작된 망막 자극기 필름층을 기판으로부터 분리하고 본딩 왁스를 제거하고 소자를 세정하면 그림 2-64(p)의 고해상도 망막 자극기 제조 공정이 완료된다.



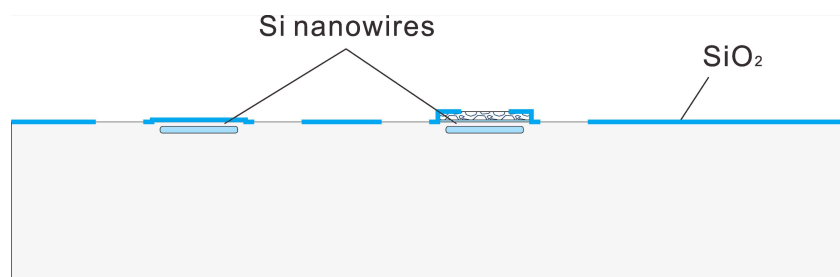
(a) 실리콘 나노와이어 제작.



(b) 게이트 산화막 및 폴리실리콘 증착.

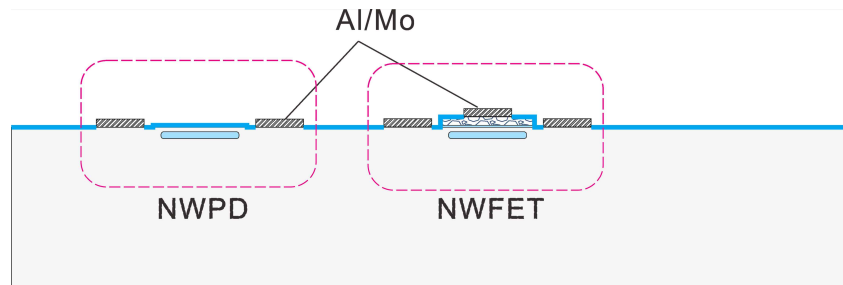


(c) 폴리실리콘 게이트 패터닝.

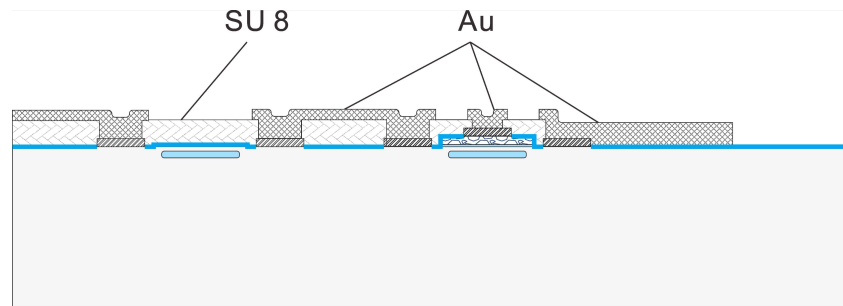


(d) A-A' 단면 및 표면 보호막(SiO_2) 형성.

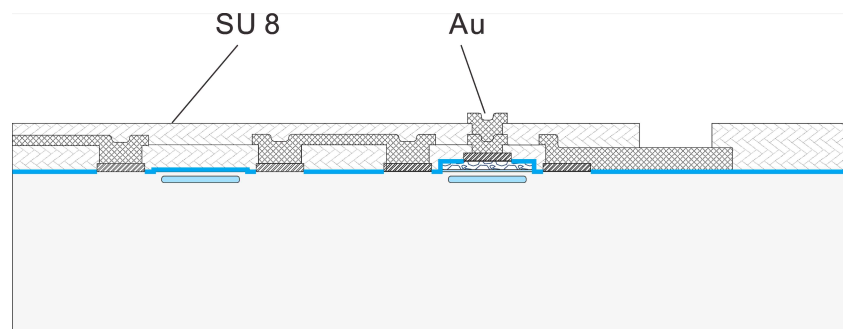
그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.



(e) Contact 전극 형성.

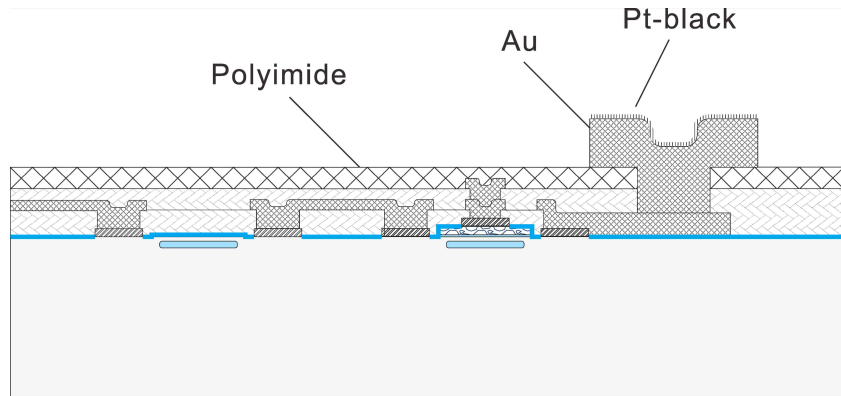


(f) 1차 절연층 형성 및 1차 배선(scan line) 공정.

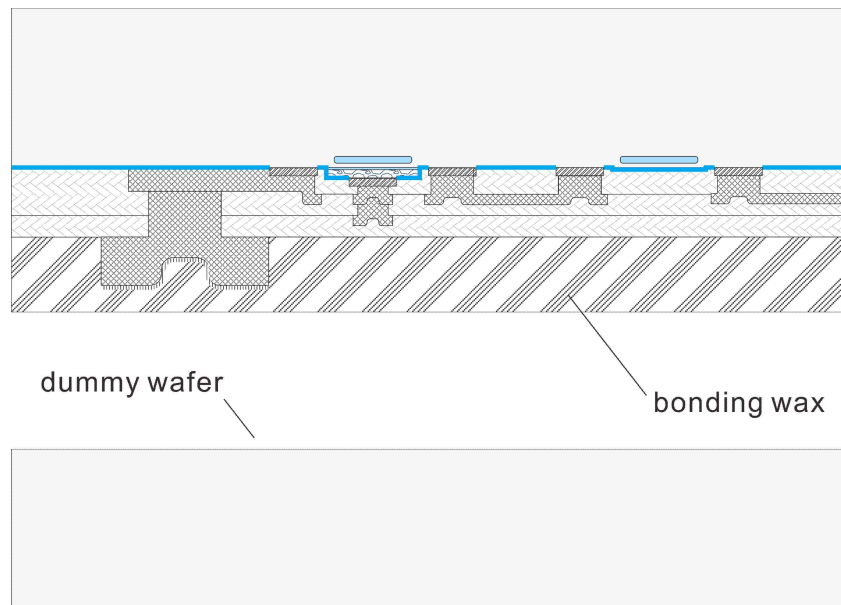


(g) 2차 절연층 형성 및 2차 배선(data line) 공정.

그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.

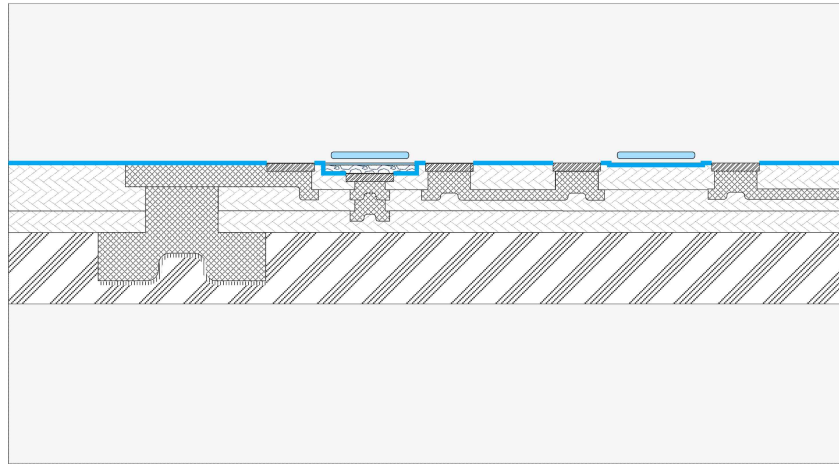


(h) 3차 절연층 형성 및 미세 전극 어레이(MEA) 형성.

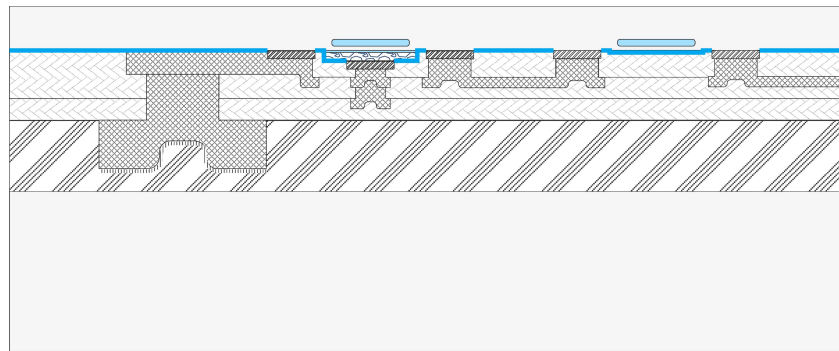


(i) 본딩 왁스 코팅 및 dummy 기판 준비.

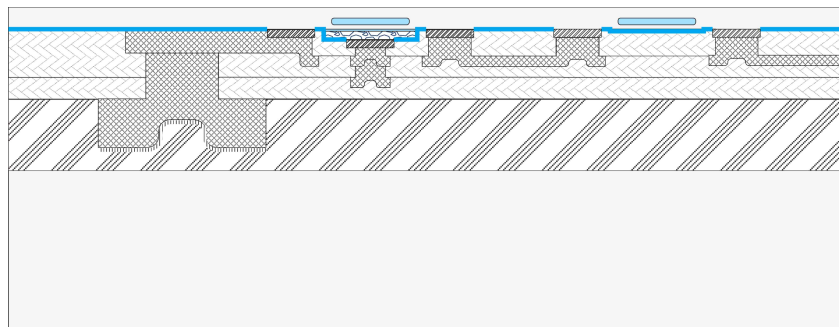
그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.



(j) 기판 본딩.

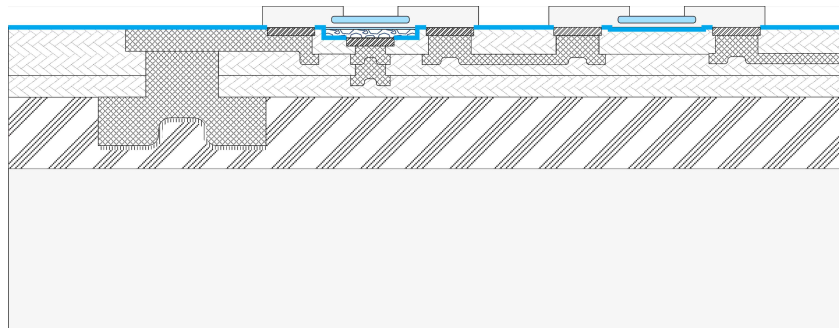


(k) CMP에 의한 기판 thinning(약 30 μm).

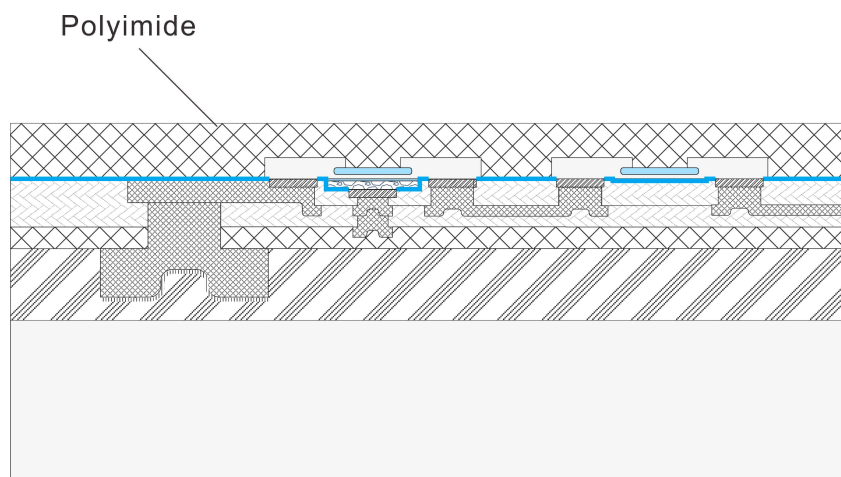


(l) Si DRIE에 의한 기판 thinning(약 10 μm).

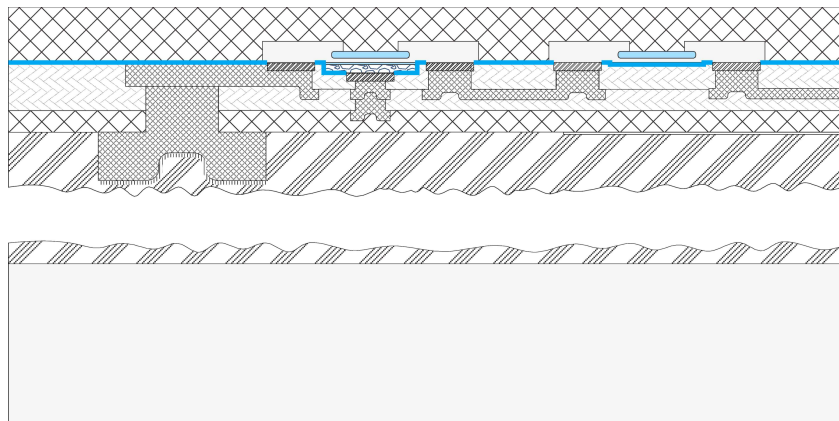
그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.



(m) Si DRIE.

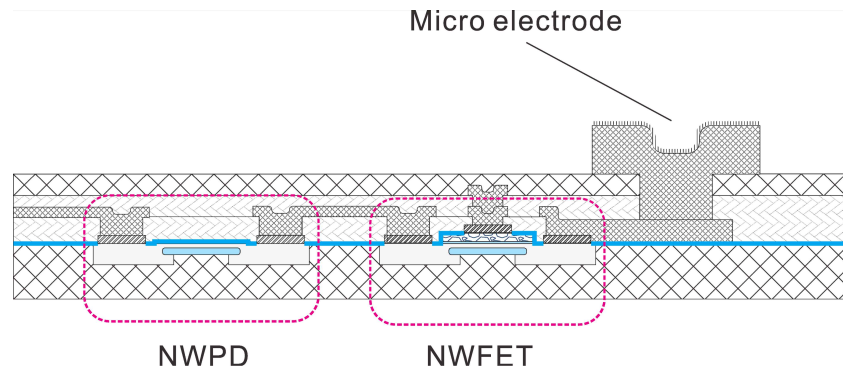


(n) 망막 자극기 보호층 형성.



(o) 망막 자극기 소자 분리.

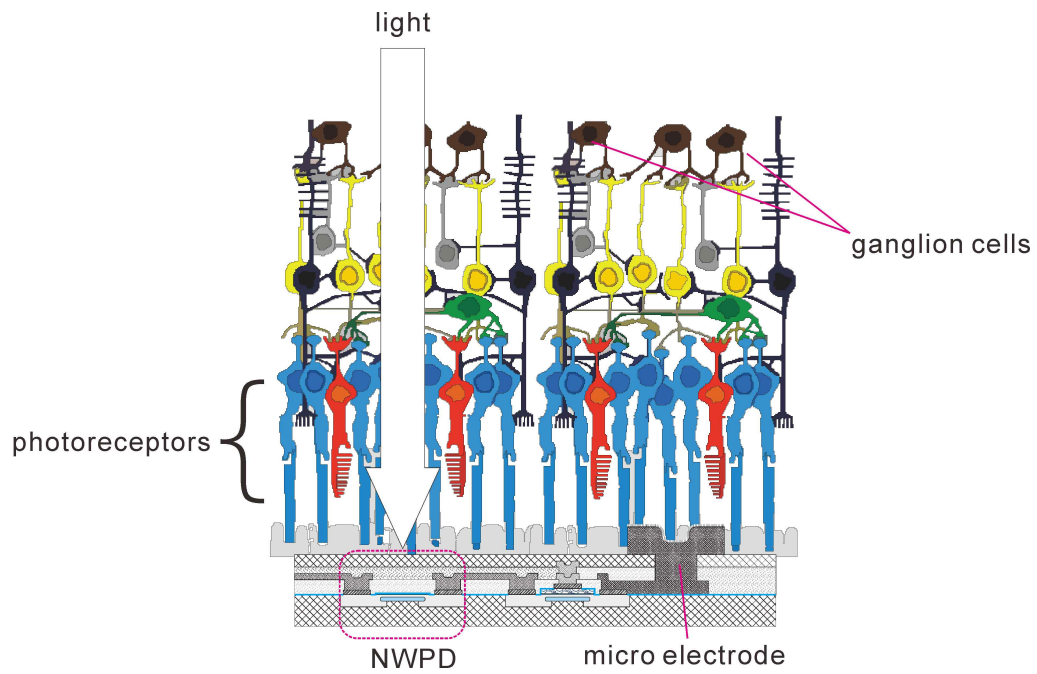
그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.



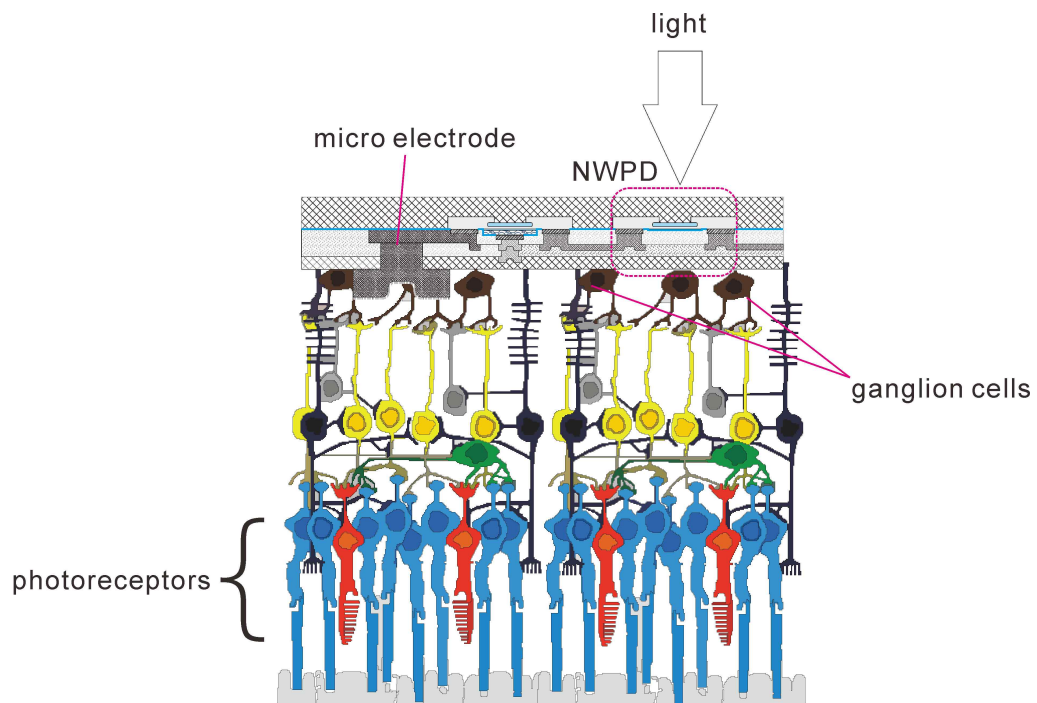
(p) 본딩 왁스 제거 및 소자 제작 완료.

그림 2-64. 32×32 고해상도 망막 자극기 제조 공정도.

그림 2-65는 본 논문에 의해 제작되는 고해상도 망막 자극기의 적용 방법을 나타내는 그림이다. 그림 2-65(a)는 망막 시세포 (photoreceptor)를 자극하는 방식의 subretinal implant 방법[14, 15]에 의한 망막 자극기 적용모습으로서, 망막 자극기는 안구의 가장 바깥쪽의 공막을 일부 절개하여 공막과 choroid 사이로 삽입하여 망막 시세포와 미세 전극이 접촉되도록 implant된다. 그림 2-65(a)와 같은 방향으로 미세 전극이 위치하게 되므로 실리콘 나노와이어 광 검출기에는 미세 전극이 위치한 면으로부터 빛이 입사된다. 이런 방향으로 빛이 입사될 경우에는 실리콘 나노와이어 FET의 경우에는 게이트 전극 등으로 실리콘 나노와이어가 가려져 있어 FET의 동작에 큰 영향을 받지 않게 된다. 그림 2-65(b)는 epiretinal implant 방법[14]으로서 이 경우에는 망막 자극기를 안구 내부로 삽입하여 미세 전극이 망막의 ganglion cell과 접촉하도록 implant된다. 그림 2-65(b)와 같은 방향으로 미세 전극이 위치하게 될 경우 실리콘 나노와이어 광 검출기에는 미세 전극 위치한 반대 면으로부터 빛이 입사되게 된다. 이 경우에는 실리콘 나노와이어 FET도 똑같은 빛을 받게 되므로 빛에 의해 FET의 동작이 영향을 받을 수 있다. 이러한 경우에는 망막 자극기 제조 과정에서 실리콘 나노와이어 FET에 빛이 도달하지 못하도록 차광막을 형성시켜 주는 것이 좋다.



(a) Subretinal implant.



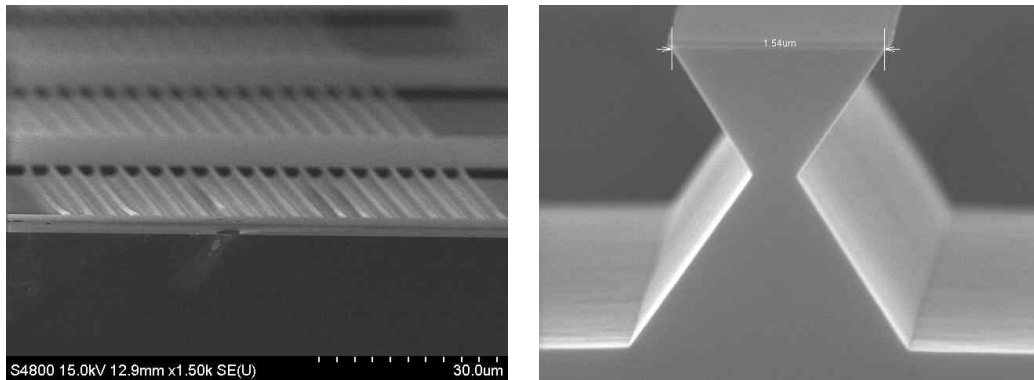
(b) Epiretinal implant.

그림 2-65. 제작된 망막 자극기의 적용 방법.

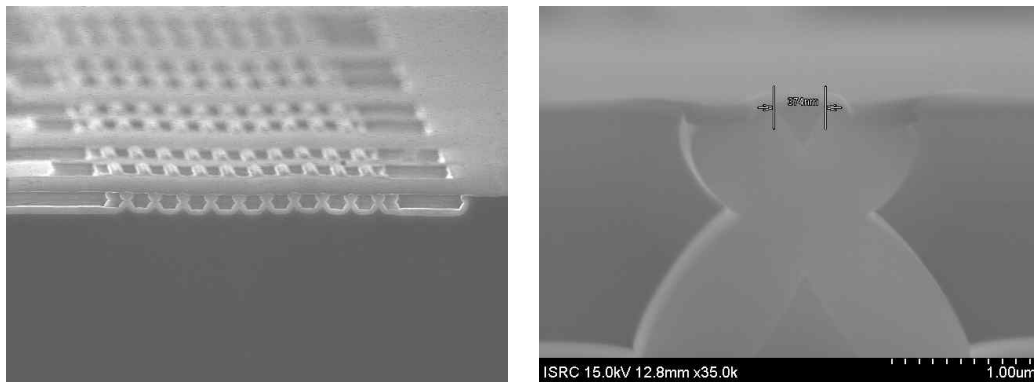
그림 2-66은 32×32 고해상도 망막 자극기 제조 공정에 있어서 각 세부 공정이 완료된 후의 사진이다. 그림 2-66(a), (b)는 실리콘 나노와이어 제조 공정에 있어서 TMAH 식각 후와 산화막 형성 후 실리콘 나노와이어 제작 후의 모습이다. 제작된 실리콘 나노와이어의 폭은 약 300~400 nm 정도이다. 그림 2-64(c)는 폴리실리콘 게이트 형성 후 Al/Mo contact 형성 후 열처리를 진행하고, 소스, 드레인, 게이트 전극으로 Cr/Au 전극을 형성한 후의 모습이다. 그림 2-64(d), (e)는 다층 배선 공정으로 data line과 scan line을 형성한 후의 기판의 모습과 세부 전극의 모습을 보여준다. 그림 2-66(e)에서 보듯이 배선 전극으로 형성한 Au 전극의 폭은 약 10 μm 이다. 그림 2-66(f)는 다층 배선 공정후의 단면의 모습으로서 1차 유전체 및 2차 유전체의 두께는 약 1.4 μm 로 형성되었고, 1차, 2차 배선 전극의 두께는 약 0.8 μm 이다. 그림 2-66(g)는 기판 본딩 후 CMP 공정을 이용하여 1차로 약 30 μm 두께로 thinning한 후, 2차로 Si DRIE 공정을 이용하여 약 10 μm 두께로 thinning한 모습을 보여준다. 그림 2-66(h), (i)는 Si DRIE 공정으로 실리콘 나노와이어 광검출기 및 실리콘 나노와이어 FET를 완성한 후의 시편의 모습이다. 그림 2-66(i)의 Si DRIE 공정 결과에서의 실리콘 두께는 약 30 μm 이상인데, 이는 기판 thinning 공정에서 CMP를 이용한 1차 thinning 공정만 진행했기 때문이다. 그림 2-66(j)는 기판에 열을 가하여 본딩 왁스를 녹인 후 제작된 망막 자극기 소자를 기판으로부터 분리하는 과정과 분리된 소자의 모습을 보여준다. 그림 2-66(k)는 소자 분리 후 망막 자극기의 단위 픽셀의 전면부, 후면부 모습을 촬영한 사진이다. 전면부에는 Au 미세 전극이 형성된 모습을 볼 수 있고, 후면부는 Si DRIE에 의한 실리콘 구조물 사이로 실리콘 나노와이어의 모습을 볼 수 있다. 망막 자극기의 후면부는 약 30 μm 두꺼운 폴리이미드로 덮여있다. 그림 2-66(l)은 완성된 32×32 고해상도 망막 자극기의 모습이다. 각 픽셀마다 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조회로와 고밀도 미세 전극 어레이가 형성되어 있다. 제작된 망막 자극기의 전체 두께는 40 ~ 50 μm 정도의 두께를 가지고 있어서 그림 2-66(l)에서 보듯이 매우 유연하고 얇아

implant하기에 적합한 구조를 가지고 있다. 다만 망막 자극기가 너무 얇아 잘 휘기 때문에 오히려 implant시 망막 자극기를 삽입하는데 있어 힘을 가하기 어려울 수도 있는데, 이럴 경우에는 implant 시술의 용이성을 위해 망막 자극기 제조 공정에서 보호 필름의 두께를 좀 더 두껍게 형성하는 것이 바람직하다.

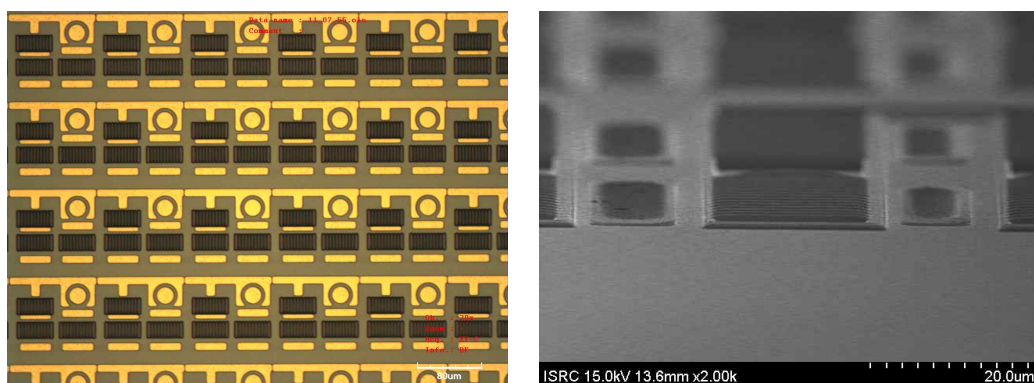
이상으로 본 논문에서 제안하는 실리콘 나노와이어 광 검출기가 내장된 32×32의 고해상도 망막 자극기 제조 방법 및 제조 결과를 살펴보았다. 본 망막 자극기 제조 공정은 top-down 방식의 실리콘 나노와이어 제조 공정에 기반을 두고 있기 때문에, 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET와 미세 전극으로 이루어지는 광 검출 및 자극 신호 변조 회로를 집적하는 것이 매우 용이하다. 또한 픽셀 단위의 동작이 가능한 N×N matrix 구조의 망막 자극기를 구현하기 위한 다층 배선 공정을 위해 폴리머 기반의 유전체 형성 공정과 두꺼운 전극 배선이 가능한 Au 전주 도금 공정을 이용함으로써 flexible한 특성이 요구되는 망막 자극기의 특성에 맞는 제조 공정을 채택하였다. 이를 통해 약 40 μm 정도의 두께의 매우 얇은 flexible한 폴리머 필름 내에 32×32 해상도의 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 내장된 고해상도 망막 자극기를 제작할 수 있었다.



(a) TMAH 식각 후.

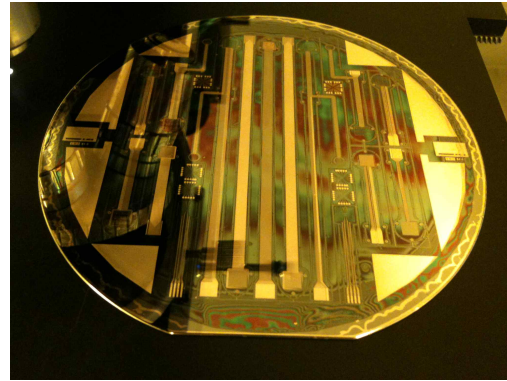
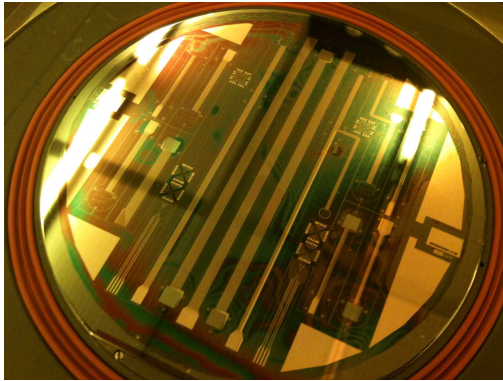


(b) 산화막 형성 및 나노와이어 제작 후.

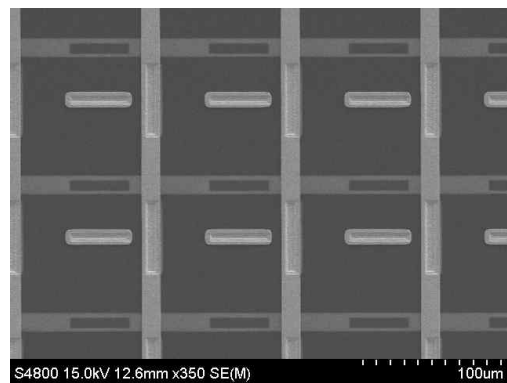
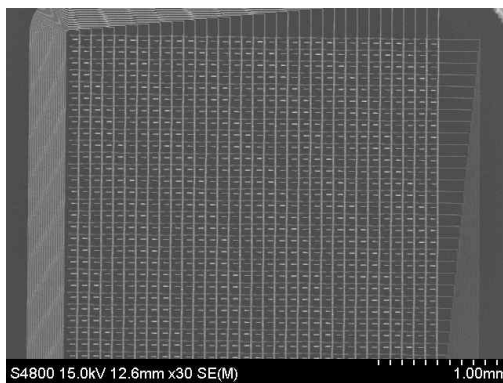
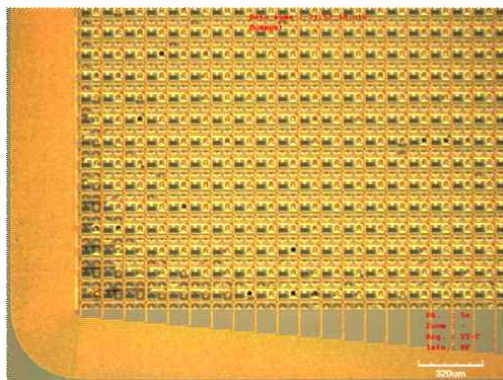


(c) contact 전극(좌) 및 소스, 드레인, 게이트 전극 형성 후.

그림 2-66. 32×32 고해상도 망막 자극기 주요 공정 결과.

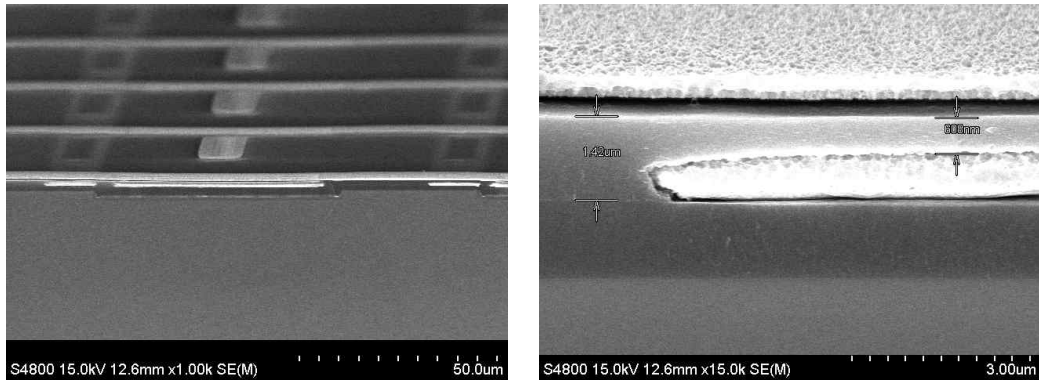


(d) 다층 배선 공정 후(좌 : data line, 우 : scan line).



(e) 다층 배선 공정후의 Au 배선 전극의 모습.

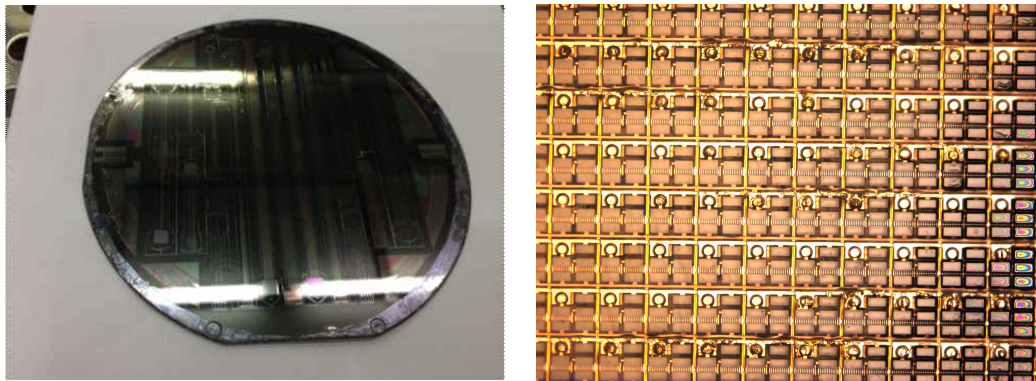
그림 2-66. 32×32 고해상도 망막 자극기 주요 공정 결과.



(f) 다층 배선 공정후의 단면 모습.

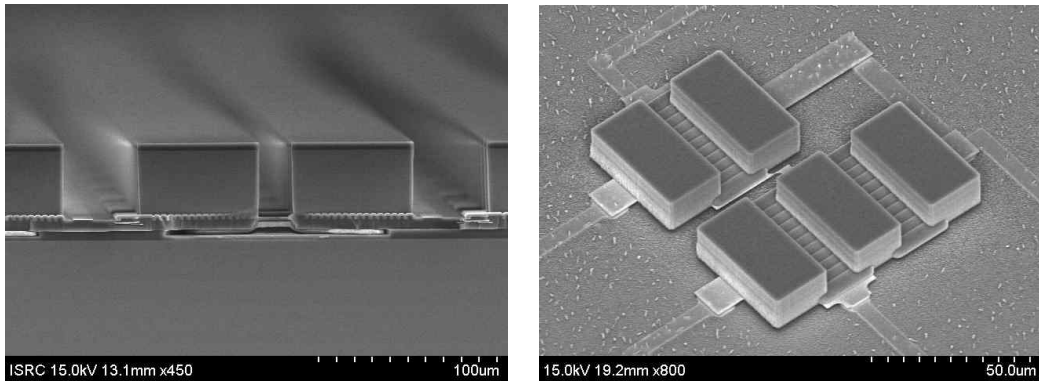


(g) 기판 thinning 후(좌 : CMP, 우 : Si DRIE).



(h) Si DRIE 공정 후.

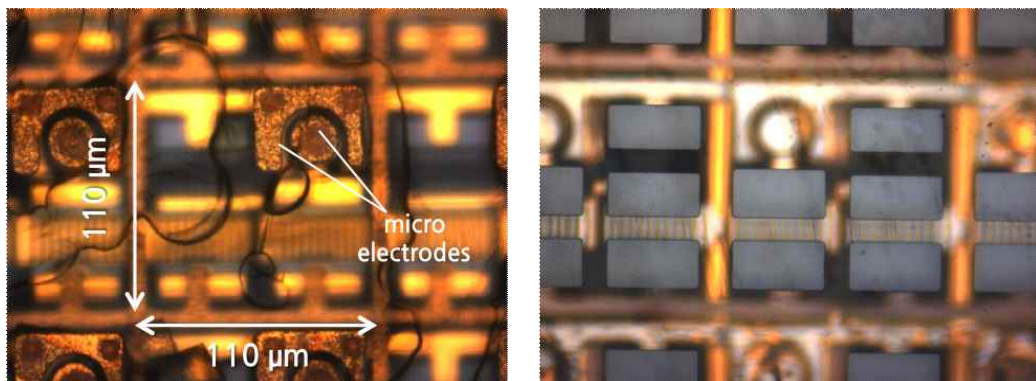
그림 2-66. 32×32 고해상도 망막 자극기 주요 공정 결과.



(i) Si DRIE 공정 후.

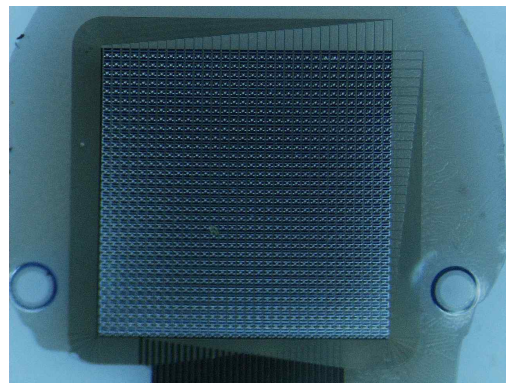
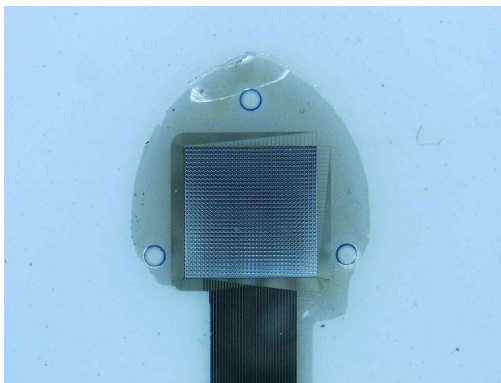
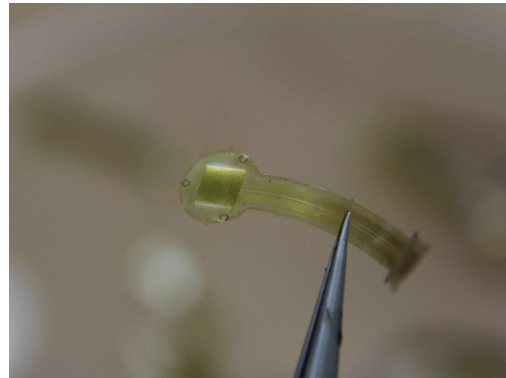
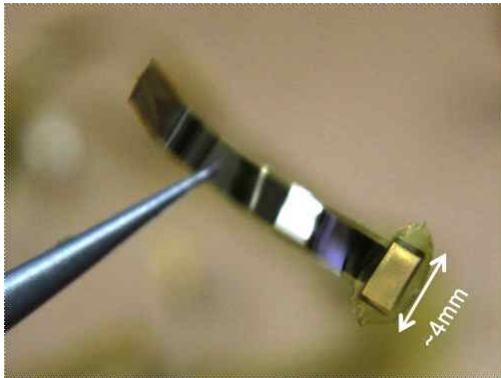


(j) 망막 자극기 소자 분리.



(k) 망막 자극기 전면부 및 후면부의 모습.

그림 2-66. 32×32 고해상도 망막 자극기 주요 공정 결과.



(1) 제작 완료된 망막자극기 소자의 모습.
그림 2-66. 32×32 고해상도 망막 자극기 주요 공정 결과.

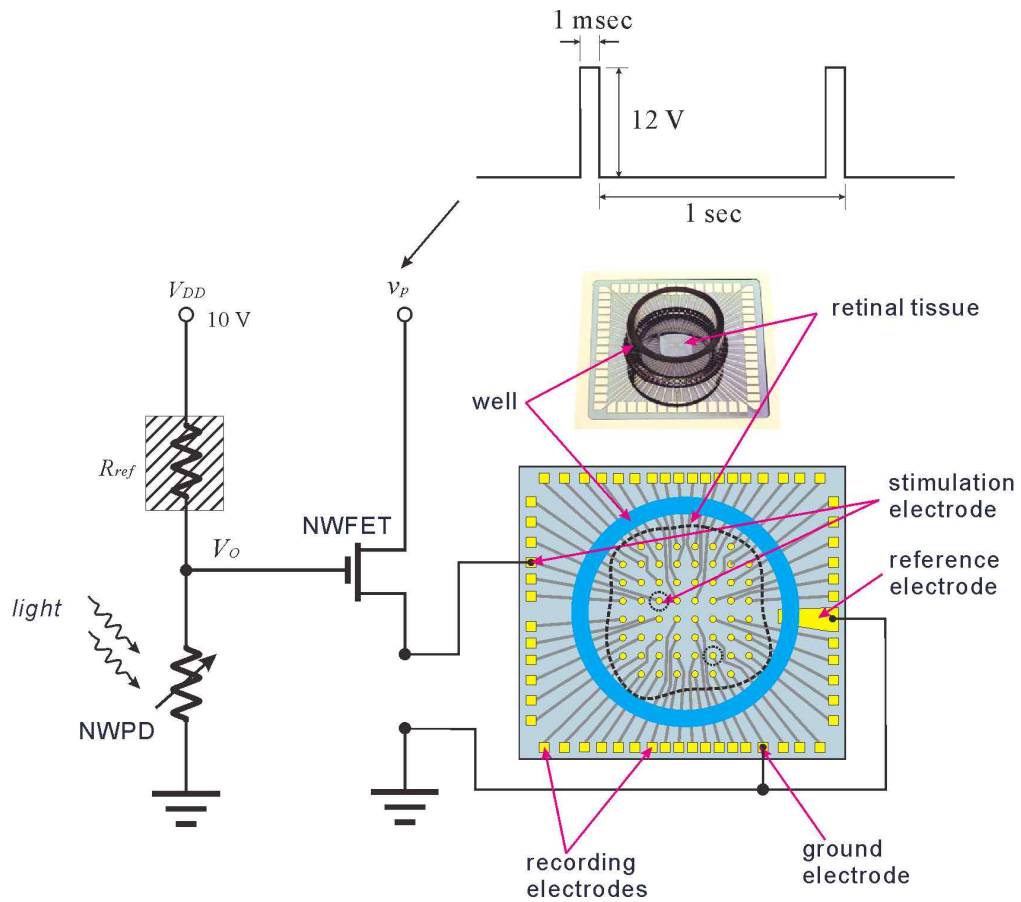
제 6 절 *In-vitro* 동물실험을 통한 망막 자극기의 유효성 평가

앞에서는 본 논문에서 제안하는 실리콘 나노와이어 기반 광 검출 및 자극 신호 변조 회로가 내장된 망막 자극기를 구성하는 실리콘 나노와이어 광 검출기, 실리콘 나노와이어 FET 및 나노 3D 미세 전극 등 망막 자극기를 구성하는 기본 단위 소자들을 제작하여 각각의 특성을 살펴보았으며, 제작된 기본 소자들을 이용하여 망막 자극기 회로를 구성하고 회로의 동작을 조사함으로써 본 논문에서 제안하는 광 검출 및 자극 신호 변조 원리가 잘 적용됨을 살펴보았다. 또한 32×32 해상도를 가진 flexible한 형태의 고해상도 망막 자극기를 설계, 제작함으로써 제조 공정 측면에서도 본 논문에서 제안하는 망막 자극기가 고해상도 인공 망막 시스템으로 적용되기에 적합함을 확인하였다. 이번 절에서는 *in-vitro* 동물실험을 통해 본 논문에서 제안하는 망막 자극기 및 망막 신경 자극 기법을 이용한 망막 자극이 효과적으로 이루어지는지를 확인해 봄으로써 본 망막 자극기 및 자극 방법 유효성을 평가하고자 한다.

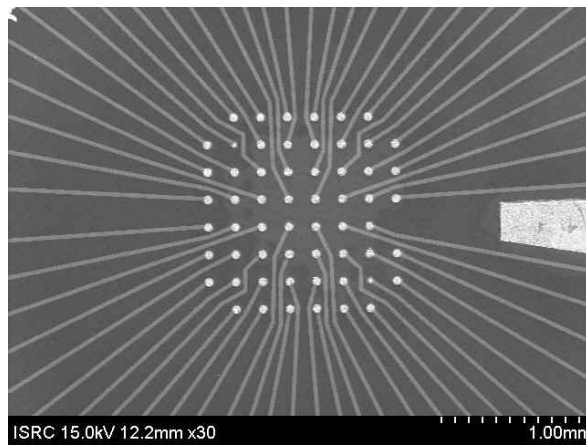
1. *In vitro* 동물 실험 장치 셋업 및 망막 신경 자극 실험

In-vitro 동물실험 위해 그림 2-67(a)의 망막 자극기 회로 및 실험 장치를 구성하였다. 망막 자극기 회로 중에서 좌측의 전압 분배기는 실험의 편의를 위해 실리콘 나노와이어 FET 대신에 고정된 저항 소자로 사용하기 위해 실리콘 나노와이어 광 검출기와 비슷한 저항 값을 가지는 또 하나의 나노와이어 광 검출기를 이용하였고, 빛에 반응하지 않도록 광 검출기 주변에 차광막을 씌워 빛을 차단시켰다. 전압 분배기의 출력 전압은 실리콘 나노와이어 광 검출기에 조사하는 빛의 세기, 즉 광량에 따라 달라지며, 출력 전압은 오른쪽의 실리콘 나노와이어 FET의 게이트 전극에 연결되도록 하였다. 전류 구동기의 드레인 측에 인가되는 기준 자극 신호는 FPGA(field programmable gate array)를 이용하여 진폭은 12 V, duration은 1 msec인 구형 펄스를 생성한 후 1초에 한번 망막 자

극기 회로에 인가되도록 하였다. 전류 구동용 실리콘 나노와이어 FET의 소스측은 그림 2-67(a)에 나타낸 바와 같이 다 채널(multi-channel) 신경 신호 분석을 위해 제작한 그림 2-67(b)의 Pt-black 미세 전극 어레이 중 자극 신호를 인가하고자 하는 하나의 전극을 선택하여 연결한다. 그림 2-67(b)의 미세 전극 어레이는 총 60개의 미세 전극과 1개의 reference 전극으로 구성되며 그림 2-67(d)의 다채널 probing 장치를 이용하여 다 채널 신경 신호 분석 시스템과 연결될 수 있도록 제작하였다. 다채널 신경 신호 분석 시스템은 Multi Channel Systems사의 In vitro MEA-Systems[67]을 이용하였으며, 이 시스템은 동시에 총 60개 채널의 신경신호 기록이 가능한 시스템이다. 망막 자극기 회로 및 실험 장치의 구성이 완료되면, 망막의 시세포가 기능을 못하도록 유전자 조작이 된 rd1 mouse로부터 안구를 적출한 후 망막 세포를 분리해낸다(그림 2-67(c)). 분리된 망막 세포는 ganglion cell이 미세 전극 어레이와 잘 접촉할 수 있도록 칩 위에 고정하고, 중앙의 well에는 산소가 공급되는 cerebrospinal(CSF) 용액을 채워 넣어 망막 세포가 괴사하지 않고 장시간 기능을 유지할 수 있도록 하였다(그림 2-67(d)). 이상의 과정을 통해 *in-vitro* 동물실험을 위한 준비가 완료된다.

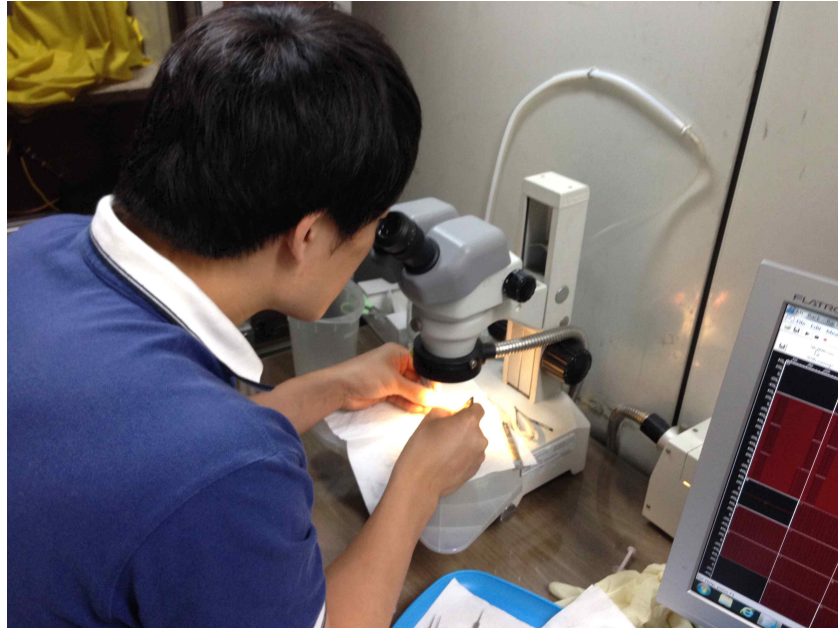


(a) 실험 셋업.

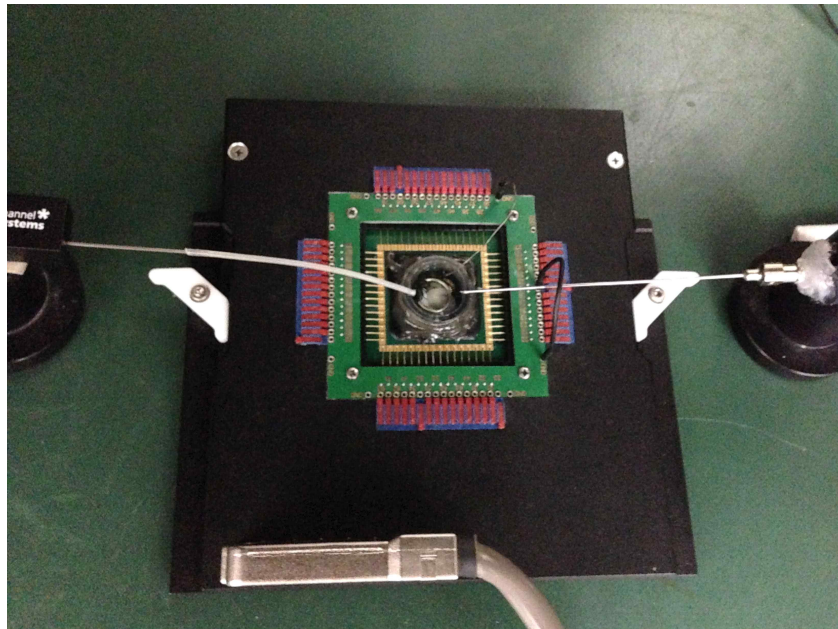


(b) 다채널 자극 신호 기록을 위한 Pt-black 미세 전극 어레이.

그림 2-67. *In-vitro* 동물 실험 셋업.



(c) rd1 mouse에서 적출한 안구로부터 retinal tissue의 분리 작업.



(d) 다채널 probing system을 이용한 미세 전극 어레이와 retinal tissue의 정렬.

그림 2-67. *In-vitro* 동물 실험 셋업.

그림 2-68은 망막 자극기 회로의 실리콘 나노와이어 광 검출기에 빛을 조사하는 모습이며, 그림 2-69는 망막 자극기 회로의 빛의 세기 검출에 따른 자극 신호 변조 작용을 통해 기준 자극 신호가 dark 상태에서 약 100 mV의 피크 값을 가지는 신호로 변조되고, 빛의 세기를 점점 증가시킴에 따라 200 mV, 600 mV, 1.1 V, 2.0 V 3.0 V의 피크 값을 가지는 신호로 변조되어 미세 전극으로 전달되는 파형을 보여주고 있다. 그림에서 dark 상태에서의 자극 신호가 미세 전극으로 전달되지 않아야 하는데 피크 값이 약 100 mV로 나타난 것은 전압 분배기의 출력 전압이 전류 구동기의 실리콘 나노와이어 FET를 완전히 off시킬 만큼 충분히 높지 않았기 때문이다. 이는 원래 전압 분배기 회로에 사용되어야 할 실리콘 나노와이어 FET 대신에 빛을 차단시킨 실리콘 나노와이어 광 검출기를 이용함으로 인해 dark 상태에서의 전압 분배기 출력 값이 전압 분배기 공급 전압에 근접한 출력을 내지 못함으로서 빔어진 결과이다. 이러한 미약한 신호로도 망막 신경 자극이 이루어질 수 있기 때문에 향후 실험에서는 실리콘 나노와이어 FET를 사용하여 전압 분배기의 출력 전압 특성을 개선하여 dark 상태에서 자극 전류가 미세 전극으로 전달되지 못하도록 해야 할 필요가 있다.

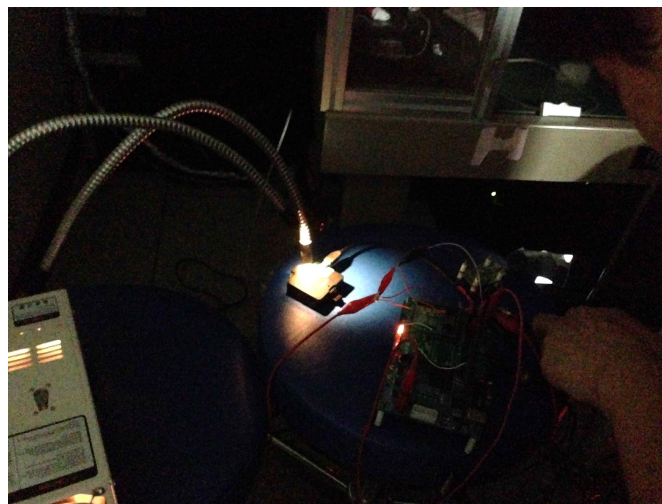
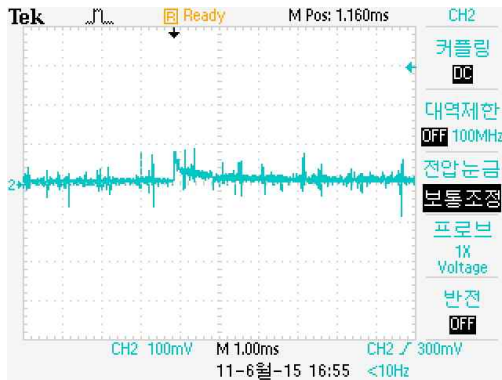
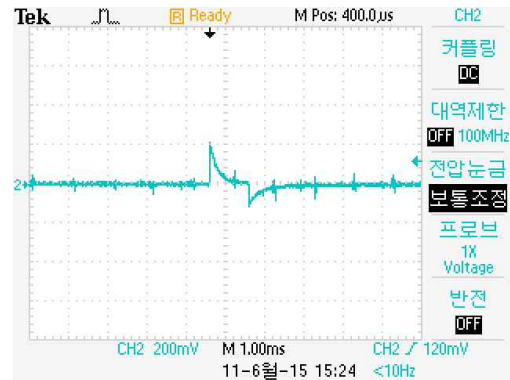


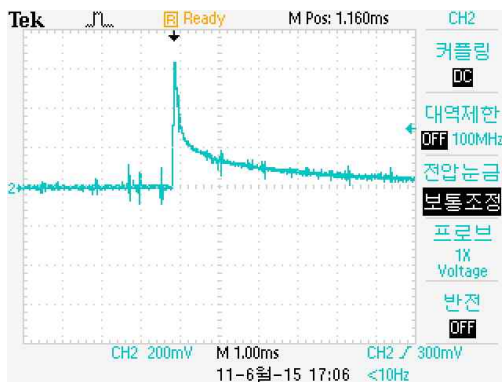
그림 2-68. 실리콘 나노와이어 광 검출기에 빛을 조사하는 모습.



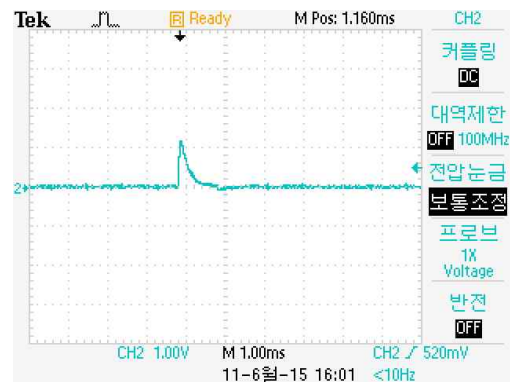
(a) 100 mV (dark)



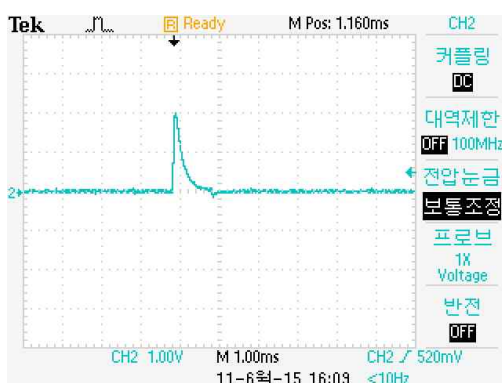
(b) 200 mV



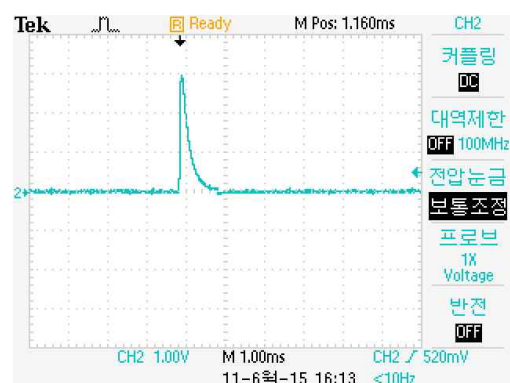
(c) 600 mV



(d) 1.1 V



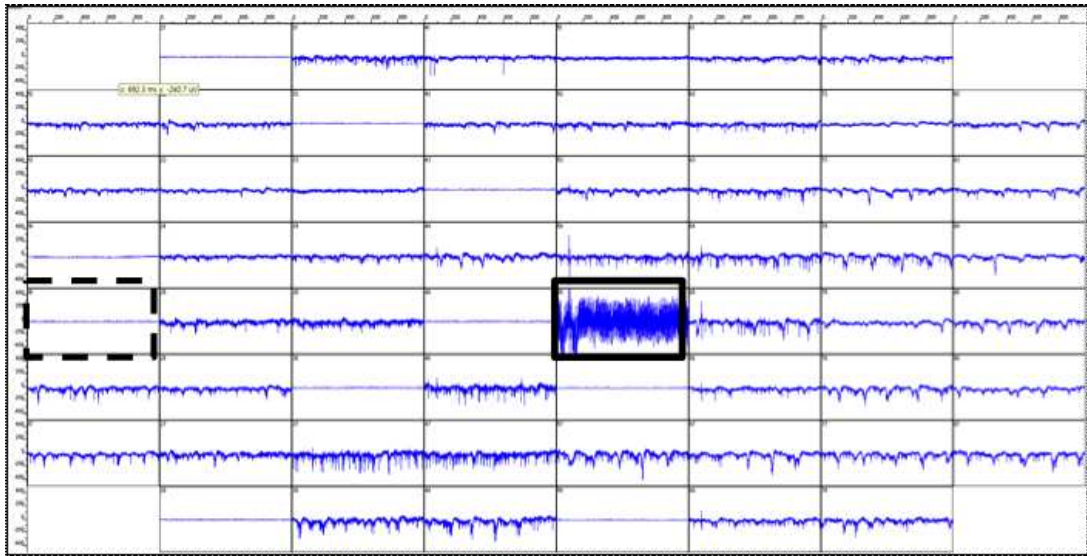
(e) 2.0 V



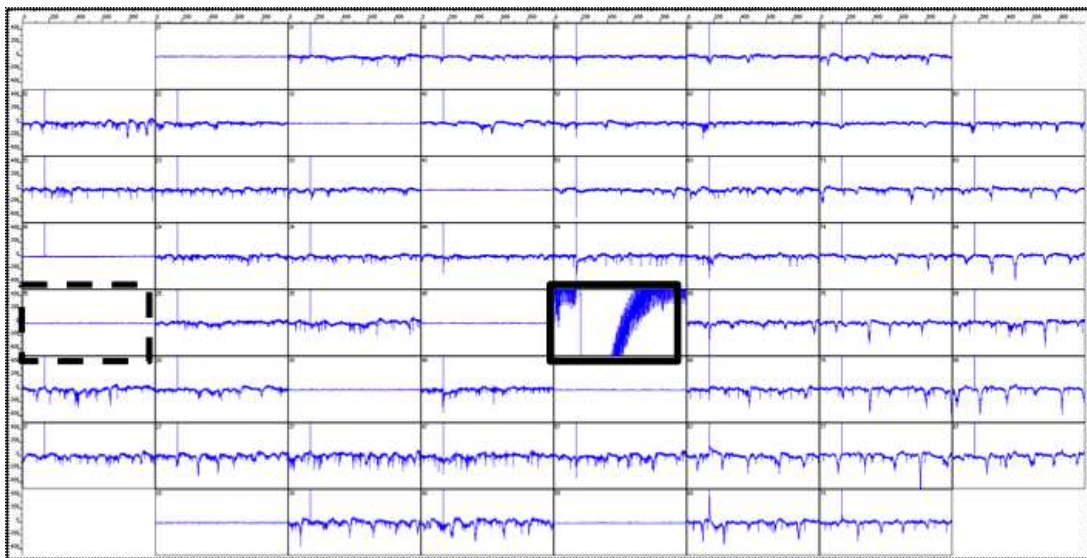
(f) 3.0 V

그림 2-69. 광량 증가에 따른 자극 신호 변조 파형.

이와 같이 광량을 변화시켜가며 자극 신호의 전압의 크기를 증가시키면서 미세 전극을 통해 망막 시세포를 자극하고, 자극 전극과 ground w 전극을 제외한 나머지 58개의 전극에서 자극에 의한 반응 신호를 기록한다. 그림 2-70은 다채널 신경 신호 분석 시스템을 이용하여 60개 채널에서 망막 자극 신호 및 반응 신호를 모니터링하고 기록하는 화면의 모습을 보여준다. 60개의 채널중 1개의 채널(실선)에는 자극 신호를 인가하게 되고, 또 다른 1개의 채널(점선)에는 접지를 하게 된다. 그림 2-70(a)는 미세 전극에 아무런 자극 신호를 인가하지 않은 상태에서의 전 채널의 신호 파형을 보여주며, 그림 2-70(b)는 1개의 채널에 자극 신호를 인가했을 때의 전 채널의 신호의 파형을 보여주고 있다. 그림 2-70(b)에서 보듯이 한 개의 채널에 자극 신호를 인가하면, 나머지 채널에서는 자극 신호의 영향으로 artifact 신호가 발생하고 이후에는 망막 신경의 작용으로 미세한 펄스 형태의 반응 신호(spike라 함)가 발생하는 것을 볼 수 있다. 이렇게 다채널에서의 반응 신호를 기록하고 분석함으로써 자극 신호의 인가에 따른 망막 신경의 자극의 유효성을 평가하게 된다.



(a) 자극 신호 인가 전.



(b) 자극 신호 인가 후.

그림 2-70. 망막 자극에 의한 반응 신호 기록.
(실선 : 자극 신호 인가 채널, 점선 : ground 채널)

2. 자극 신호의 분석 및 망막 자극의 유효성 분석

Multi-채널 분석 시스템을 통해 기록된 신호를 이용하여 분석하는 과정을 아래에 상세히 기술하였다.

① 스파이크 추출을 위한 사전 신호처리

망막신경절세포 (retinal ganglion cells, RGCs)에서 전기 자극 후 기록된 원 신경 신호는 하단의 그림 2-71과 같다. 신경 신호는 시간에 따라 RGCs에서 발생한 전압으로 기록하였다. 신경 신호 중 신경 스파이크는 파형 중 기저 전압을 기준으로 급격한 기울기의 음전위의 형태를 보이며, 신경 신호 중 기저 전압은 rd1 mouse의 주령에 따른 고유한 파형으로 일반적으로 십 수 Hz 대역으로 측정된다. 시간에 따른 전압으로 측정된 신경 신호에 신경 스파이크로 간주할 수 있는 문턱 전압 및 일정 기울기 이상으로 측정된 파형의 개수를 세는 방식으로 신경 신호에서 신경 스파이크를 검출할 수 있다. 하지만, 하단의 그림 2-71의 확대 그림과 같이 자극에 의해 기록된 artifact와 기타 회로에 의해서 인가된 (예를 들어, 60 Hz 대역의 전원 노이즈) 및 기저 전압 레벨의 수준이 일정하지 않아서 문턱 전압을 설정할 경우 노이즈 등의 왜곡된 신호가 스파이크로 오검출 되는 현상이 발생한다. 따라서 보다 정확한 스파이크 검출을 위한 신호 처리 작업이 필요하다.

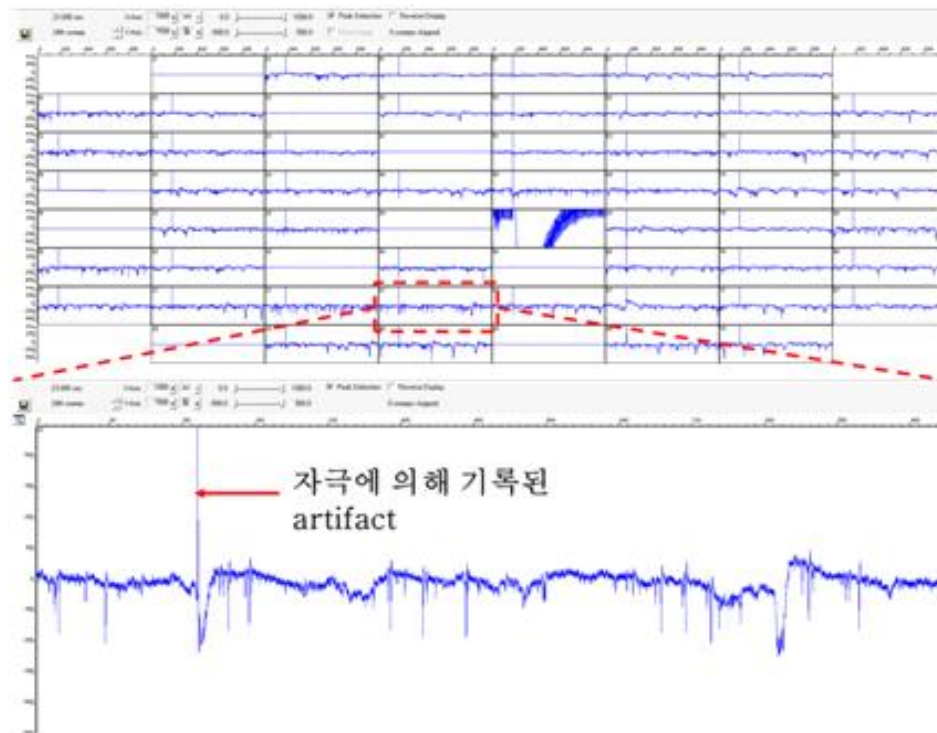


그림 2-71. 시간에 따른 전압으로 기록된 신호 처리 전 신경 신호.

상기와 같은 문제점을 해결하기 위해 차단 주파수가 100 Hz 인 2차 butterworth 타입의 고역 통과 필터를 RGCs 에서 기록된 파형에 처리 하였다. 원 신호에서 고역 통과 필터를 통과한 신경 신호는 하단의 그림 2-72와 같다. 그림 2-71에서 도시한 원 신경 신호에 비해 기저 전압 레벨의 수준이 완만해졌으며, 기타 회로에서 인가된 노이즈 등이 감소된 것을 관찰할 수 있다.

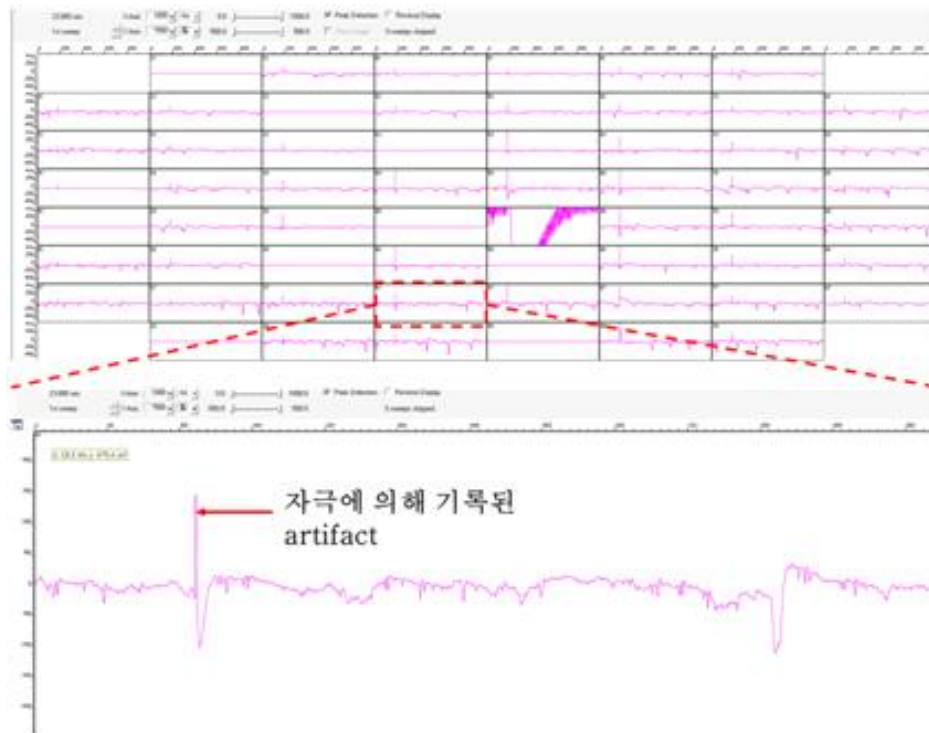


그림 2-72. 2차 butterworth 타입의 고역 통과 필터 처리된 신경 신호.

상단에 제시한 방법과 같이 신호 처리가 된 신경 신호에 그림 2-73와 같이 문턱 전압 및 기울기 수준을 설정하여, 설정한 조건을 만족하는 파형의 개수를 시간 정보와 함께 측정하여 신경 신호로부터 신경 스파이크로 간주할 수 있는 데이터를 추출하였다.

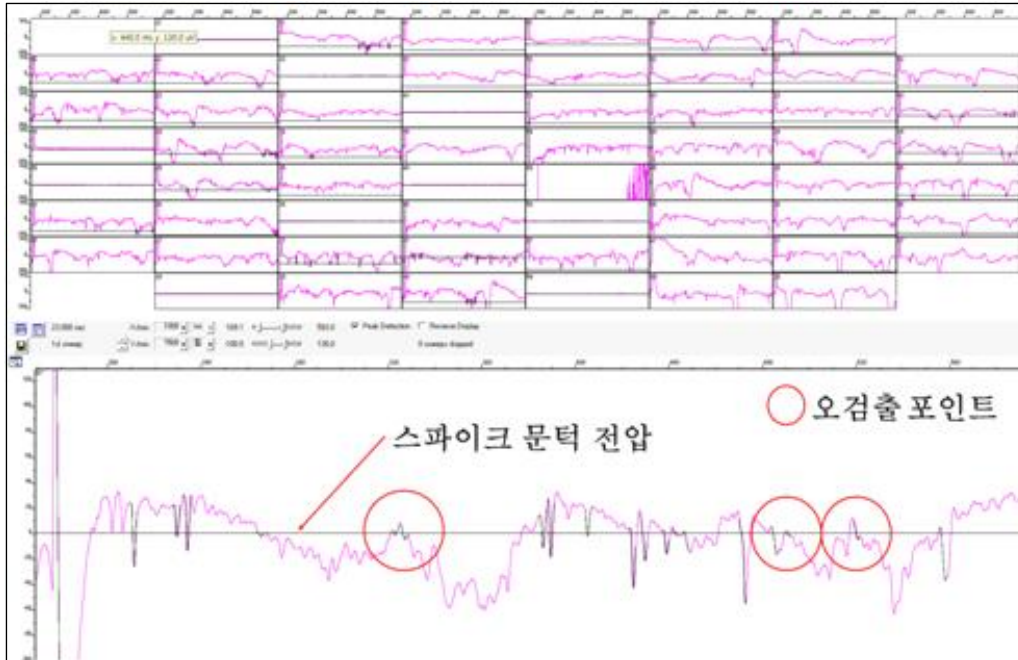
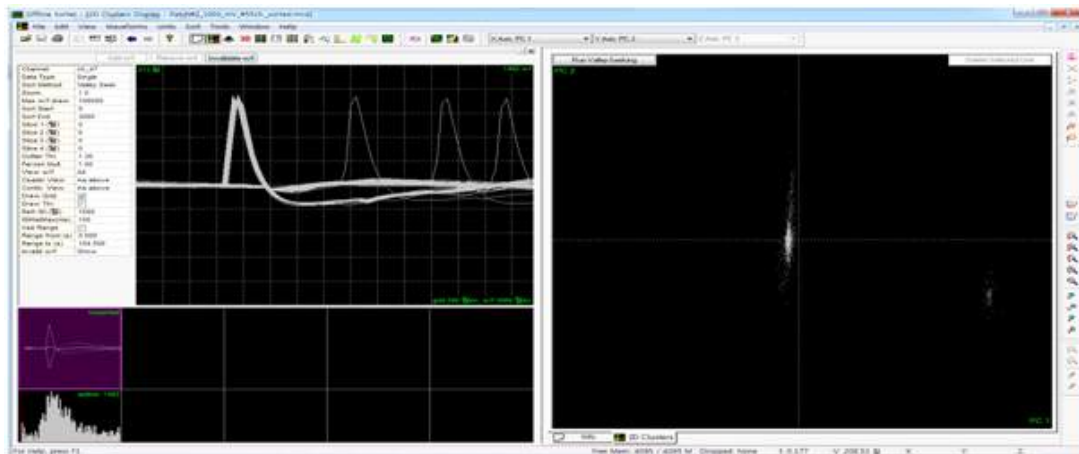


그림 2-73. 신경 스파이크로 간주할 수 있는 데이터 추출 과정.

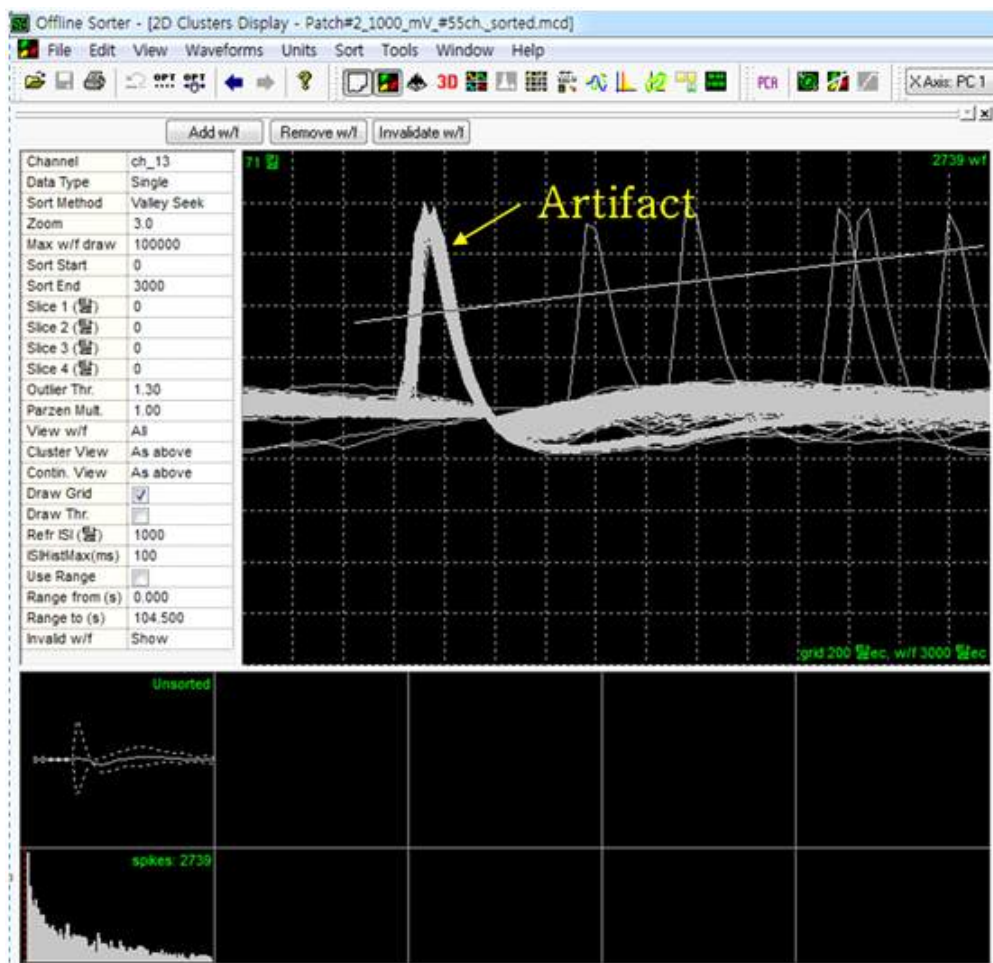
② 신경 스파이크 추출

①에서 획득한 시간 정보가 포함된 데이터를 신경 스파이크 추출 프로그램인 Offline Sorter (Plexon 社, 텍사스, 미국)를 이용하여 신경 스파이크를 추출하였다. 이는 ①의 과정에서 추출한 데이터는 그림 2-73에서 관찰할 수 있듯이, 온전히 신경 스파이크만 검출된 것이 아니기 때문이다. 그림 2-73에서 원으로 표시한 것과 같이 오검출 되는 파형의 데이터도 포함된 것을 관찰할 수 있다.

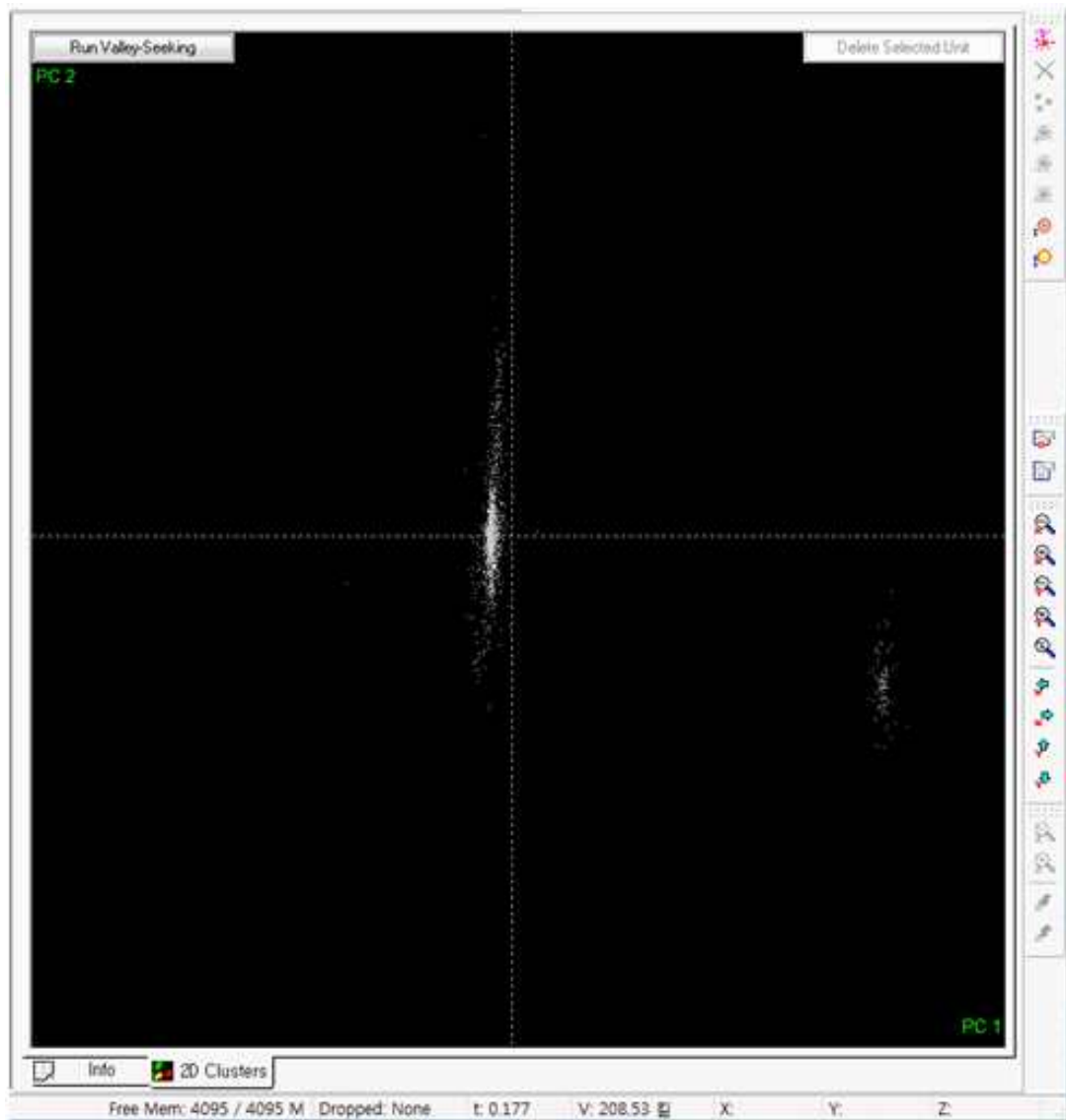
한편, 일련의 과정 설명에 앞서 Offline Sorter 의 UI 는 하단의 그림 2-74(a)와 같다. 그림 2-74(b)는 UI 좌측에 위치한 창으로 이는 ①에서 획득한 시간 정보가 포함된 신경 스파이크로 간주할 수 있는 다수의 데이터가 단위 데이터로 변환되어 시간 축에 대하여 중첩된 모습을 보여주는 창이다. 그림 2-74(c)는 비슷한 크기의 신경 신호를 갖는 단위 데이터가 x, y 축으로 하는 2차원 평면에 도식된 모습을 보여주는 창이다.



(a) 기록 전극 1개에서 획득한 데이터를 불러오면 생성되는 창.



(b) 분리 시점을 기준으로 시간 축에 대하여 중첩된 신경 신호.
그림 2-74. Offline Sorter 의 UI.



(c) 비슷한 시간 및 크기를 갖는 전압 벡터 값끼리 클러스터화 된 2차원 평면.

그림 2-74. Offline sorter 의 UI.

프로그램에서 신경 스파이크를 추출하는 일련의 과정은 다음과 같다. 먼저 각 전극에서 ①의 과정을 거쳐 획득된 데이터를 특정 시간 간격 (프로그램 상의 기본 설정 : 1ms)으로 잘라내어 다수의 단위 데이터로 변환한다. 이후 분리된 다수의 단위 데이터를 분리 시점을 기준으로 시

간 축에 대하여 중첩한 후, 각 시간 값 별로 중첩된 단위 데이터의 전압 값들을 벡터로 저장한다. 저장된 벡터 값에 신경 스파이크 구분을 위한 특징 벡터를 내적한 후, 시간에 대하여 가중한 값을 구한다. 이후 구해진 값을 x, y 축으로 하는 2차원 평면에 도시하면, 비슷한 시간에 비슷한 크기의 신경 신호를 갖는 단위 데이터끼리 클러스터화 된다. 이후 그림 2-65(b)에 도시된 파형과 같이 자극에 의해 인가된 artifact를 수공으로 제거한 후 비슷한 구역에 모인 단위 데이터를 valley seeking 알고리즘을 이용하여 분리해내면, 그림 2-75와 같이 유관된 스파이크끼리 클러스터화 할 수 있다.

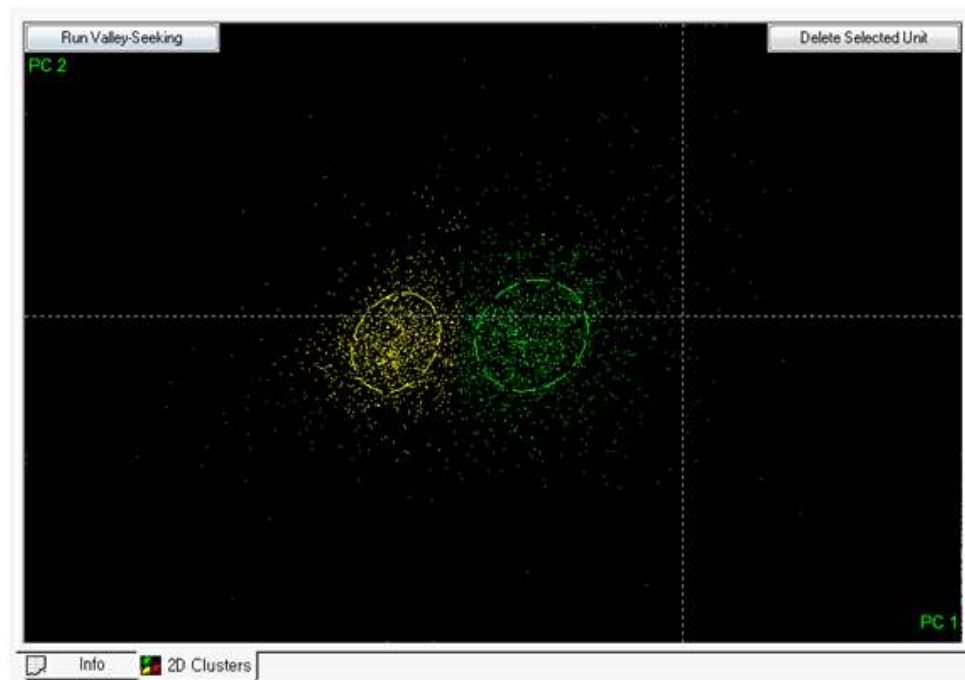


그림 2-75. Artifact 제거 후 클러스터화 된 신경 신호 스파이크 : 노란색 및 녹색 원은 신경 스파이크의 집중 분포 위치를 의미.

58 개의 기록 전극에 대하여 앞서 설명한 일련의 클러스터화 과정을 거쳐서 추출된 스파이크를 바탕으로, 각 기록 전극 별 신경 신호의 post-stimulus time histograms(PSTH)를 그림 2-76과 같이 작성하였다. 가로축은 기록 전극을 의미하며, 세로축은 시간으로 한 칸당 1 ms를 의

미한다.

	T	U	V	W	X	Y	Z	AA	AB	AC	AD	AE	AF	AG
1	ch_37b	ch_38a	ch_42a	ch_46a	ch_47a	ch_48a	ch_52a	ch_61a	ch_61b	ch_61c	ch_62a	ch_63a	ch_71a	ch_71b
2	3	3	0	0	0	0	0	0	0	0	0	0	0	0
3	2	1	0	0	2	0	1	0	0	0	0	1	0	0
4	0	2	0	0	3	0	2	0	1	0	0	1	2	0
5	2	2	0	0	0	0	0	0	0	0	1	0	0	0
6	2	0	0	0	1	0	1	0	0	0	0	0	1	0
7	2	1	0	1	1	0	0	0	0	0	0	0	0	0
8	1	0	0	0	1	1	0	0	0	0	0	0	1	0
9	1	2	0	0	3	0	0	1	0	0	0	0	0	0
10	2	3	0	0	1	0	0	0	0	0	0	0	3	0
11	1	4	0	0	0	0	0	0	0	0	0	0	3	0
12	1	4	0	0	4	1	0	0	0	0	0	1	0	0
13	1	2	0	0	1	0	0	0	0	1	0	0	1	0
14	1	0	0	0	1	1	1	0	0	0	0	0	0	0
15	2	3	0	0	2	0	0	0	0	0	0	2	0	0
16	0	0	0	0	0	0	1	0	0	0	0	1	2	0
17	3	1	0	0	1	0	0	0	0	0	0	0	2	0
18	0	1	0	0	2	1	0	0	0	1	0	1	2	0
19	1	2	0	0	2	0	0	0	0	0	0	0	0	0
20	3	0	0	0	1	1	0	0	0	0	1	0	2	0
21	1	1	0	0	0	0	0	0	0	0	0	0	0	0
22	1	2	0	0	0	0	0	0	0	0	0	0	2	0
23	1	1	0	0	4	0	1	0	0	0	1	0	0	0
24	3	2	0	0	1	0	0	0	0	0	0	0	1	0
25	1	4	0	0	1	1	0	0	0	0	0	0	0	0
26	2	2	0	0	1	2	0	0	0	0	0	0	0	0
27	0	0	0	0	2	1	0	0	0	0	1	0	1	0
28	0	3	0	0	0	0	0	0	0	0	0	0	1	0
29	1	2	0	0	1	0	0	0	0	0	0	1	0	0
30	1	2	0	0	1	0	0	0	0	0	2	0	0	0
31	1	2	0	0	1	0	1	0	0	0	0	1	1	0
32	2	2	0	0	1	0	1	0	0	0	1	0	1	0
33	2	2	0	0	1	0	0	0	0	0	0	0	0	0
34	3	3	0	0	2	0	0	0	0	0	0	2	1	0
35	1	1	0	0	0	0	1	0	0	1	1	0	0	0
36	2	4	0	0	0	0	1	0	0	0	0	0	1	0
37	3	2	0	0	3	0	1	0	0	0	0	0	0	0
38	2	1	0	0	3	0	0	0	0	0	0	0	1	0
39	1	4	0	0	1	1	0	0	0	1	2	0	0	0
40	2	1	0	0	2	0	1	0	0	0	0	0	0	0
41	1	1	0	0	2	1	0	0	0	0	0	0	0	0
42	1	4	1	0	0	0	0	0	0	0	0	0	2	0
43	1	0	0	0	0	0	0	3	0	0	0	0	0	0
44	1	6	0	0	1	1	0	0	0	1	0	1	2	0
45	0	3	0	0	1	0	1	0	0	1	0	1	0	0
46	3	5	1	0	0	0	0	0	0	0	0	0	1	0

그림 2-76. 일련의 과정을 거쳐서 작성한 PSTH 예시.

작성한 PSTH를 바탕으로 자극 당 유발된 평균 스파이크 수를 계산하였다. 자극 후 유발된 스파이크의 수에서 자극 전에 유발된 스파이크 수를 빼 전기 자극에 무관하게 자발적인 반응을 배제하였다. 스파이크의 평균을 계산 시 시간 창의 크기를 자극 전·후 100 ms 로 고정하였는데, 이는 전기 자극에 의해 유발된 직접 자극 반응과 망막 네트워크를 거쳐서 유발된 반응을 모두 고려하기 위함이다.

③ 자극의 세기에 따른 신경 반응의 변화 추이 관찰

자극의 세기에 따라 신경 반응의 변화 추이를 정성적으로 관찰하기 위해 ① 및 ②의 과정을 통해 계산된 기록 전극 별 자극 당 유발되는 평균 스파이크를 통계 프로그램인 Origin(OriginLab 社, 마이애미, 미국)을 이용해 기록 전극의 위치 별로 도시하였다. 또한, 자극 세기 별로 신경 반응 변화를 정량적으로 관찰하기 위해 빛의 세기가 가장 약할 때의 자극 당 유발되는 평균 스파이크의 수를 1 로 설정 후 각 단계별로 유발된 평균 스파이크를 하단의 식과 같이 표준화하였다.

표준화 반응 세기 =

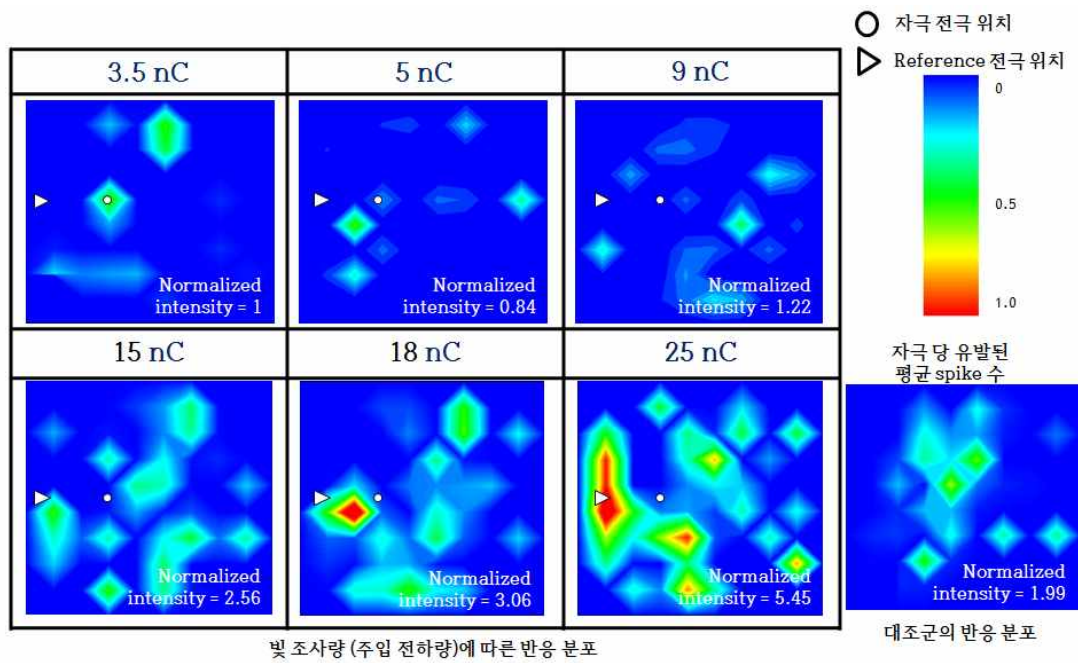
$$\frac{\text{각 단계 별 전 채널에서 유발된 평균 스파이크의 총 합}}{\text{빛의 세기가 가장 약할 때의 전 채널에서 유발된 평균 스파이크의 총 합}}$$

(15)

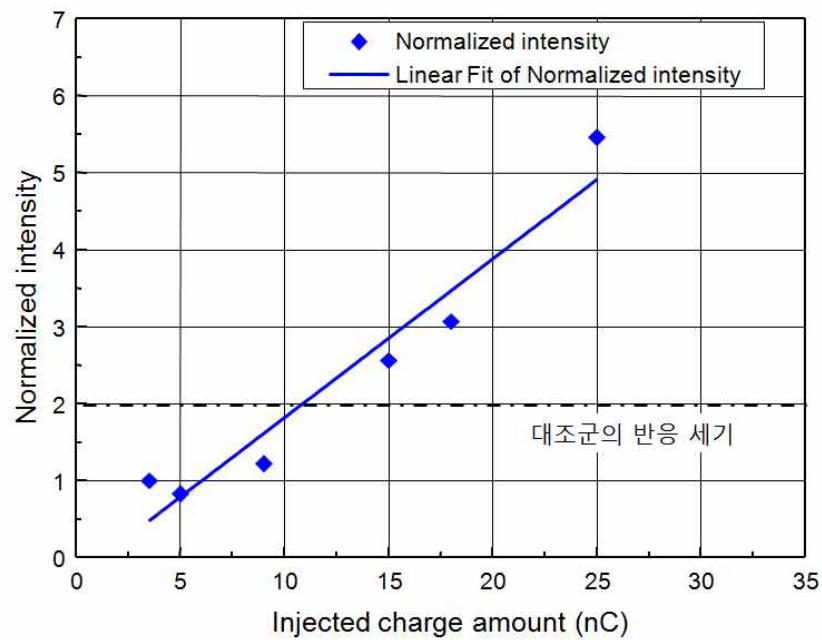
그림 2-77, 78은 앞의 과정을 통해 *in-vitro* 동물 실험에서 취득된 신호를 분석하여 유효 자극의 숫자를 분석한 망막 자극 실험 결과이다. 그림 2-77은 1번 patch에 대한 분석 결과로서, 그림 2-77(a)는 미세 전극과 reference 전극을 제외한 58개의 기록 전극으로부터 취득된 자극 신호를 분석한 결과이다. 실리콘 나노와이어 광 검출기 인가하는 빛의 세기를 증가시키면 전압 분배기의 출력전압이 실리콘 나노와이어 FET를 구동하기 때문에 FET의 출력 전류가 증가하여 망막 시세포를 자극하게 된다. 그림에서 빛의 세기는 주입 전하량으로 계산되어 주입 전하량에 대한 평균 자극 spike 수를 보여준다. 빛의 세기 증가에 따른 전류 주입량의 증가로 자극이 유발되어 spike의 수가 증가하게 되는데, 그림에서 대조군의 normalized intensity를 1.99로 보았을 때 의미 있는 자극의 유발은 15 nC 이상일 때임을 알 수 있다. 전류 주입량이 늘어날수록 spike의 발현이 뚜렷함을 볼 수 있다. 그림 2-77(b)는 주입 전하량에 대한 normalized intensity를 그린 그림으로서 주입 전하량과

normalized intensity는 비례하는 관계를 보여주고 있다.

그림 2-78은 2번 patch에 대한 분석 결과로서, 대조군 반응은 normalized intensity는 1.46으로 나타났고, 그림 2-78(a)의 그래프를 통해서 9 nC 이상일 때 유의미한 망막 자극이 있었음을 알 수 있다. 역시 전류 주입량이 늘어날수록 spike의 발현이 뚜렷함을 볼 수 있으며, 그림 2-78(b)의 주입 전하량 대비 normalized intensity 그래프를 통해 매우 선형적이며, 앞의 2-77(b)와도 기울기가 거의 비슷한 것을 확인할 수 있다.

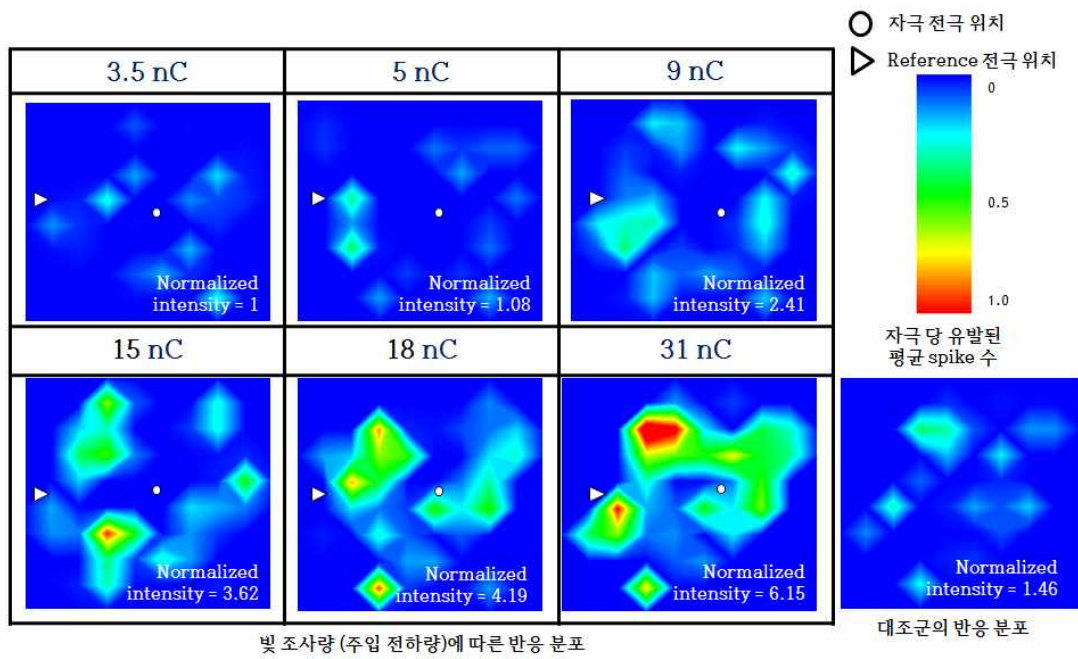


(a) 신호 분석 결과.

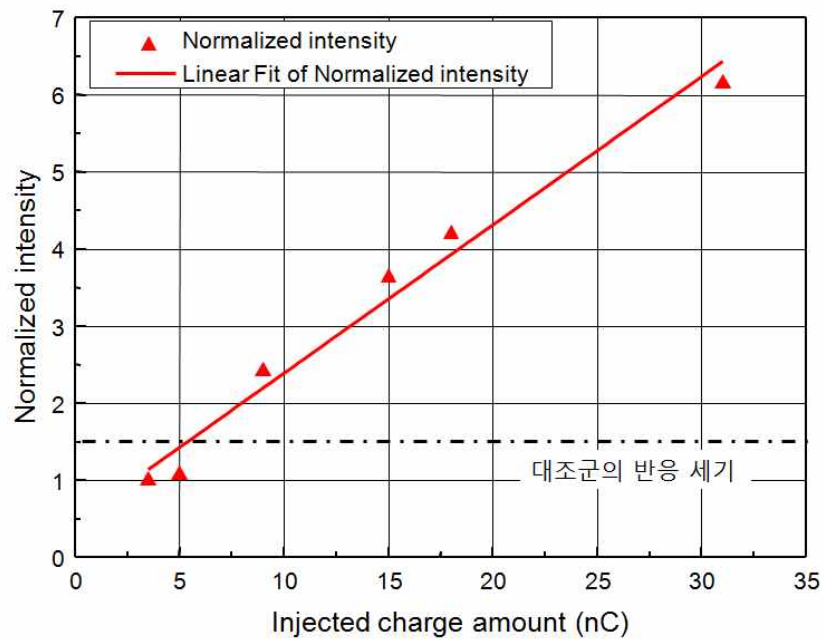


(b) 빛 조사량(주입전하량)에 따른 반응 분포.

그림 2-77. *In-vitro* 동물 실험 분석 결과(Patch #1).



(a) 신호 분석 결과.



(b) 빛 조사량(주입 전하량)에 따른 반응 분포.

그림 2-78. *In-vitro* 동물 실험 분석 결과(Patch #2).

제 3 장 결 론

제 1 절 결과 요약

본 논문에서는 완전 안구 이식형 고해상도 인공 망막 시스템 구현을 위해 카메라의 기능을 대신해 줄 수 있는 영상 인식 장치로서 실리콘 나노와이어 광 검출기가 내장된 망막 자극기 및 빛 자극에 의한 망막 신경 자극 기법을 제안하였다. 제안된 방법은 신호처리 장치로부터 생성된 기준 자극 신호가 망막 자극기의 각 픽셀에 전달되면 각 픽셀에 집적되어 있는 실리콘 나노와이어 기반의 광 검출 및 신호 변조 회로에 의해 픽셀 단위의 빛 세기 검출을 통한 독립적인 자극 신호 변조를 통해 망막 신경을 자극하는 기법이다. 이 방법은 고감도 광 검출 기능을 갖추면서도 시스템을 구성하는 각 구성 요소들간의 전기적인 연결을 쉽게 이룰 수 있도록 망막 자극기 구성 요소들 간의 신호선의 연결을 최소화는 방법을 제공하며 이는 고해상도 인공 망막의 구현을 용이하게 한다.

망막 자극기의 광 검출 및 자극 신호 변조 회로는 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET, 미세 전극으로 이루어지는 전압 분배기 및 전류 구동기 회로로 이루어진다. 망막 자극기가 적절히 동작하기 위한 전압 분배기 및 전류 구동기 설계를 통해 회로를 구성하는 기본 소자들로서 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET의 요구 조건을 살펴보았다.

실리콘 나노와이어 광 검출기는 망막 자극기 회로에서 전압 분배기를 구성하는 기본 소자로서, 전압 분배기의 적절히 동작하기 위해서는 빛의 조사에 의한 실리콘 나노와이어 광 검출기의 저항 변화가 큰 것이 요구된다. 이러한 요구 조건에 대한 실리콘 나노와이어 광 검출기의 특성 확인을 위해 top-down 공정에 기반을 둔 실리콘 나노와이어 광 검출기 제조 공정을 확립하였고, 이를 통해 광 검출기 소자를 제작하여 특성 평가를 진행하였다. 실리콘 나노와이어 광 검출기의 특성평가 결과, 빛의

조사에 의한 실리콘 나노와이어 광 검출기의 저항 변화가 dark 상태의 저항 값의 약 1/1,936에 이를 정도로 매우 우수한 감도를 보였으며, 특히 응답도의 경우 400 nm ~ 800 nm의 파장 범위에서 $10^4 \sim 10^5$ A/W에 이를 정도로 기존의 다른 형태의 광 검출기에 비해서도 매우 우수한 특성을 보임을 확인하였다. 이러한 높은 감도 및 응답 도를 보이는 이유는 실리콘 나노와이어가 가지는 구조적인 특징에 기인한다. 한편 실리콘 나노와이어 광 검출기를 망막 자극기에 이용하기 위해서는 flexible한 형태로 제작하는 것이 필요한데, rigid한 형태로 제작된 광 검출기를 flexible한 형태로 변환한 후 변환 전후의 전기적, 광학적 특성을 살펴본 결과 소자가 파괴되는 등의 심각한 문제가 발생되지 않았고 전기적, 광학적 특성이 비교적 잘 유지되고 있음을 확인할 수 있었다.

실리콘 나노와이어 FET는 실리콘 나노와이어 광 검출기와 함께 망막 자극기를 구성하는 중요한 소자이다. 본 논문에서는 top-down 공정에 기반을 둔 실리콘 나노와이어 FET 제조 공정 통해 소자를 제작하고 특성 평가를 진행하였다. 실리콘 나노와이어의 개수, 실리콘 나노와이어의 길이, 그리고 FET 구동 전압을 설계 파라미터로 하여 실리콘 나노와이어 FET의 특성을 조사하였다. 실리콘 나노와이어 FET에서는 게이트 전압에 의한 전류 레벨의 제어가 중요한데, 대부분의 FET에서 10^3 이상의 on-off ratio 값을 보였다. 전류 구동기에 이용되는 FET의 경우 최대 전류 레벨이 중요한데 이는 FET의 구동 전압을 높임으로써 전류 레벨을 높일 수 있으며, 본 논문에서는 5 V 구동전압에서 최대 225 μ A의 전류 레벨을 확보할 수 있었으며, 이 값은 망막 신경 자극을 위해 충분히 높은 값이다.

실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET 소자를 제작한 후 이들 소자들의 조합을 통해 망막 자극기의 전압 분배기 및 전류 구동기 회로를 구성하고 각각의 회로의 동작을 조사함으로써 본 논문에서 제안하는 광 검출 및 자극 신호 변조의 원리가 잘 적용됨을 확인하였다. 제안하는 망막 자극기의 고해상도 망막 시스템으로의 적용 가능성 검토를 위해 32×32의 고해상도 망막 자극기를 설계, 제작하였다.

32×32 고해상도 망막 자극기의 단위 픽셀의 크기는 $110\ \mu\text{m} \times 110\ \mu\text{m}$ 이며, 각각의 픽셀에는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로가 집적된다. 32×32 고해상도 망막 자극기 제조 공정은 top-down 방식의 제조공정에 기반을 두고 있기 때문에, 실리콘 나노와이어 광 검출기 및 실리콘 나노와이어 FET와 미세 전극으로 이루어지는 광 검출 및 자극 신호 변조 회로를 집적하는 것이 매우 용이하다. 망막 자극기 제조 결과 약 $40\ \mu\text{m}$ 두께의 매우 얇은 flexible한 폴리머 필름 내에 32×32 해상도의 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 집적하였다.

제안하는 망막 자극기 및 망막 신경 자극 기법의 유효성을 평가하기 위해 *in-vitro* 동물 실험을 실시하였다. *In-vitro* 동물실험에서는 빛의 세기에 따른 자극 신호의 변조를 통한 주입 전하량의 조절이 가능하고, 빛의 검출 및 자극 신호 변조 과정을 거친 자극 신호가 망막 시세포를 효과적으로 잘 이루어짐을 확인할 수 있었다. 그 결과 약 10 nC 이상의 주입 전하량에서 망막 시신경의 유효 자극이 관찰되었으며, 주입 전하량에 대한 반응 분포가 매우 선형적임을 확인하였다.

이상을 통해 본 논문에서 제안하는 실리콘 나노와이어 광 검출기가 내장된 망막 자극기 및 망막 신경 자극 기법의 원리를 검증하기 위해 top-down 기반의 제조 공정을 기반으로 실리콘 나노와이어 광 검출기와 실리콘 나노와이어 FET를 제작하고, 망막 자극기를 구성하여 동작 특성을 조사하였다. 또한 제안하는 망막 자극기 및 망막 신경 자극 기법의 유효성을 평가하기 위해 *in-vitro* 동물 실험을 수행하였다. 이러한 과정을 통해 제안하는 실리콘 나노와이어 광 검출기가 내장된 망막 자극기가 고해상도 인공 망막을 구현하기 위한 효과적인 방법이 될 수 있음을 확인할 수 있었다. 향후 안전성과 재현성이 확보되는 N×N matrix 형태의 고해상도 망막 자극기 개발이 필요하며 동물 실험, 나아가 임상 시험을 통한 유효성 평가가 이루어진다면 시력을 잃은 사람에게 보다 편리하고 효과적인, 완전한 안구 이식형 인공 망막을 제공할 수 있는 기회가 도래할 것으로 기대한다.

제 2 절 향후 계획

본 논문에서는 고해상도 인공 망막 시스템을 구현하기 위한 효과적인 방법으로서 실리콘 나노와이어 광 검출기가 내장된 고해상도 망막 자극기를 제안하였다. 그리고 망막 자극기를 구성하는 실리콘 나노와이어 기반의 광 검출 및 자극 신호 변조 회로를 제작하여 성능을 검증함으로써 제안하는 방법의 원리가 잘 적용되는지 조사하고, in-vitro 실험을 통해 제안하는 망막 자극기 및 망막 신경 자극 기법의 유효성을 검증하는데 집중하였다. 아쉬운 점은 고해상도 망막 자극기 제작에 있어, 제조 공정의 핵심인 다층 배선 공정에 있어서 층간 절연 물질로 사용한 SU-8 레지스트의 절연 성능 부족과 안정된 공정 조건의 미확립으로 층간 누전 문제가 완벽히 해결되지 못함으로 인해 $N \times N$ matrix 형태의 고해상도 망막 자극기는 완성하지 못한 것에 많은 아쉬움이 남는다. 향후 지금까지의 연구결과를 면밀히 검토함으로써 실패한 원인을 분석하고 해결 방안을 마련하는 등 고해상도 망막 자극기 소자를 성공적으로 제작하기 위한 노력을 경주하고자 한다. 하지만 소자제작의 성공과 더불어 실제 사람에게 적용하기 까지는 소자 제작의 재현성, 성능의 균일성, 안전성 등을 확보하는 것이 필수적이며, 이러한 문제는 단기간에 해결하기 어려운 부분으로서 인공 망막을 연구하는 사람들과 문제를 공유하고 지혜를 모아 효과적인 방법을 찾는 것이 필요하고 또한 지속적인 연구를 이어가는 것도 필요하다. 망막 자극기를 연구하는 것이 상당한 연구비가 소요되는 만큼 국가적인 대형 연구 프로젝트에 대한 기획도 필요하리라 생각한다.

참 고 문 헌

- [1] J. -U. Meyer: Sensors and Actuators A, 97-98 (2002) 1-9.
- [2] N. Congdon, B. O'Commair, C. C. Klaver, R. Klein, R. Munoz, D. S. Friedman, J. Kempen, H. R. Taylor and P. Mitchell, "Causes and prevalence of visual impairment among adults in the Unites States," Arch. Ophthalmol., vol. 122 , pp. 477-485, 2004
- [3] <http://www.2-sight.com/system-overview-en.html>
- [4] D. Scribner et al., "A Retinal Prosthesis Device Based on an 80×40 Hybrid Microelectronic-Microwire Glass Array," IEEE 2003 Custom Integrated Circuits Conference, 2003
- [5] A. Y. Chow et al., "The Artificial Silicon Retina Microchip for the treatment of Vision Loss from Retinitis Pigmentosa," ARCH OPHTHALMOL, 2004
- [6] E. Zrenner et al., "Subretinal electronic chips allow blind patients to read letters and combine them to words," Proc. R. Soc. B, 2010
- [7] K. Stingl et al., "Subretinal electronic chips can restore useful visual functions in blind retinitis pigmentosa patients," Biomed Tech, 2010
- [8] A. Hung, D. Zhou, R. Greenberg and J. W. Judy, "Micromachined electrodes for retinal prosthesis," 2nd Annual International

- IEEE-EMBS Special Topic Conference on Microtechnologies in Medicine & Biology, pp. 76-79, 2002
- [9] K. Koo, S. Lee, S. H. Bae, J. M. Seo, H. Chung, and D. Cho, "Arrowhead-Shaped Microelectrodes Fabricated on a Flexible Substrate for Enhancing the Spherical Conformity of Retinal Prostheses," *Journal of Microelectromechanical Systems*, Vol. 20, no. 1, pp. 251-259, 2011
- [10] S. M. Lee, J. H. Ahn, H. J. Yoo, S. J. Oh, S. K. Park, and D. I. Cho, "Electrical Characteristics of 2D and 3D Microelectrodes for High-Resolution Retinal Prostheses," 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, pp. 3535-3538, Osaka, Japan, July 3-7, 2013
- [11] S. Lee, S. Jung, J. Ahn, H. Yoo, S. Oh and D. Cho, "Microelectrode array with integrated nanowire FET switches for high-resolution retinal prosthetic systems," *J. of Micromech. and Microeng.*, vol. 24, no. 7, pp. 075018, 2014
- [12] S. M. Lee, S.W. Jung, J. Ahn, H. J. Yoo, S. K. Park and D. Cho, "A nanowire FET switch integrated with a microelectrode array for retinal prosthetic system", *Transducer 2013*, Barcelona, Spain, June 16-20, 2013
- [13] <https://ngp.usc.edu/faculty/profile/?fid=32>
- [14] J. D. Weiland and M. S. Humaayun, "Retinal prosthesis", *IEEE Transactions on Biomedical Engineering*, vol. 61, no. 5, pp. 1412

- 1424, 2014.

- [15] K. Stingl, K. U. Bartz-Schmidt, D. Besch, A. Braun, A. Bruckmann, F. Gekeler, U. Greppmaier, S. Hipp, G. Hortdorfer, C. Kernstock, A. Koitschev, A. Kusnyerik, H. Sachs, A. Schatz, K. T. Stingl, T. Peters, B. Wilhelm, and E. Zrenner, "Artificial vision with wirelessly powered subretinal electronic implant alpha-IMS", *Proc R Soc B* 280: 20130077
- [16] N. Alteheld, G. Roessler, P. Walter, "Toward the bionic eye—the retina implant: surgical, ophthalmological and histopathological perspectives", *Acta Neurochir Suppl.*, , vol. 97(pt 2), pp. 487–493, 2007
- [17] C. Soci, A. Zhang, X. Y. Bao, H. Kim, Y. Lo, and D. Wang, "Nanowire photodetectors", *Journal of Nanoscience and Nanotechnology*, vol. 10, pp. 1430–1449, 2010
- [18] Zhang, A., Kim, H., Cheng, J., Lo, Y. "Ultra-High Responsivity Visible and Infrared Detection Using Silicon Nanowire Phototransistors." *Nano Lett.*(2010), vol. 10(6), pp. 2117–2120
- [19] P. Servati, A. Colli, S. Hofmann, Y. Q. Fu, P. Beecher, Z. A. K. Durrani, A. C. Ferrari, A. J. Flewitt, J. Robertson, and W. I. Milne, "Scalable Silicon Nanowire Photodetectors," *Physica E: Low-Dimensional Systems and Nanostructures*, vol. 38, pp. 64–66, 2007
- [20] Zhang, A., Cheng, J., Kim, H.K., Liu, Y., Lo, Y. "Characterization

- and Physics of Top-Down Silicon Nanowire Phototransistors", Proc. SPIE, vol. 7608, 76081D, 2010
- [21] Zhang, A., You, S., Soci, C., Liu, Y., Wang, D., Lo, Y. H. "Silicon nanowire detectors showing phototransistive gain." Appl. Phys. Lett., vol. 93(12), pp. 121110, 2008
- [22] Zhang, A., You, S., Soci, C., Wang, D., Lo, Y. H. "Planar and vertical Si nanowire photodetectors." 2008 Conference on Lasers and Electro-Optics. CFH5 pp.1-2, 2008
- [23] Soci C., Zhang A., Xiang B., Dayeh S. A., Aplin D. P. R., Park J., Bao X. Y., Lo Y. H., Wang D., "ZnO nanowire UV photodetectors with high internal gain." Nano Lett., vol. 7(4), pp. 1003-1009, 2007
- [24] Zhang A., Soci C., Xiang B., Park J., Wang D., Lo Y. H. "High Gain ZnO Nanowire Phototransistor." 2007 Conference on Lasers and Electro-Optics. CMY2, pp.1-2, 2007
- [25] 정석원, 구교인, 박선길, 이상민, 안재현, 홍석준, 유형정, 이민호, 조동일, "망막 보철응응을 위한실리콘 나노와이어 광 검출기의 설계 및 제작", KMEMS, 2011
- [26] S. W. Jung, S. Lee, S. Park, J. Ahn, H. J. Yoo, S. J. Oh, and D. Cho, "A novel nanowire retinal prosthetic system with built-in photodetectors and current amplification circuits", 3rd NanoToday Conference (Nanotoday2013), Snagapore, USA, Dec. 8-11, 2013

- [27] S. W. Jung, S. Lee, S. Park, J. Ahn, S. J. Hong, H. J. Yoo, M. H. Lee, W. K. Seong, and D. Cho, "Fabrication of Si nanowire photodetectors for retinal prosthesis system", 2nd Nanotoday Conference (Nanotoday2011), O21-1, Hawaii, USA, Dec. 11-15, 2011
- [28] S. M. Lee, S. W. Jung, S. Park, J. Ahn, S. J. Hong, H. H. Yoo, M. H. Lee, and D. Cho, "Fabrication and evaluation of silicon nanowire photodetectors on flexible substrate for retinal prosthetic system", *Sensors and Materials*, Vol. 24, No. 4, 2012
- [29] S. Jin, D. Whang, M. C. McAlpine, R. S. Friedman, Y. Wu, and C. M. Lieber, "Scalable interconnection and integration of nanowire devices without registration", *Nano Letters*, vol. 4, no. 5, pp. 915-919, 2004
- [30] J. Xiang, W. Lu, Y. Hu, H. Yan, and C. M. Lieber, "Ge/Si nanowire heterostructures as high-performance field-effect transistors", *Nature*, vol. 441, pp. 489-493, 2006
- [31] Ahn, Y., Dunning, J., and Park, J., "Scanning photocurrent imaging and electronic band studies in silicon nanowire field effect transistors," *Nano Lett.*, vol. 5, pp. 1367-1370, 2005
- [32] Y. Cui, X. Duan, J. Hu, C. M. Lieber, "Doping and electrical transport in silicon nanowires", *The Journal of Physical Chemistry*, vol. 104, no. 22, pp. 5213-5216, 2000
- [33] R. A. Beckman, E. Johnston-Halperin, N. A. Melosh, Y. Luo, J.

- E. Green, and J. R. Heath, “Fabrication of conducting Si nanowire arrays“, *Journal of Applied Physics*, vol. 96, no. 10, pp. 5921–5923, 2004
- [34] Y. Huang, X. Duan, Y. Cui, and C. M. Lieber, “Gallium nitride nanowire nanodevices“, *Nano Lett.*, vol. 2, no. 2, pp. 101–104, 2002
- [35] Y. Cui, L. J. Lauhon, M. S. Gudiksen, J. Wang, and C. M. Lieber, “Diameter-controlled synthesis of single-crystal silicon nanowires“, *Appl. Phys. Lett.*, vol. 78, no. 15, pp. 2214–2216, 2001
- [36] A. M. Morales, C. M. Lieber, “A laser ablation method for the synthesis of crystalline semiconductor nanowires“, *Science*, vol. 279, pp. 208–211, 1998
- [37] A. I. Hochbaum, R. Fan, R. He, and P. Yang, “Controlled growth of Si nanowire arrays for device integration“, *Nano Letters*, vol. 5, no. 3, pp. 457–460, 2005
- [38] Y. Wu and P. Yang, “Direct observation of vapor-liquid-solid nanowire growth“, *J. Am. Chem. Soc.*, vol. 123, pp. 3165–3166, 2001
- [39] S. A. Fortuna and X. Li, “Metal-catalyzed semiconductor nanowires: a review on the control of growth directions“, *Semiconductor science and technology*, vol. 25, 2010
- [40] Y. Huang, X. Duan, Q. Wei, and C. M. Lieber, “Directed

- assembly of one-dimensional nanostructures into functional networks“, *Science*, vol. 291, pp. 630–633, 2001
- [41] D. A. Brown, J. H. Kim, H. B. Lee, G. Fotouhi, K. H. Lee, W. K. Liu, and J. H. Chung, “Electric field guided assembly of one-dimensional nanostructures for high performance sensors“, *Sensors*, vol. 12, pp. 5725–5751, 2012
- [42] K. Oh, J. H. Chung, J. J. Riley, Y. Liu, and W. K. Liu, “Fluid flow-assisted dielectrophoretic assembly of nanowires“, *Langmuir*, vol. 23, pp. 11932–11940, 2007
- [43] S. Wang, J. Guan, and L. J. Lee, “Flow guided assembly processes“, *ChemPhysChem*, vol. 9, pp. 967–973, 2008
- [44] O. H. Elibol, D. Morissette, D. Akin, J. P. Denton, and R. Bashira, “Integrated nanoscale silicon sensors using top-down fabrication“, *Appl. Phys. Lett.*, vol. 83, pp. 4613–4615, 2003
- [45] R. A. Beckman, E. Johnston-Halperin, N. A. Melosh, Y. Luo, J. E. Green, and J. R. Heath, “Fabrication of conducting Si nanowire arrays“, *Journal of applied physics*, vol. 96, no. 10, pp. 5921–5923, 2008
- [46] J. R. Heath, “Superlattice nanowire pattern transfer (SNAP)“, *Accounts of chemical research*, vol. 41, pp. 1609–1617, 2008
- [47] E. Stern, J. F. Klemic, D. A. Routenberg, P. N. Wyrembak, D. B. Turner-Evans, A. D. Hamilton, D. A. LaVan, T. M. Fahmy, and

- M. A. Reed, "Label-free immunodetection with CMOS-compatible semiconducting nanowires", *Nature*, vol. 445, pp. 519-522, 2007
- [48] K. N. Lee, S. W. Jung, K. S. Shin, W. H. Kim, M. H. Lee, and W. K. Seong, "Fabrication of suspended silicon nanowire array", *Small*, vol. 4, pp. 642-648, 2008
- [49] Y. Huang, X. Duan, Y. Cui, L. J. Lauhon, K. H. Kim, and C. M. Lieber, "Logic gates and computation from assembled nanowire building block", *Science*, vol. 294, pp. 1313-1317, 2001
- [50] X. Duan, Y. Huang, and C. M. Lieber, "Nonvolatile memory and programmable logic from molecule-gated nanowires", *Nano Lett.*, vol. 2, no. 5, pp. 487-490, 2002
- [51] Y. Cui, Q. Wei, H. Park, and C. M. Lieber, "Nanowire nanosensors for highly sensitive and selective detection of biological and chemical species", *Science*, vol. 293, pp. 1289-1292, 2001
- [52] M. F. Ng, L. Shen, L. Zhou, S. W. Yang, and V. B. Tan, "Geometry dependent I-V characteristics of silicon nanowires," *Nano Lett.*, vol. 8, pp. 3662-3667, 2008
- [53] K. H. Kim, K. Keem, D. Y. Jeong, B. Min, K. Cho, H. Kim, B. M. Moon, T. Noh, J. Park, M. Suh, and S. Kim, "Photocurrent of undoped, n- and p- type Si nanowires synthesized by thermal chemical vapor deposition," *Jpn. J. Appl. Phys.*, vol. 45, pp. 4265-4269, 2006

- [54] H. G. Choi, Y. S. Choi, Y. C. Jo, and H. Kim, "A low power SOI mosfet photodetector with a nanometer scale wire for highly integrated circuit," Microprocesses and nanotechnology conference, pp. 296-297, 2003
- [55] J. H. Park, S. H. Seo, I. S. Wang, H. J. Yoon, J. K. Shin, P. Choi, Y. C. Jo, and H. Kim, "Active pixel sensor using a 1x16 nano-wire photodetector array for complementary metal oxide semiconductor imagers," Jpn. J. Appl. Phys., vol. 43, pp. 2050-2053, 2004
- [56] <http://www.dfisica.ubi.pt/~hgil/fotometria/HandBook/ch07.html>
- [57] Handbook of optical constants of solids, edited by Edward D. Palik, Academic Press NY, 1985
- [58] C. W. Lee, A. Afzalian, N. Dehdashti Akhavan, R. Yan, I. Ferain, JP. Colinge, "Junctionless multigate field-effect transistor", Applied Physics Letters, vol. 94, pp.053511:1-2, 2009
- [59] C. W. Lee, I. Ferain, A. Afzalian, R. Yan, N. Dehdashti Akhavan, P. Razavi, J.P. Colinge, "Performance estimation of junctionless multigate transistors", Solid-State Electronics, vol. 54, pp. 97-103, 2010
- [60] JP Colinge, CW Lee, A. Afzalian, N. Dehdashti Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, AM Kelleher, B. McCarthy, R. Murphy, "Nanowire transistors without junctions", Nature Nanotechnology, vol. 5, no. 3, pp. 225-229, 2010

- [61] T. Wang, L. Lou, and C. Lee, "A junctionless gate-all-around silicon nanowire FET of high linearity and its potential applications, " IEEE Electron Device Letters, vol. 34, no. 4, pp. 478-480, 2013
- [62] K. Pi, J. Y. Shin, S. W. Jung, S. Lee, and D. Cho, "Electrical characterization of nanostructured 3D microelectrodes for retinal neuron stimulation", IEEE Sensors 2015 (submitted)
- [63] W. Franks, I. Schenker, P. Schmutz, and A. Hierlemann, "Impedance characterization and modeling of electrodes for biomedical applications," IEEE Transactions on biomedical engineering, vol. 52, no. 7, pp. 1295-1302, 2005
- [64] S. Shah, A. Hines, D. Zhou, R. J. Greenberg, M. S. Humayun, and J. D. Weiland, "Electrical properties of retinal-electrode interface," Journal of neural engineering, vol. 4, no. 1, pp. S24, 2007
- [65] G. T. A. Kovacs, "Introduction to the theory, design, and modeling of thin-film microelectrodes for neural interfaces," in Enabling Technologies for Cultured Neural Networks, D. A. Stenger and T. M. McKenna, Eds. London, U.K.: Academic, 1994, pp. 121 - 165.
- [66] D. C. Grahame, "Mathematical theory of the faradaic admittance," J. Electrochem. Soc., vol. 99, pp. 370C - 385C, 1952.
- [67] <http://www.multichannelsystems.com>

Abstract

Retinal Neural Stimulation Method Using Silicon Nanowire-based Photodetection Circuits for the Realization of High Resolution Retinal Prosthesis

Suk-Won Jung

Dept. of Electrical Engineering and Computer Science

The Graduate School

Seoul National University

Photoreceptors in the human eye convert light into neural impulses. The neural network then transmits the evoked signals to the visual cortex. However, once the photoreceptors are impaired, the human cannot perceive the vision even though the remaining network may stay normal. The typical diseases which are caused by malfunction of photoreceptors are retinitis pigmentosa (RP) and age-related macular degeneration (AMD). For those who are suffering from such diseases, a retinal prosthetic system can be a solution which can restore the vision.

This paper proposes a retinal stimulator integrated with silicon nanowire-based photodetection and pulse-amplitude-modulation (PAM) circuits to achieve high resolution in retinal prosthetic

systems. The retinal stimulator circuit can be divided into two functional devices, a voltage divider and a current driver. The voltage divider and the current driver circuits are composed using the fabricated silicon nanowire photodetectors (SiNW PDs) and silicon nanowire field effect transistor (SiNW FETs).

As for the basic elements to form the retinal stimulator circuit, SiNW PDs and SiNW FETs are fabricated and their electrical and optical characteristics are investigated. The SiNW PDs are highly sensitive to a light and the sensitivity is about 1936 and a responsivity is greater than 10^4 A/W in the range of 400 nm ~ 800 nm wavelength. And the fabricated SiNW FETs are measured to have on-off ratio over 10^4 and a maximum current level of 225 μ A at 5 V of supply voltage. SiNW FETs are fabricated by varying design parameters, such as a number of SiNWs, a length of SiNWs and a supply voltage. And their electrical characteristics are investigated. Stimulation electrodes are fabricated to have nanostructured surface for improving electrical characteristics by electroplating platinum-black on the Au cylindrical electrodes.

After evaluating the performance of the SiNW PDs and SiNW FETs, measurements were conducted to characterize the function of the stimulator circuit. For the voltage divider, the range of the output voltage swing is as much as 90 % of the supply voltage. For the current driver, the on-off ratio of the SiNW FET is more than 10^8 and on-current is approximately 300 μ A, which is high enough to stimulate retinal cells.

To examine the potential use of the proposed retinal stimulator for the realization of high resolution retinal prosthetic systems, a high resolution retinal stimulator device is fabricated using the top-down fabrication process. The resolution of the MEA is 32 x 32 and the size of the unit pixel is 110 μ m x 110 μ m. The

simulator device is flexible and the SiNW-based photodetection and PAM circuits are integrated in a 40 μm thick polyimide film.

Proposed retinal stimulator devices are employed in in-vitro animal experiment to evaluate the effectiveness of the retinal stimulation by light illumination. In the experiment, the uniform pulse signal, having 12 V in amplitude 1 msec in duration, is amplitude-modulated by the SiNW-based photodetection circuit and the modulated signal is transferred to a microelectrode to stimulate the retinal tissue. The induced neural response signals are recorded by multi-channel recording system and the results show that the minimum injection charge, controlled by light intensity, is about 10 nC for evoking the retinal neural response. And the normalized response intensity is proportional to the light intensity.

keywords : retinal prosthetic system, silicon nanowire,
photodetector, high resolution, micro electrode array,
stimulation signal

Student Number : 2006-30858